



(12) 发明专利申请

(10) 申请公布号 CN 104637971 A

(43) 申请公布日 2015. 05. 20

(21) 申请号 201410624682. 3

(22) 申请日 2014. 11. 07

(30) 优先权数据

61/901, 441 2013. 11. 08 US

14/488, 300 2014. 09. 17 US

(71) 申请人 财团法人工业技术研究院

地址 中国台湾新竹县

(72) 发明人 陈达 吴岱原 陈佑升 陈维恕

辜佩仪 林雨德

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 27/24(2006. 01)

H01L 45/00(2006. 01)

H01L 21/768(2006. 01)

H01L 23/48(2006. 01)

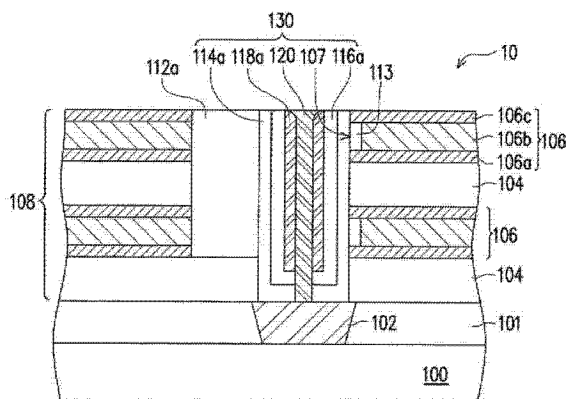
权利要求书3页 说明书9页 附图10页

(54) 发明名称

通孔结构、存储器阵列、三维电阻式存储器与其形成方法

(57) 摘要

本发明公开一种通孔结构、存储器阵列、三维电阻式存储器与其形成方法。堆叠层具有至少一开口,其中介电层位于开口中、覆盖开口的一侧壁且裸露出开口的另一侧壁。在开口的至少一部分侧壁上配置至少一L形可变电阻间隙壁。电极层填充开口的剩余部分。



1. 一种三维电阻式存储器,包括:
堆叠层,包含至少一导电层与至少一绝缘层且具有至少一开口,其中介电层位于所述开口中、覆盖所述开口的一侧壁且裸露出所述开口的另一侧壁;
至少一 L 形可变电阻间隙壁,配置于所述开口的至少一部分侧壁上;以及
第一电极层,填充所述开口的剩余部分。
2. 如权利要求 1 所述的三维电阻式存储器,其中所述可变电阻间隙壁的材料包括 HfO_x 、 TaO_x 、 AlO_x 、 TiO_x 、 NbO_x 、 LaO_x 、 ZrO_x 、其掺杂物或其组合,且 x 大于 0。
3. 如权利要求 1 所述的三维电阻式存储器,还包括配置于所述至少一 L 形可变电阻间隙壁与所述第一电极层之间的 I 形保护间隙壁。
4. 如权利要求 3 所述的三维电阻式存储器,其中所述 I 形保护间隙壁的材料包括 Ta、Ti、TaN 或 TiN。
5. 如权利要求 1 所述的三维电阻式存储器,其中所述堆叠层包括交替排列的多数个绝缘层与多数个导电层。
6. 如权利要求 1 所述的三维电阻式存储器,其中各导电层的材料包括 W、TiN、Al、Ta、Cu、Ti 或其组合。
7. 如权利要求 1 所述的三维电阻式存储器,其中各导电层为三明治结构,所述三明治结构包括底部阻障层、顶部阻障层以及配置于所述底部阻障层与所述顶部阻障层之间的金属层。
8. 如权利要求 7 所述的三维电阻式存储器,还包括配置于所述金属层与所述 L 形可变电阻间隙壁之间的金属氧化层。
9. 如权利要求 1 所述的三维电阻式存储器,其中所述介电层与所述至少一 L 形可变电阻间隙壁接触。
10. 如权利要求 1 所述的三维电阻式存储器,其中所述堆叠层配置于材料层上,所述材料层与所述开口的侧壁之间的夹角等于或大于 90 度且等于或小于 110 度。
11. 如权利要求 10 所述的三维电阻式存储器,其中所述材料层中具有导电插塞,且所述第一电极层电连接至所述导电插塞。
12. 一种形成三维电阻式存储器的方法,包括:
提供堆叠层,所述堆叠层具有至少一开口,其中介电层位于所述开口中、覆盖所述开口的一侧壁且裸露出所述开口的另一侧壁;
在所述开口的至少一部分侧壁上形成至少一 L 形可变电阻间隙壁;以及
以第一电极层填充所述开口的剩余部分。
13. 如权利要求 12 所述的形成三维电阻式存储器的方法,其中所述可变电阻间隙壁的材料包括 HfO_x 、 TaO_x 、 AlO_x 、 TiO_x 、 NbO_x 、 LaO_x 、 ZrO_x 、其掺杂物或其组合,且 x 大于 0。
14. 如权利要求 12 所述的形成三维电阻式存储器的方法,其中在形成所述至少一 L 形可变电阻间隙壁的步骤中,在所述至少一 L 形可变电阻间隙壁与所述第一电极层之间还形成 I 形保护间隙壁。
15. 如权利要求 14 所述的形成三维电阻式存储器的方法,其中所述 I 形保护间隙壁的材料包括 Ta、Ti、TaN 或 TiN。
16. 如权利要求 12 所述的形成三维电阻式存储器的方法,其中提供所述堆叠层的步骤

包括：

在材料层上形成交替排列的多数个绝缘层与多数个导电层；以及

图案化所述绝缘层与所述导电层以形成至少两个堆叠结构，所述至少两个堆叠结构之间具有所述开口。

17. 如权利要求 16 所述的形成三维电阻式存储器的方法，其中各导电层的材料包括 W、TiN、Al、Ta、Cu、Ti 或其组合。

18. 如权利要求 16 所述的形成三维电阻式存储器的方法，其中各导电层为三明治结构，所述三明治结构包括底部阻障层、顶部阻障层以及配置于所述底部阻障层与所述顶部阻障层之间的金属层。

19. 如权利要求 12 所述的形成三维电阻式存储器的方法，其中所述介电层与所述至少一 L 形可变电阻间隙壁接触。

20. 如权利要求 12 所述的形成三维电阻式存储器的方法，其中所述堆叠层配置于材料层上，所述材料层与所述开口的侧壁之间的夹角等于或大于 90 度且等于或小于 110 度。

21. 一种通孔结构，经形成以与堆叠层相邻，所述堆叠层包括至少一水平金属层与至少一绝缘层，所述通孔结构包括：

覆盖开口的侧壁的至少一 L 形氧化间隙壁；

覆盖所述 L 形氧化间隙壁的非 L 形金属间隙壁；以及

填充所述开口的剩余体积的导电层。

22. 如权利要求 21 所述的通孔结构，其中所述通孔结构着陆于钨接点上。

23. 如权利要求 22 所述的通孔结构，其中所述钨接点连接至晶体管的扩散区域。

24. 如权利要求 21 所述的通孔结构，其中所述 L 形氧化间隙壁包括配置于所述开口的侧壁上的第一 L 形氧化间隙壁以及配置于所述第一 L 形氧化间隙壁上的第二 L 形氧化层。

25. 如权利要求 24 所述的通孔结构，其中所述第一 L 形氧化间隙壁的材料包括 HfO_2 、 HfO_x 或掺杂 HfO_x ，所述第二 L 形氧化间隙壁的材料包括 TaO_x ，且 x 大于 0。

26. 如权利要求 21 所述的通孔结构，其中所述非 L 形金属间隙壁的材料包括 Ta、Ti、TiN 或 TaN。

27. 如权利要求 21 所述的通孔结构，其中所述导电层的材料包括 TiN。

28. 如权利要求 21 所述的通孔结构，其中所述 L 形氧化间隙壁覆盖所述开口的整个侧壁。

29. 如权利要求 21 所述的通孔结构，其中所述 L 形氧化间隙壁覆盖开口的部分侧壁。

30. 一种具有如权利要求 21 所述的通孔结构的存储器阵列结构，其中具有与所述通孔结构的侧壁接触的两条水平金属线，且所述水平金属线处于相同平面上。

31. 一种具有如权利要求 21 所述的通孔结构的存储器阵列结构，其中具有与所述通孔结构的侧壁接触的至少两条水平金属线，且所述水平金属线垂直地堆叠并由介电层分隔。

32. 如权利要求 31 所述的存储器阵列结构，其中各水平金属线的材料包括 Al、W 或 TiN。

33. 如权利要求 31 所述的存储器阵列结构，其中各水平金属线的材料包括侧向分隔的 TiN 与 Cu。

34. 如权利要求 31 所述的存储器阵列结构，其中所述水平金属线连接至最高的水平金

属线上方的 Cu 搭接线。

35. 如权利要求 34 所述的存储器阵列结构,其中较高水平金属线的宽度窄于较低水平金属线的宽度。

36. 如权利要求 34 所述的存储器阵列结构,其中较高水平金属线连接至较深金属插塞。

37. 如权利要求 36 所述的存储器阵列结构,其中所述较深金属插塞的着陆区大于较浅金属插塞的着陆区。

通孔结构、存储器阵列、三维电阻式存储器与其形成方法

[0001] 相关申请案互相参照

[0002] 本申请案主张在 2013 年 11 月 8 日提申的美国临时专利申请案第 61/901, 441 号以及 2014 年 9 月 17 日提申的美国专利申请案第 14/488, 300 号的优先权。上述美国临时专利申请案以及美国专利申请案的全文以引用方式并入本文参考并作为本说明书的一部分。

技术领域

[0003] 本发明涉及一种通孔结构、一种存储器阵列结构、一种三维电阻式存储器与其形成方法。

背景技术

[0004] 基于半导体技术发展的存储器装置,例如动态随机存取存储器(dynamic random access memory, DRAM)、静态随机存取存储器(static random access memory, SRAM)与非挥发性存储器(non-volatile memory),在现今的半导体产业中扮演重要角色。这些存储器广泛应用于个人电脑、移动电话与网络,并且成为我们日常生活中最不可或缺电子产品之一。

[0005] 随着消耗性电子产品及系统产品的普及,对于具有低功率消耗、低成本、高存取速度、小体积及高效能的存储器的需求已急剧增加。对存储电荷或磁化(magnetization)而言,通过改变可变电阻层的电阻值来记录数值是相当有前景的一种取代方案。

[0006] 由于电阻式随机存取存储器(resistive random access memory, RRAM)的耐久切换特性高且比闪存存储器(Flash)消耗的电压低($<5V$),故电阻式随机存取存储器最近已逐渐大量普及化。由于 RRAM 的结构相对简单且与前端制作工艺解耦(decoupling),故 RRAM 也可在较低预算下比 NAND 闪存存储器更集成化。然而, NAND 技术已进展为位成本可扩充(bit-cost-scalable, BICS)方法学,而可以最小成本建构 3D 多层结构。为了使 RRAM 在符合成本的情况下完成此形式的 NAND 闪存存储器,也必须能够以类似方式建构 RRAM。因为在 NAND 闪存存储器的程序化通常所需的高电压(约 $10 \sim 20V$)下, RRAM 并不需要升压(charge pumping)用的额外芯片区域,所以 BICS 型态的 RRAM 最终将因高密度存储器而有优势。

发明内容

[0007] 本发明的目的在于提供一种通孔结构、一种存储器阵列结构、一种三维电阻式存储器与其形成方法。本发明的方法制作简单,容易作出高密度的电阻式存储器元件。

[0008] 为达上述目的,本发明的一示范实施例包括一种三维电阻存储器,其中包含堆叠层、至少一 L 形可变电阻间隙壁与第一电极层。「可变电阻」被认为是指基于内部迁移(internal migration)(例如氧空缺(oxygen vacancies)或金属阳离子)而能够呈现不同电阻状态的材料。除了电阻改变之外,间隙壁材料能够进行电荷捕捉(charge trapping)或存储铁电极化(storing ferroelectric polarization)。堆叠层包含配置于基底上的至

少一导电层与至少一绝缘层且具有至少一开口。介电层位于开口中、覆盖开口的一侧壁且裸露出开口的另一侧壁。在开口的至少一部分侧壁上配置至少一 L 形可变电阻间隙壁。第一电极层填充开口的剩余部分。

[0009] 本发明的一示范实施例包括一种形成三维电阻存储器的方法,其包含:提供堆叠层,所述堆叠层具有至少一开口,其中介电层位于开口中、覆盖开口的一侧壁且裸露出开口的另一侧壁;在开口的至少一部分侧壁上形成至少一 L 形可变电阻间隙壁;以及以第一电极层填充开口的剩余部分。

[0010] 本发明的一示范实施例包括一种通孔结构,其经形成以与堆叠层相邻,堆叠层包括至少一水平金属层与至少一绝缘层,通孔结构包含覆盖开口的侧壁的至少一 L 形氧化间隙壁、覆盖 L 形氧化间隙壁的非 L 形金属间隙壁、以及填充开口的剩余体积的导电层。

[0011] 本发明的一示范实施例包括一种具有所述通孔结构的存储器阵列结构,其中具有与通孔结构的侧壁接触的至少两条水平金属线,且水平金属线处于相同平面上。

[0012] 本发明的一示范实施例包括一种具有所述通孔结构的存储器阵列结构,其中具有与通孔结构的侧壁接触的至少两条水平金属线,且水平金属线垂直地堆叠并由介电材料分隔。

[0013] 基于上述,本发明的方法移除开口底部的氧化物,使填入开口的金属能直接接触到底层 W 导电插塞,且下层 W 导电插塞位于晶体管扩散区域上。本发明的方法简易且能够与现有存储器制作工艺相容。此外,本发明的结构可将有效位尺寸 (effective bit size) 减少至 $3F^2/N$, 其中 F 为半个间距 (half-pitch), N 是位线层数目,以大幅提升元件密度,降低成本,提高竞争力。

[0014] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附的附图作详细说明如下。

附图说明

[0015] 图 1A 至图 1G 为一示范实施例绘示的三维电阻式存储器的形成方法的剖面示意图;

[0016] 图 2 为另一示范实施例绘示的三维电阻式存储器的剖面示意图;

[0017] 图 3 为又一示范实施例绘示的三维电阻式存储器的剖面示意图;

[0018] 图 4 为再一示范实施例绘示的三维电阻式存储器的剖面示意图;

[0019] 图 5 为另一示范实施例绘示的三维电阻式存储器的剖面示意图;

[0020] 图 6 为一示范实施例绘示的三维电阻式存储器的上视图;

[0021] 图 7 为另一示范实施例绘示的三维电阻式存储器的上视图;

[0022] 图 8 为一示范实施例将两条水平金属线搭接至位于水平金属线上方的铜线的上视图;

[0023] 图 9 为另一示范实施例将条两水平金属线搭接至位于水平金属线上方的铜线的上视图;

[0024] 图 10 为将插塞连接至不同深度的着陆区 (landing areas) 的上视图;

[0025] 图 11 为一示范实施例绘示的三维电阻式存储器的上视图;

[0026] 图 12 为沿着图 11 的 I-I 线所绘示的剖面示意图;

- [0027] 图 13 为依据另一示范实施例绘示的三维电阻式存储器的上视图；
- [0028] 图 14 为沿着图 13 的 II-II 线所绘示的剖面示意图；
- [0029] 图 15 为一示范实施例绘示的自行对准 (self-aligned) 通孔图案化方案的示意图。
- [0030] 符号说明
- [0031] 10、20、30、40、50 : 三维电阻式存储器
- [0032] 100 : 基底
- [0033] 101 : 材料层
- [0034] 102 : 导电插塞
- [0035] 104 : 绝缘层
- [0036] 106、120、216、316 : 电极层
- [0037] 106a : 底部阻障层
- [0038] 106b : 金属层
- [0039] 106c : 顶部阻障层
- [0040] 106-1、106-2 : 水平金属线
- [0041] 107 : 开口
- [0042] 108、208、308 : 堆叠层
- [0043] 110 : 堆叠结构
- [0044] 112、112a : 介电层
- [0045] 113 : 金属氧化层
- [0046] 114 : 第一可变电阻层
- [0047] 116 : 第二可变电阻层
- [0048] 118 : 保护层
- [0049] 114a : 第一 L 形可变电阻间隙壁
- [0050] 116a : 第二 L 形可变电阻间隙壁
- [0051] 118a : I 形保护间隙壁
- [0052] 130、230、330-1、330-2、430 : 通孔结构
- [0053] 300-1、300-2 : Cu 搭接线
- [0054] 316a : 第一金属层
- [0055] 316b : 第二金属层
- [0056] 400 : 源极线接点通孔
- [0057] 402 : 蚀刻掩模开口

具体实施方式

[0058] 图 1A 至图 1G 是依据一示范实施例绘示的三维电阻式存储器的形成方法的剖面示意图。

[0059] 请参照图 1A, 在基底 100 上设置堆叠层 108。基底 100 可为半导体基底, 例如是含硅基底。基底 100 上具有栅极结构 (未绘示), 且基底 100 中具有位于栅极结构两侧的两个掺杂区域 (未绘示)。基底 100 还具有覆盖栅极结构的材料层 101。材料层 101 可为具有

导电插塞 102 的介电层。在一实施例中,导电插塞 102 可电连接至其中一个掺杂区域。材料层 101 的材料包含 SiO_2 、 SiO_x 、 AlO_x 、 SiN 或 SiON , 其中 x 大于 0。导电插塞 102 的材料包含金属, 例如 W。

[0060] 在一实施例中,堆叠层 108 包含交替排列的至少一绝缘层 104 与至少一电极层 (或称为位线层 (bit line layer)、导电层或水平金属线 (horizontal metal line))106。绝缘层 104 的材料包含 SiO_2 、 SiO_x 、 AlO_x 、 SiN 或 SiON , 其中 x 大于 0。电极层 106 的材料包含 W、TiN、Al、Ta、Cu、Ti 或其组合。在一实施例中,各电极层 106 为三明治结构,其包含底部阻障层 106a、顶部阻障层 106c 以及位于底部阻障层 106a 与顶部阻障层 106c 之间的金属层 106b。在一实施例中,底部阻障层 106a 与顶部阻障层 106c 包含相同材料,例如 TiN。在另一实施例中,底部阻障层 106a 与顶部阻障层 106c 可包含不同材料。金属层 106b 的材料包含 W、Al、Ta、Cu、Ti 或其组合。绝缘层 104 与电极层 106 中的每一者可通过至少一沉积制作工艺 (例如 CVD、PVD 或 ALD) 而形成。

[0061] 请参照图 1B,图案化绝缘层 104 与电极层 106 以形成至少两个堆叠结构 110,且在两个堆叠结构 110 之间的介电层中具有开口 107。在一实施例中,开口 107 比导电插塞 102 宽,且开口 107 的中心线与导电插塞 102 的中心线不同。在另一实施例中,开口 107 的宽度实质上等于导电插塞 102 的宽度。图案化步骤包含进行光刻与蚀刻制作工艺。在一实施例中,如图 1B 所示,图案化步骤并未蚀刻最低的绝缘层 104。在另一实施例中 (未绘示),开口 107 可穿透所有电极层 106 与绝缘层 104 而形成。

[0062] 在图 1B 的实施例中,在材料层 101 与开口 107 的一侧壁之间的夹角 θ 约为 90 度,此为例示性目的,而不应解释为限制本发明。在另一实施例中,夹角 θ 可为大于 90 度。在材料层 101 与开口 107 的一侧壁之间的夹角 θ 等于或大于约 90 度且等于或小于约 110 度,否则无法在开口 107 的侧壁上形成间隙壁 (例如图 1F 中的间隙壁 114a、116a 与 118a)。

[0063] 请参照图 1C,在开口 107 中形成介电层 112。形成介电层 112 的方法包含在基底 100 上沉积隔离材料层 (未绘示),且隔离材料层填入开口 107。隔离材料层的材料包含 SiO_2 、 SiO_x 、 AlO_x 、 SiN 或 SiON ,且其形成方法包含进行沉积制作工艺 (例如 CVD)。之后,进行平坦化制作工艺 (例如 CMP) 以移除在开口 107 外的部分隔离材料层。

[0064] 请参照图 1D,移除部分介电层 112,以使剩余的介电层 112a 在开口 107 的一侧壁 (例如左侧壁) 上形成。在图 1D 的步骤中,开口 107 的一侧壁 (例如左侧壁) 被介电层 112a 覆盖,而开口 107 的另一侧壁 (例如右侧壁) 被裸露出来。移除步骤包含进行光刻与蚀刻制作工艺。此移除步骤能够同时移除部分的最低绝缘层 104 因而裸露出导电插塞 102。

[0065] 之后,视情况地,对金属层 106b 进行氧化制作工艺,以在开口 107 的部分经裸露的侧壁上形成金属氧化层 113。通过热氧化制作工艺,由金属层 106b 的裸露部分形成金属氧化层 113。在一实施例中,金属氧化层 113 的材料包含 AlO_x 、 TaO_x 或 TiO_x , 其中 x 大于 0。金属氧化层 113 能够防止金属层 106b 与后来形成的可变电阻层反应。

[0066] 在本实施例中,通过热氧化制作工艺形成金属氧化层,但本发明不以此为限。在另一实施例中 (未绘示),可通过沉积制作工艺 (例如 CVD、PVD 或 ALD) 形成金属氧化层,因此开口的整个经裸露的侧壁都会被金属氧化层覆盖。

[0067] 请参照图 1E,在基底 100 上形成的第一可变电阻层 114、第二可变电阻层 116 与保护层 118,且第一可变电阻层 114、第二可变电阻层 116 与保护层 118 填入开口 107。第一可

变电阻层 114、第二可变电电阻层 116 与保护层 118 覆盖导电插塞 102 的顶部与开口 107 的侧壁。第一可变电电阻层 114 与第二可变电电阻层 116 中的每一者的材料包含 HfO_x 、 TaO_x 、 AlO_x 、 TiO_x 、 NbO_x 、 LaO_x 、 ZrO_x 、其掺杂物或其组合,其中 x 大于 0。在一实施例中,第一可变电电阻层 114 与第二可变电电阻层 116 中的每一者可通过沉积制作工艺(例如 CVD、PVD 或 ALD)形成。在另一实施例中,第一可变电电阻层 114 与第二可变电电阻层 116 中的每一者可通过金属 ALD 制作工艺并接着进行回火制作工艺而形成。保护层 118 的材料包含 Ta、Ti、TaN 或 TiN。在一实施例中,可通过沉积制作工艺(例如 CVD、PVD 或 ALD)形成保护层 118。保护层 118 能够保护第一可变电电阻层 114 与第二可变电电阻层 116,在接下来的蚀刻制作工艺中不受到损害。

[0068] 请参照图 1F,对第一可变电电阻层 114、第二可变电电阻层 116 与保护层 118 进行各向异性蚀刻制作工艺,以在开口 107 的另一侧壁(例如右侧壁)上形成第一 L 形可变电电阻间隙壁 114a、第二 L 形可变电电阻间隙壁 116a 以及 I 形(或非 L 形)保护间隙壁 118a。在本实施例中,在金属层 106b 与第一 L 形可变电电阻间隙壁 114a 之间形成金属氧化层 113。在各向异性蚀刻制作工艺后,裸露出部分导电插塞 102。

[0069] 请参照图 1G,以电极层 120 填充开口 107 的剩余部分。电极层 120 填满开口 107 并电连接至导电插塞 102。电极层 120 可包含与电极层 106 相同或不同的材料。形成电极层 120 的方法包含在基底 100 上形成电极材料层(未绘示),且电极材料层填入开口 107。电极材料层的材料包含 W、TiN、Al、Ta、Cu、Ti 或其组合,且其形成方法包含进行沉积制作工艺(例如 CVD、PVD 或 ALD)。之后,进行平坦化制作工艺(例如 CMP)以移除开口 107 外的部分电极材料层。至此,完成三维电阻式存储器 10。

[0070] 基于上述,堆叠层 108 包含形成于材料层 101 上的至少一电极层 106 与至少一绝缘层 104 且具有至少一开口 107,其中介电层 112a 位于开口 107 中、覆盖开口 107 的一侧壁且裸露出开口 107 的另一侧壁(如图 1A 至图 1D 所示),接着在开口的至少一部分侧壁上形成 L 形可变电电阻间隙壁 114a 与 116a 以及选择性保护间隙壁 118a(如图 1E 至图 1F 所示),然后以电极层 120 填充开口 107 的剩余部分(如图 1G 所示)。

[0071] 以下,将参照图 1G 说明本发明的三维电阻式存储器的结构。如图 1G 所示,三维电阻式存储器 10 包含堆叠层 108、第一 L 形可变电电阻间隙壁 114a、第二 L 形可变电电阻间隙壁 116a、I 形保护间隙壁 118a 与电极层 120。堆叠层 108 配置于材料层 101(可能包含 SiO_2) 上,且具有贯穿材料层 101 的至少一开口 107。在一实施例中,堆叠层 108 包含交替排列的多数个绝缘层 104(可能包含 SiO_2) 与多数个电极层 106。在本实施例中,各电极层 106 为三明治结构,其包含底部阻障层 106a(可能包含 TiN)、顶部阻障层 106c(可能包含 TiN) 以及位于底部阻障层 106a 与顶部阻障层 106c 之间的金属层 106b(可能包含 Al)。第一与第二 L 形可变电电阻间隙壁 114a 与 116a 配置于开口 107 的一侧壁(例如图 1G 中的右侧壁)上。在一实施例中,第一 L 形可变电电阻间隙壁 114a 可为具有氧空缺的金属氧化层(可能包含 HfO_x),而第二 L 形可变电电阻间隙壁 116a 可为作为氧原子吸附层(oxygen atom gettering layer)的另一金属氧化层(可能包含 TaO_x)。电极层 120 填充开口 107 的剩余部分。提供 I 形保护间隙壁 118a(可能包含 Ta)以保护下层的(underlying)可变电电阻间隙壁。在本实施例中,I 形保护间隙壁 118a 配置于第二 L 形可变电电阻间隙壁 116a 与电极层 120(可能包含 TiN)之间。材料层 101 中具有导电插塞 102(可能包含 W),且电极层 120 电连接至导电

插塞 102。

[0072] 再者,三维电阻式存储器 10 还包含金属氧化层 113(可能包含 AlO_x) 与介电层 112a(可能包含 SiO_2)。提供金属氧化层 113 以防止金属层 106b 与第一 L 形可变电阻间隙壁 114a 反应。在一实施例中,金属氧化层 113 配置于金属层 106b 与第一 L 形可变电阻间隙壁 114a 之间。提供介电层 112a 以减少两相邻元件之间的串音(cross-talk)现象。在一实施例中,介电层 112a 配置于开口 107 中,位于开口 107 的另一侧壁(例如图 1G 中的左侧壁)上且与第一 L 形可变电阻间隙壁 114a 接触。

[0073] 本发明的通孔结构也可在下文中参照图 1G 来说明。如图 1G 所示,通孔结构 130 是穿过至少一电极层(或称为水平金属线)106 与至少一绝缘层 104 而形成,并包含至少一 L 形可变电阻间隙壁(或称为 L 形氧化间隙壁)114a/116a、I 形保护间隙壁(或称为非 L 形金属间隙壁)118a 以及电极层(或称为导电层)120。L 形可变电阻间隙壁 114a/116a 覆盖开口 107 的侧壁。I 形保护间隙壁 118a 覆盖 L 形氧化间隙壁 114a/116a。电极层 120 填充开口 107 的剩余体积。通孔结构 130 配置于导电插塞 102(例如钨接点)上,且导电插塞 102 连接至晶体管的扩散区域。在一实施例中,至少一 L 形可变电阻间隙壁包含配置于开口 107 的侧壁上的第一 L 形可变电阻间隙壁 114a 以及配置于第一 L 形可变电阻间隙壁 114a 上的第二 L 形可变电阻层 116a。第一 L 形可变电阻间隙壁 114a 的材料包含 HfO_2 或 HfO_x , 而第二 L 形可变电阻间隙壁 116a 的材料包含 TaO_x 。I 形保护间隙壁 118a 的材料包含 Ta、Ti、TiN 或 TaN。电极层 120 的材料包含 TiN。

[0074] 本发明的存储器阵列结构具有至少一通孔结构 130,其中具有与通孔结构 130 的侧壁接触的至少两个电极层(或称为水平金属线)106,且电极层 106 可处于相同平面上,或是可垂直地堆叠并由绝缘层 104 分隔。在一实施例中,各电极层 106 的材料包含 Al、W 或 TiN。在另一实施例中,各电极层 106 的材料包含侧向分隔的 TiN 与 Cu。

[0075] 图 1G 的实施例中,堆叠层 108 的各电极层 106 为三明治结构,此为示例性目的,而不应解释为限制本发明。在第二实施例中,如图 2 中的三维电阻式存储器 20 所示,堆叠层 208 的各电极层 216 可为单一金属层。在此情况下,各电极层 216 的材料包含 W 或 TiN。

[0076] 在第三实施例中,如图 3 中的三维电阻式存储器 30 所示,堆叠层 308 的各电极层 316 可为包含第一金属层 316a 与第二金属层 316b 的双金属层。第一金属层 316a 与第二金属层 316b 并排配置,且第二金属层 316b 配置于第一 L 形可变电阻间隙壁 114a 与第一金属层 316a 之间。在此情况下,第一金属层 316a 的材料包含 Cu,而第二金属层 316b 的材料包含 TiN。

[0077] 在下文中描述形成三维电阻式存储器 30 的方法。图案化第二实施例的导电层 216(例如水平 TiN 线)之后,在与 TiN/ SiO_2 堆叠层相邻的 SiO_2 中形成至少一开口 107。使用湿蚀刻剂以侧向地蚀刻 TiN 线至特定程度,因此剩余 TiN 线形成第一金属层 316a。蚀刻剂可为约 10%或含量更低的稀释 HF 溶液,且含有 Pd 或其他 TiN 表面活化剂(surface activator)。接着,使用无电镀铜溶液(copper electroless plating solution)以电镀 Cu,填充先前侧向蚀刻的大部分空间以形成第二金属层 316b,但不在空间外沉积,因为会导致开口内水平金属线之间的 Cu 桥接(bridging)。无电镀溶液可包含 $CuSO_4$ 、乙二胺四乙酸(ethylenediaminetetraacetic acid, EDTA)、二甲基胺硼烷(dimethylamineborane, DMAB)以及水。此实施例可产生较低的电线电阻。然而,制作工艺的复杂度较高。因此,最

可能适用于使用许多层（大于 2 层）的水平金属线时，如此一来，搭接 Cu 线的简易连接变得较不麻烦。Cu 线与包含间隙壁的开口可包覆于阻挡 Cu 扩散的介电介质（例如 SiN）中，以防止堆叠层之间 Cu 线的传导桥接形成的发生。

[0078] 在图 1G 的实施例中，两个 L 形可变电阻间隙壁 114a 与 116a 以及一个 I 形保护间隙壁 118a 配置于开口 107 的一侧壁上，但本发明不以此为限。

[0079] 在另一实施例中，如图 4 中的三维电阻式存储器 40 所示，单一 L 形可变电阻间隙壁 114a 配置于开口 107 的一侧壁上。在此情况下，各电极层 106 为三明治结构，其包含底部阻障层 106a（可能包含 TiN）、顶部阻障层 106c（可能包含 TiN）以及位于底部阻障层 106a 与顶部阻障层 106c 之间的金属层 106b（可能包含 Ta）。单一 L 形可变电阻间隙壁 114a 可能是由 HfO_x 所制造，金属氧化层 113 可能是由 TaO_x 所制造，而电极层 120a 可能是由 TiN 所制造。在一实施例中，L 形可变电阻间隙壁 114a 可为具有氧空缺的金属氧化层（可能包含 HfO_x），而金属氧化层 113 可为作为氧原子吸附层的另一金属氧化层（可能包含 TaO_x）。可基于制作工艺需求而省略图 4 中各电极层 106 的底部阻障层 106a 与顶部阻障层 106c，以形成图 5 中的三维电阻式存储器 50。

[0080] 在一实施例中，如图 6 的上视图所示，先形成开口 107，接着在开口 107 中形成 L 形可变电阻间隙壁 114a 与 116a、I 形保护间隙壁 118a 以及电极层 120，以形成通孔结构 130。但本发明不以此为限。在另一实施例中，先进行图案化制作工艺，以形成与各堆叠层的（至少）一侧相邻的沟渠。之后，在沟渠内沉积可变电阻层 114 与 116 以及保护层 118，接着蚀刻以形成 L 形可变电阻间隙壁 114a 与 116a 以及 I 形保护间隙壁 118a。电极层 120 填充沟渠的剩余体积。通过另一掩模蚀刻技术（masked etch）切割间隙壁 114a、116a 与 118a 以及电极层 120，以形成通孔结构 230 以及通孔结构 230 之间的经蚀刻的空间。接着，以介电材料（例如 SiO₂）填充经蚀刻的空间。如图 7 所示，此结果显示不同外观的上视图。

[0081] 换言之，在图 6 中，各 L 形可变电阻间隙壁 114a 与 116a 覆盖对应的通孔结构 130 的开口的整个侧壁。在图 7 中，各 L 形可变电阻间隙壁 114a 与 116a 覆盖对应的通孔结构 230 的开口的部分侧壁。

[0082] 因为 Cu 是电阻性最低的金属，但无法直接蚀刻，而可通过沉积（如上述无电电镀制作工艺）来图案化。当存在两层时，单纯搭接两个非 Cu（例如 TiN）层至阵列上方的不同相邻铜线较为简易。如图 8 的上视图所示，两条水平金属线 106-1 与 106-2 连接至阵列的最高水平金属线 106-2 上的 Cu 搭接线 300-1 与 300-2。在一实施例中，较低水平金属线 106-1 与较高水平金属线 106-2 具有实质上相同宽度，较低水平金属线 106-1 连接至较低 Cu 搭接线 300-1，而较高水平金属线 106-2 连接至较高 Cu 搭接线 300-2。预计此制作工艺将消耗两个光掩模以裸露两条不同的 TiN 线深度使铜插塞得以着陆。

[0083] 或者，当较高水平金属线 106-2 的宽度窄于较低水平金属线 106-1 的宽度时，可使用单一光掩模。首先，使用抗蚀掩模（resist mask）定义具有相同宽度的水平金属线 106-1 与 106-2。之后，削减（trim away）上述抗蚀掩模，再用经削减的抗蚀掩模为掩模，移除部分较高水平金属线 106-2 与下层介电层。之后，去除经削减的抗蚀掩模而使较低金属线 106-1 裸露出来。这可使用一个光掩模取代两个光掩模，以图案化出两个深度。

[0084] 此外，通过加入着陆区与使用额外 Cu 金属层，此技术可延伸至超过两层的状况。举例来说，在 3 层排列中，第三深度的 Cu 搭接线可配置在图 8 或图 9 中的两条 Cu 搭接线的

上方或之间。针对 4 层排列,第三与第四深度的一对 Cu 搭接线可直接地配置于图 9 中的两条 Cu 搭接线的上方。这可延伸至超过 4 层。

[0085] 针对连接至 3D-RRAM 通孔结构的许多线层,可进行蚀刻制作工艺以形成具有多种深度的多个连接(金属)插塞开口,以在各层上着陆。这可通过使用插塞开口光刻步骤而完成。为了最小化光刻制作工艺,可使用单一光掩模同时蚀刻所有深度。这可通过加宽更深的插塞开口来达成,例如通过微负载(micro-loading)效应或与深宽比相关(aspect-ratio dependent)的蚀刻作用。下列作法会较为容易:供较高的水平金属线使用的较深插塞着陆区被制作成向外延伸更多,而使较宽的插塞着陆,如图 10 所示,其中最浅的深度显示于左边,而最深的深度显示于右边。延伸着陆区适用于延伸的插塞区域,而可进行充分更深的蚀刻。较高水平金属线连接至较深金属插塞,各深度对应于侧向分隔的插塞着陆区。较深插塞的着陆区大于较浅插塞的着陆区。亦即,用于较深金属插塞的着陆区大于用于较浅金属插塞的着陆区。

[0086] 总之,本发明的方法在至少一位置上移除任何接触开口底部的氧化物,使金属直接接触下层 W 导电插塞,且下层 W 导电插塞位于晶体管扩散区域上。本发明的方法简易且能够与现有存储器制作工艺相容。

[0087] 再者,本发明的结构可使 L 形 RRAM(HfO_x) 层与 L 形电流限制(TaO_x) 层的制造在间隙壁形成过程中不受到损害。这对形成能够自行限制 SET 电流而不使用相邻晶体管的 TaO_x/HfO_x 无选择器(selector-less) RRAM 而言相当重要。上述结构在其高电阻状态(HRS)下也为非线性,在 SET 操作中限制阵列的潜泄电流(sneak currents)。

[0088] 图 11 是依据一示范实施例绘示的三维电阻式存储器的上视图。图 12 是沿着图 11 的 I-I 线所绘示的剖面示意图。图 13 是依据另一示范实施例绘示的三维电阻式存储器的上视图。图 14 是沿着图 13 的 II-II 线所绘示的剖面示意图。在此,通孔结构 330-1 与 430 的每一者具有与通孔结构 130 或 230 类似的结构与功能,因此细节不再重复说明。

[0089] 即使为单一层结构,本发明可使较大的主动切换区域(active switching areas)存在于较小的晶胞占用面积(cell footprint)中。不使用 100nm x 100nm 平面结构,而使用 100nm x 400nm 侧壁切换区域,提供与 200nm x 200nm 平面结构同样较低的形成电压。这呈现于图 11 与图 12 中,其中水平位线均匀地分隔,但每隔两条(every third one)的水平位线会由两个存储位的位置(memory bit locations)所共享。通孔结构 330-1 形成为具有 L 形间隙壁可变电阻材料的通孔。未共享位线(或专用位线)之间的通孔结构 330-2 是用来连接至源极线(source line)而非用于存储器。即使通孔结构 330-2 并非用于存储器,源极线接点通孔(例如通孔结构 330-2)仍具有 L 形介电间隙壁以将位线由此连接隔离。同样地,此 L 形介电间隙壁在蚀刻过程中受到金属 I 形间隙壁保护,且线接点金属填充通孔的剩余部分。在 $12F^2$ 重复单元内有四个侧壁位的位置,其中 F 是半个间距(half-pitch)。这导致 $3F^2$ 的有效位尺寸(effective bit size)。在上方垂直地形成更多位线可减少位尺寸至 $3F^2/N$,其中 N 是垂直形成的位线层数目。

[0090] 另一 $3F^2$ 实施例呈现于图 13 与图 14 中,从上方检视,其中源极线从接触存储器材料的通孔结构 430 列侧向偏移。这不需要源极线接点通孔 400 的额外制作工艺。

[0091] 基于制造通孔结构 430 可能的的光刻困难,图 15 呈现自行对准通孔图案化方案的示意图,其中硬掩模(未绘示)覆盖位线,且蚀刻掩模开口 402 比实际通孔宽度宽,而使图案

化的容许度 (tolerance) 更大。通过蚀刻掩模开口 402 的未接触硬掩模的部分来决定实际通孔开口。

[0092] 上述 $3F^2$ 结构的增加的位密度需要连接至相同晶体管的位之间的电流分离 (current split) 管理。在最简单的情况下, 一 L 形可变电阻间隙壁 (材料例如是 HfO_x) 由作为电阻电流限制层的另一 L 形间隙壁 (材料例如是 TaO_x) 所覆盖。或者, 两个连接至相同晶体管的位可视为一复合位 (composite bit), 并处理两个位分别测量的电阻 (例如 $\sqrt{R_1 R_2}$) 以计算对于个别位电阻的自然内部随机波动较不敏感的等效电阻。

[0093] 虽然结合以上实施例公开了本发明, 然而其并非用以限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 可作些许的更动与润饰, 故本发明的保护范围应当以附上的权利要求所界定的为准。

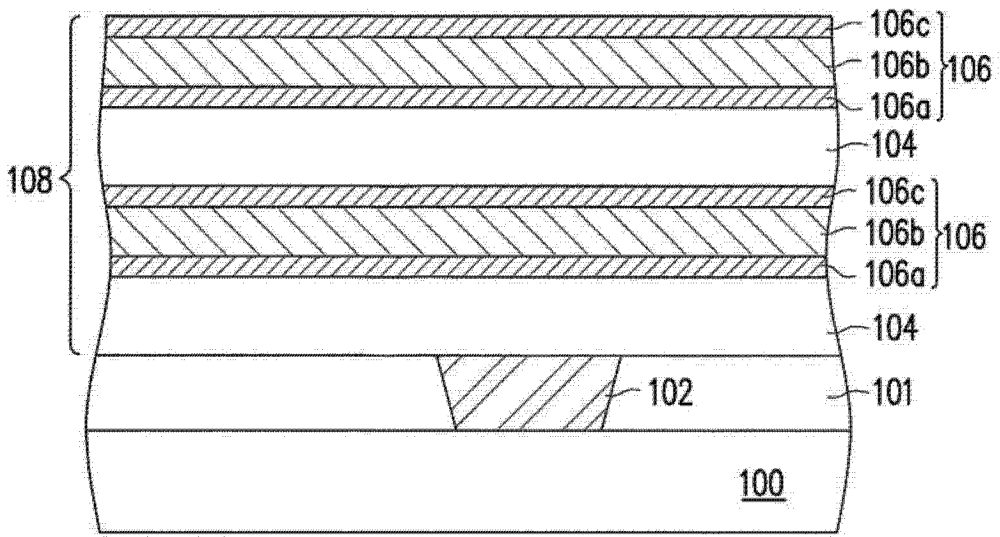


图 1A

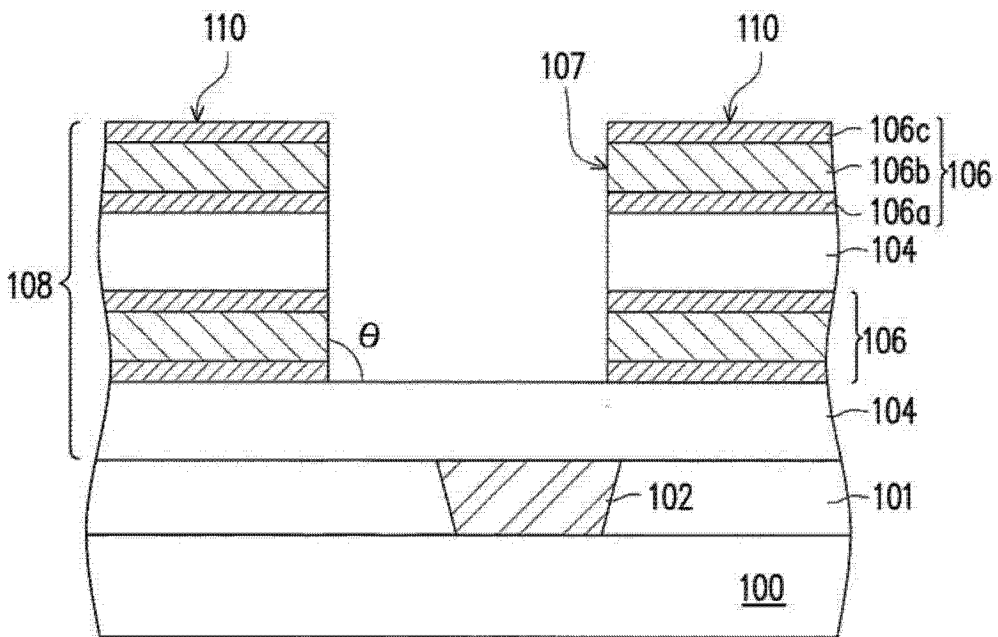


图 1B

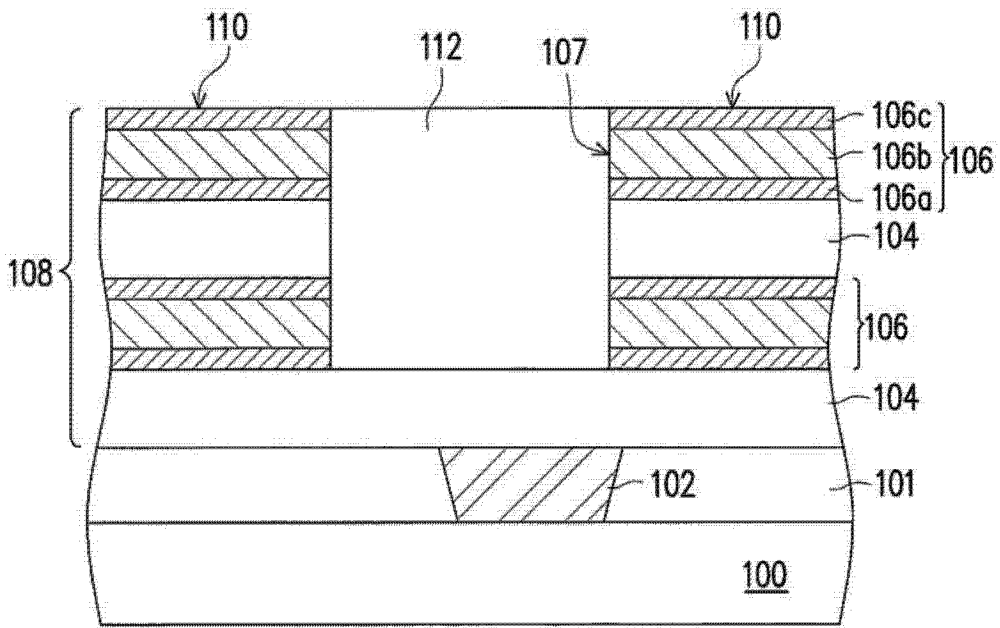


图 1C

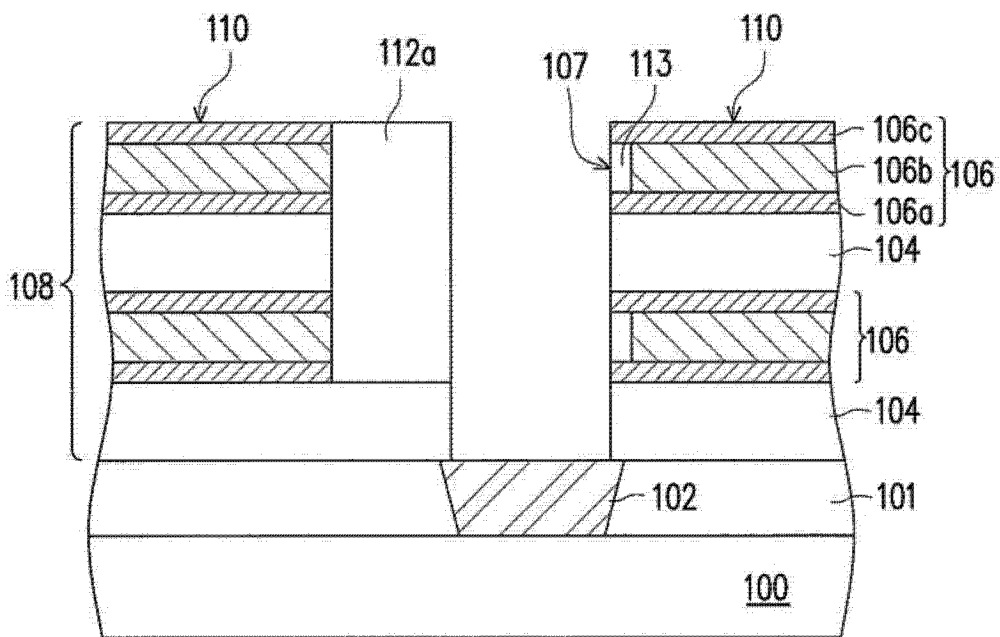


图 1D

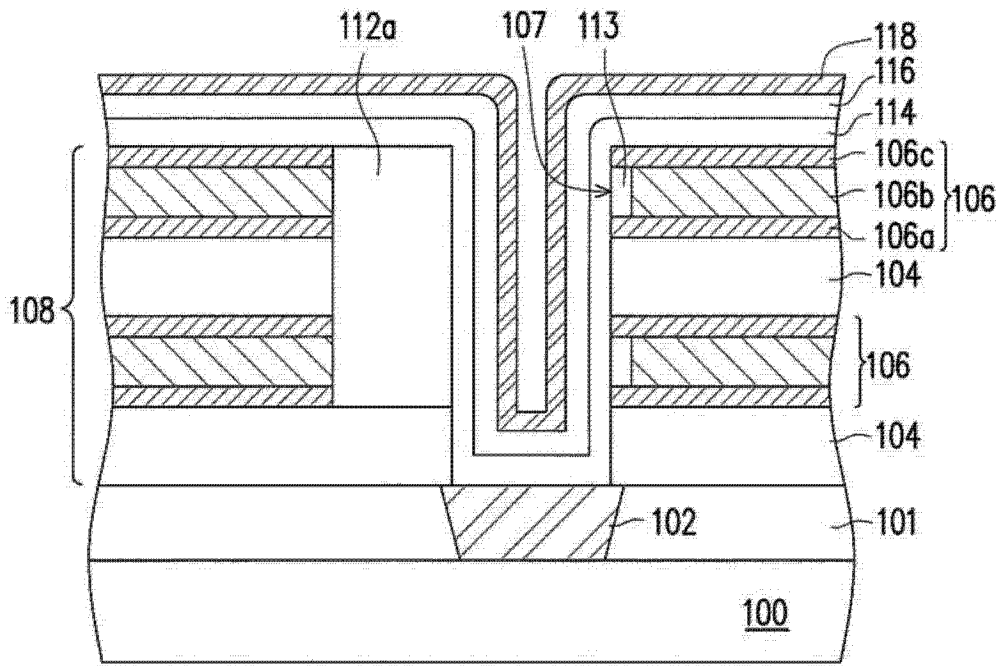


图 1E

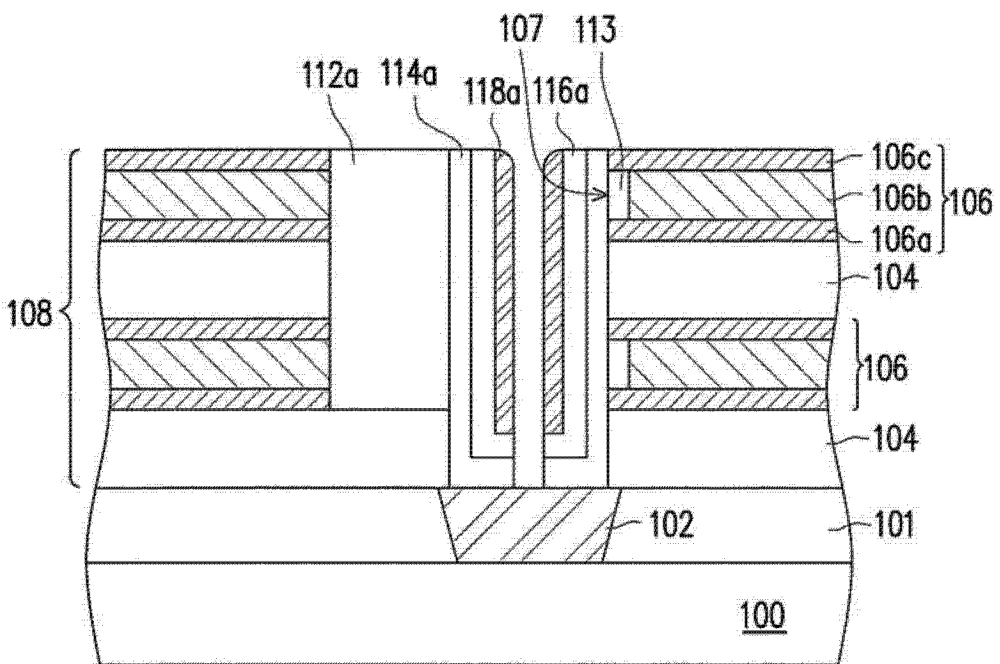


图 1F

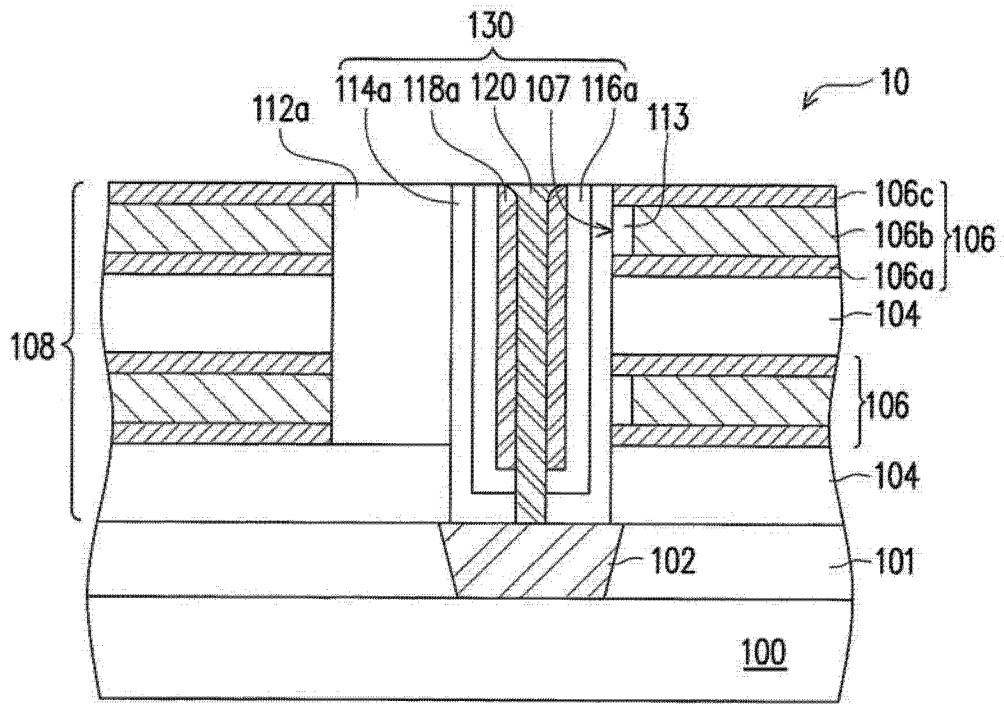


图 1G

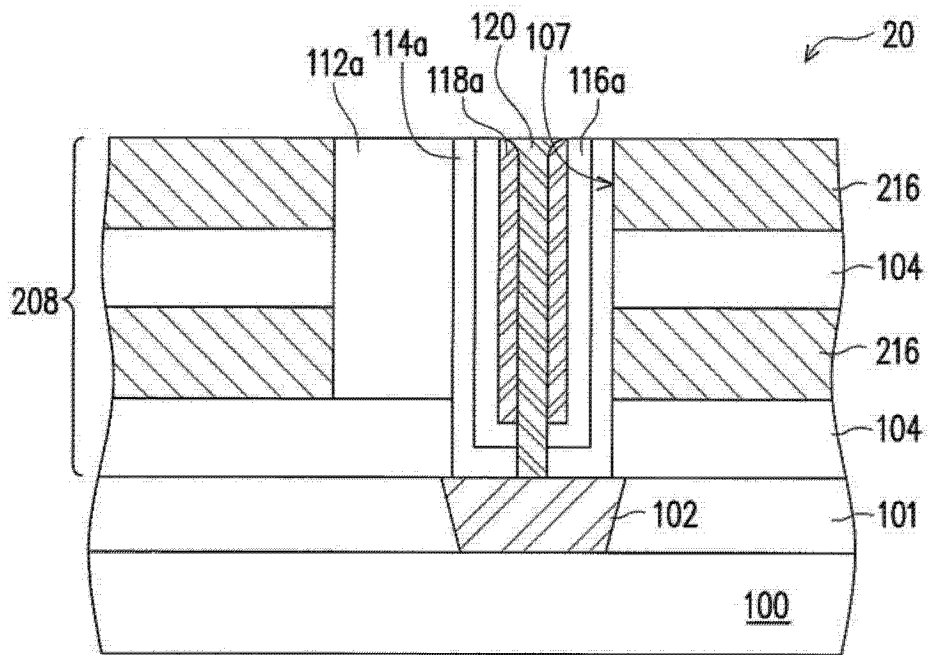


图 2

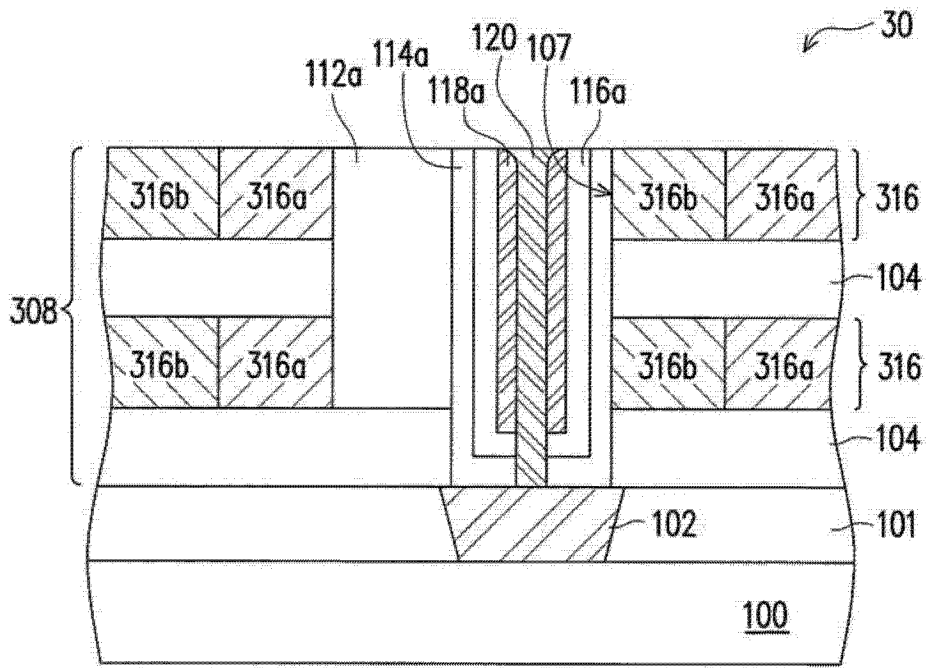


图 3

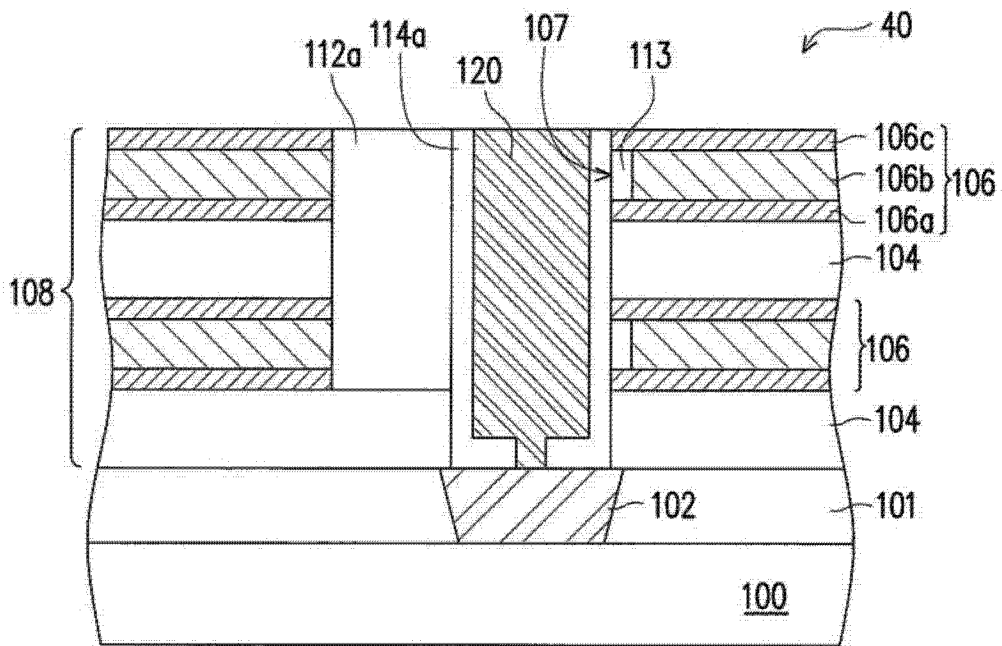


图 4

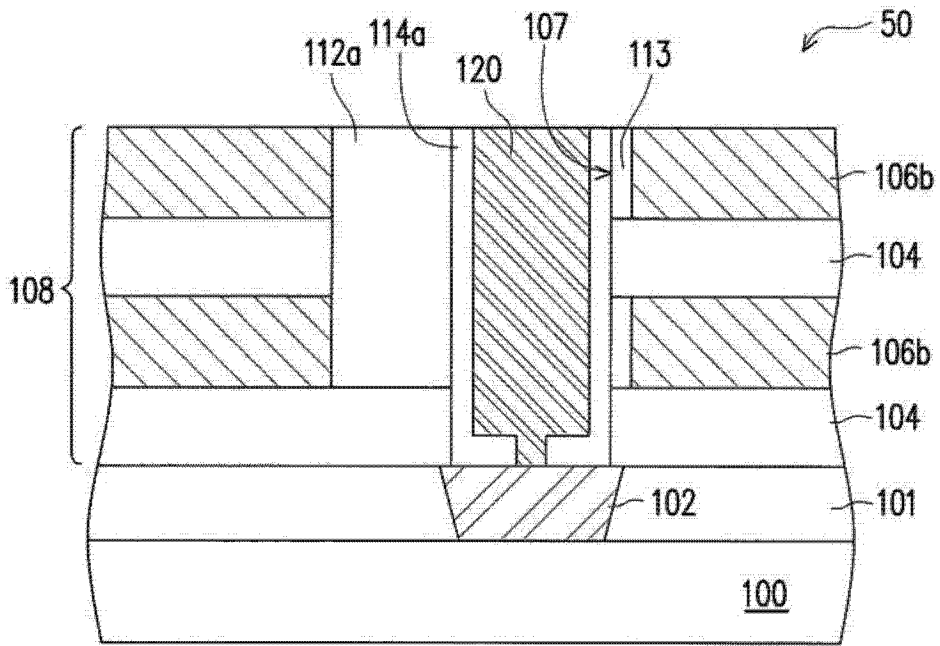


图 5

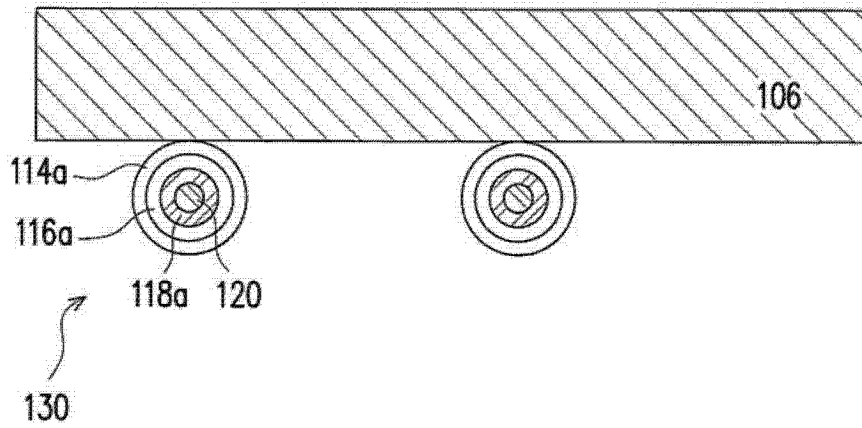


图 6

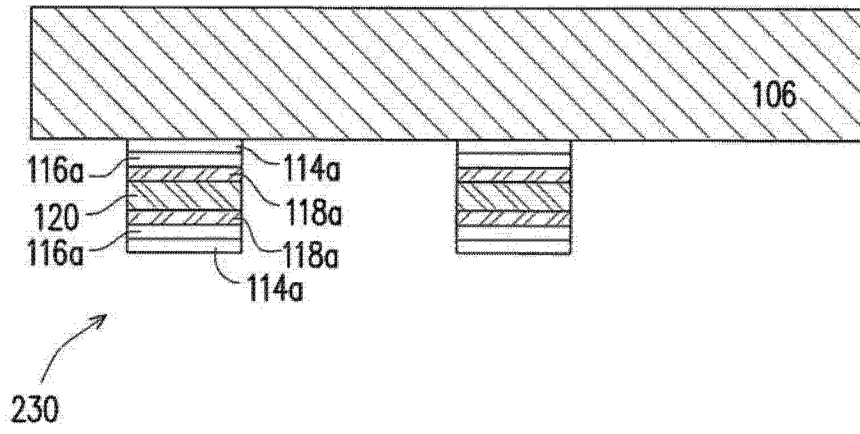


图 7

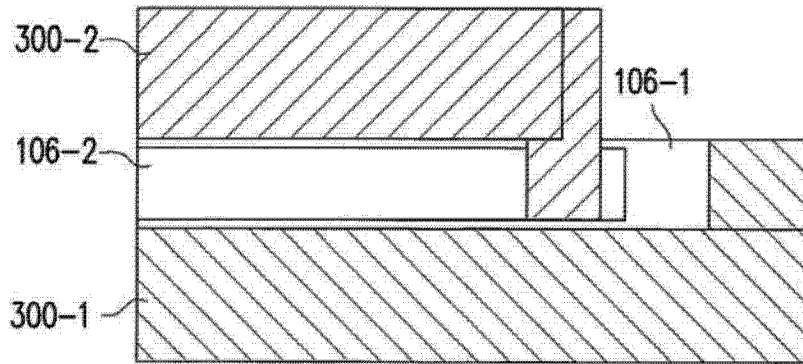


图 8

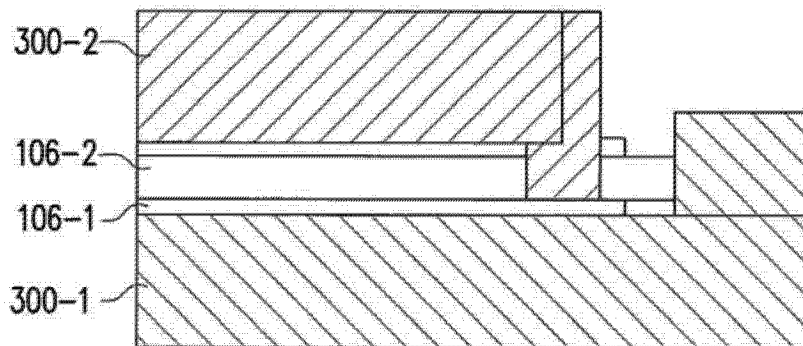


图 9

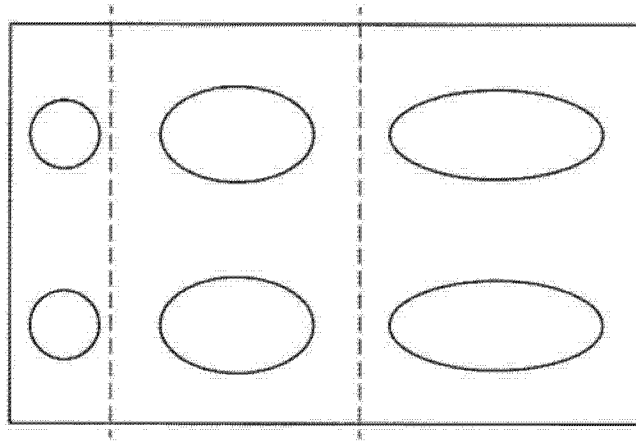


图 10

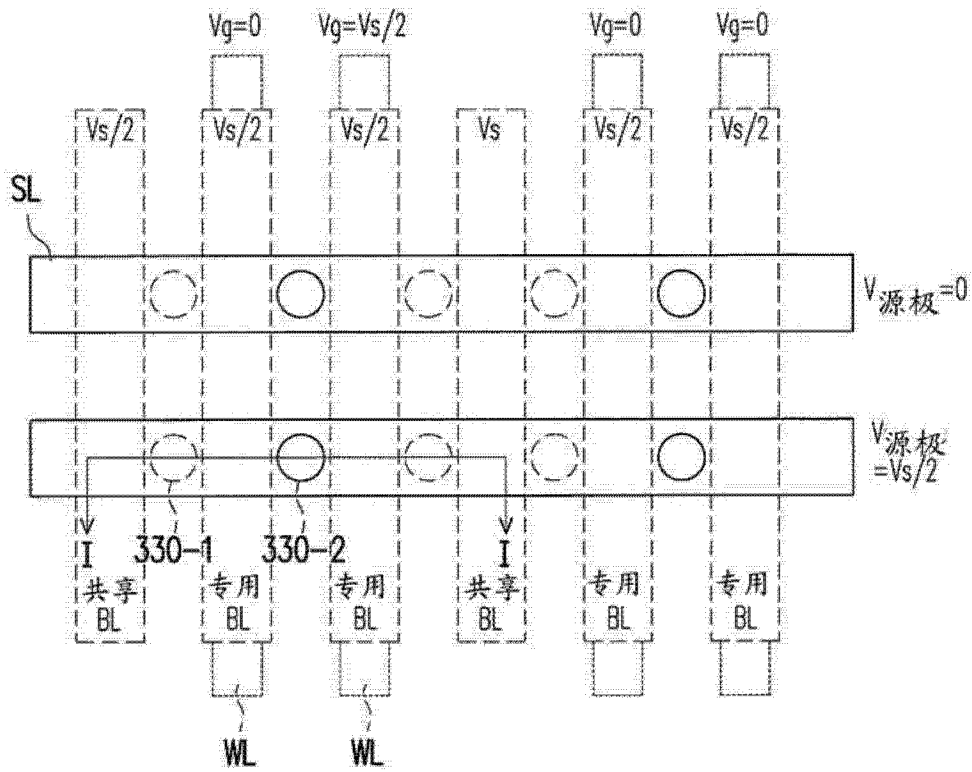


图 11

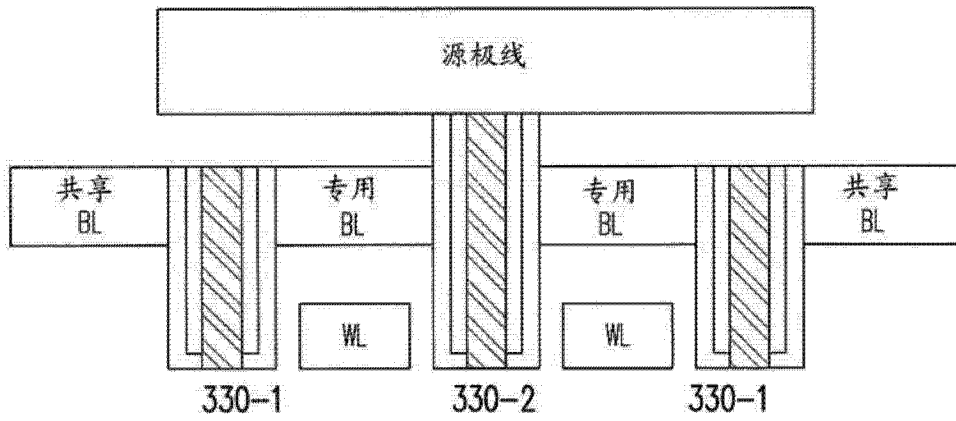


图 12

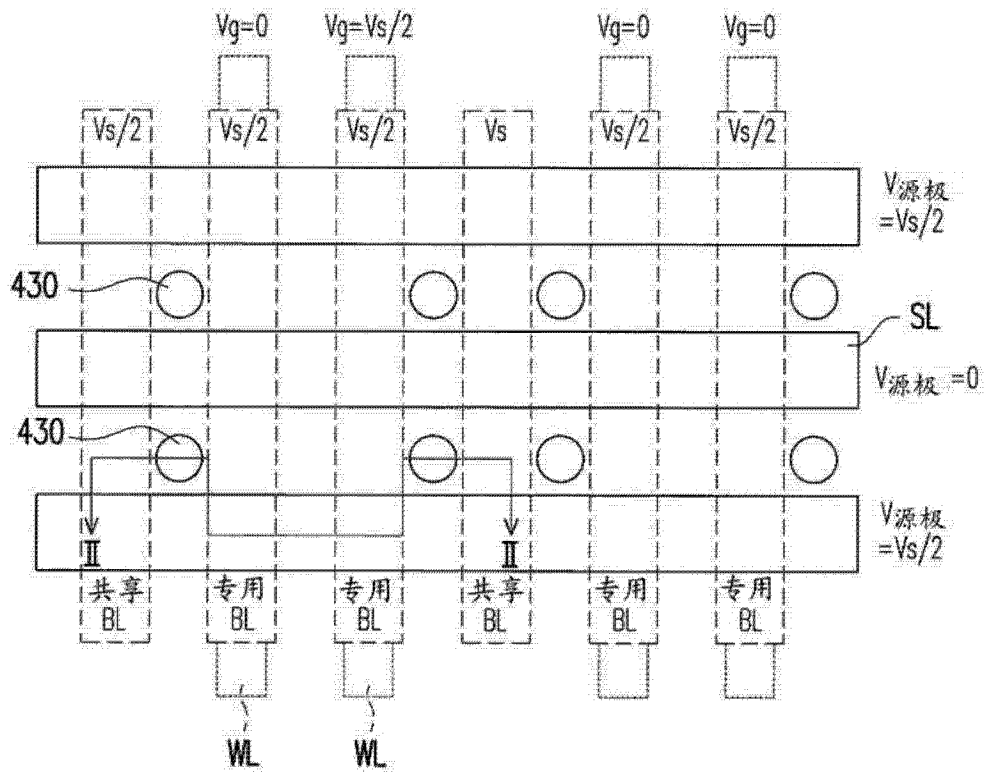


图 13

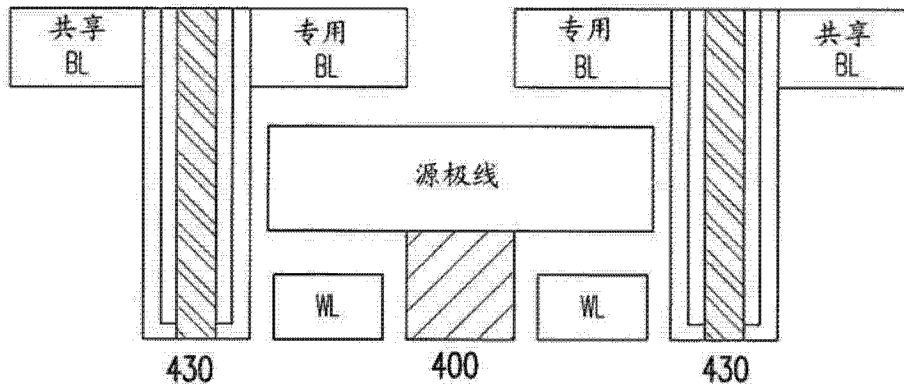


图 14

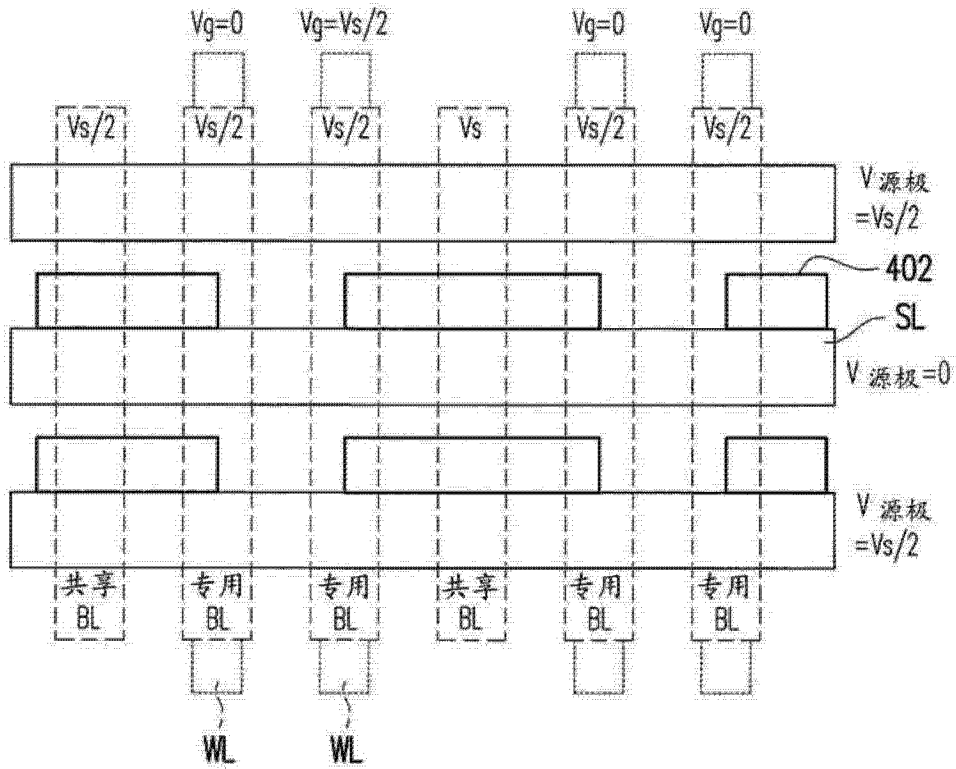


图 15