

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4182986号
(P4182986)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 8 A
HO 1 L 29/861 (2006.01)	HO 1 L 29/78	6 5 8 G
HO 1 L 21/329 (2006.01)	HO 1 L 29/78	6 5 2 T
請求項の数 9 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2006-115316 (P2006-115316)	(73) 特許権者	000003207 トヨタ自動車株式会社
(22) 出願日	平成18年4月19日(2006.4.19)		愛知県豊田市トヨタ町1番地
(65) 公開番号	特開2007-288026 (P2007-288026A)	(74) 代理人	110000110 特許業務法人快友国際特許事務所
(43) 公開日	平成19年11月1日(2007.11.1)	(72) 発明者	久永 幸博 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
審査請求日	平成18年8月9日(2006.8.9)	審査官	小野田 誠
最終頁に続く			

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

p型領域とn型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置であり、

少なくともスーパージャンクション構造の繰り返し方向において、

p型のSi結晶とn型のSi結晶の間に、 $Si_{1-x-y}Ge_xC_y$ 結晶($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)の層が介在している構造が繰り返して形成されていることを特徴とする半導体装置。

【請求項2】

前記 $Si_{1-x-y}Ge_xC_y$ 結晶の層が、前記xとyの値を異にする複数の層で形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記xとyの値が、一方のSi結晶の側から他方のSi結晶の側に向けて、順に減少していることを特徴とする請求項2に記載の半導体装置。

【請求項4】

p型領域とn型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置であり、

少なくともスーパージャンクション構造の繰り返し方向において、

p型領域とn型領域のいずれか一方がSi結晶で形成されており、他方が $Si_{1-x-y}Ge_xC_y$ 結晶($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)で形成されている構

10

20

造が繰り返して形成されていることを特徴とする半導体装置。

【請求項 5】

前記 $Si_{1-x-y}Ge_xC_y$ 結晶の前記 y の値が、 0.5×10^{-2} 以上であることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

p 型領域と n 型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置の製造方法であり、

p 型あるいは n 型の Si 結晶の表面から深部に向けて伸びるとともに所定の間隔で繰り返し出現する複数のトレンチを形成する第 1 工程と、

その複数のトレンチの壁面に、所定の厚みの $Si_{1-x-y}Ge_xC_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) の層を形成する第 2 工程と、

壁面に $Si_{1-x-y}Ge_xC_y$ 結晶の層が形成されたトレンチ内に、トレンチを形成した前記 Si 結晶と反対導電型の Si 結晶を成長させる第 3 工程、

を備えていることを特徴とする製造方法。

【請求項 7】

前記第 2 工程では、前記 x と y の値を連続的または不連続的に変化させて $Si_{1-x-y}Ge_xC_y$ 結晶の層を形成することを特徴とする請求項 6 に記載の製造方法。

【請求項 8】

前記第 2 工程で、前記トレンチの壁面に所定の厚みの前記 $Si_{1-x-y}Ge_xC_y$ 結晶の層を形成するに際して、結晶成長の進行に追従して Si の組成比を徐々に増大し、

Si の組成比が 1.0 となった後も Si 結晶の成長を継続して前記第 3 工程に移行し、前記トレンチを充填するまで第 3 工程を継続することを特徴とする請求項 7 に記載の製造方法。

【請求項 9】

p 型領域と n 型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置の製造方法であり、

p 型あるいは n 型の Si 結晶の表面から深部に向けて伸びるとともに所定の間隔で繰り返し出現する複数のトレンチを形成する第 1 工程と、

トレンチ内を、トレンチを形成した前記 Si 結晶と反対導電型の $Si_{1-x-y}Ge_xC_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) で充填する $Si_{1-x-y}Ge_xC_y$ 結晶充填工程、

を備えていることを特徴とする製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スーパージャンクション構造を形成する p 型領域と n 型領域の間で、不純物が相互拡散することを防止する技術に関する。

【背景技術】

【0002】

p 型領域と n 型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置がある。このような半導体装置では、スーパージャンクション構造を形成する p 型領域の不純物と n 型領域の不純物が相互拡散してしまい、半導体装置の特性が劣化することがある。

そこで、特許文献 1 の半導体装置では、図 18 に示すように、p 型領域 124 と n 型領域 122 の間に絶縁膜 (SiO_2) 128 を形成することによって、p 型領域 124 と n 型領域 122 の間で不純物が拡散することを防止している。この構造を実現するために、n 型の Si 結晶基板の表面から深部に向けて伸びるとともに所定の間隔で繰り返し出現する複数のトレンチ 123 を形成する。そして、トレンチ 123 の内壁全面に絶縁膜 128 を形成する。その後、トレンチ 123 の底部に形成された絶縁膜 128 を除去する。ついで、太い矢印で示すように、トレンチ 123 の底部から p 型の不純物を含む Si 結晶を

10

20

30

40

50

結晶成長させる。これによって、スーパージャンクション構造 1 2 6 が形成される。

【特許文献 1】特開 2 0 0 5 - 1 4 2 2 4 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 3 】

不純物の拡散を防止するための膜が絶縁膜 (SiO_2) である場合、絶縁膜はアモルファス状態であるため、ここから Si 結晶を結晶成長をさせることは困難なことが知られている。このため、絶縁膜に取り囲まれているトレンチ内に Si 結晶を結晶成長させるためには工夫が必要であった。例えば、上記の従来技術では、トレンチ 1 2 3 の底部の絶縁膜 1 2 8 を除去する工程を取り入れ、絶縁膜 1 2 8 が除去されたトレンチ 1 2 3 の底部から Si 結晶を結晶成長させている。従来技術では、トレンチ 1 2 3 の底部の絶縁膜 1 2 8 を除去する工程が必要とされていた。

10

本発明は、上記の問題点を解決するために創案された。

本発明では、スーパージャンクション構造を形成する p 型領域と n 型領域の間で不純物が相互拡散することを防止することができるとともに、製造工程を簡略化することができる半導体装置およびその製造方法を提供する。

【課題を解決するための手段】

【 0 0 0 4 】

本発明の半導体装置は、p 型領域と n 型領域が繰り返して形成されているスーパージャンクション構造を有している。そして、少なくともスーパージャンクション構造の繰り返し方向において、Si 結晶と、その Si 結晶に接する $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) が繰り返して形成されている。

20

$\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶は、独自に結晶成長させて形成してもよいし、Si 結晶に Ge や C を気相拡散して形成してもよいし、あるいは Si 結晶に Ge や C をインプラントして形成してもよい。

また $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶は、p 型、n 型、あるいはノンドープ型 (i 型) のいずれでもよい。

【 0 0 0 5 】

$\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) は、Si 結晶と比較して不純物の拡散速度が約 3 桁小さい。したがって、Si 結晶と $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶が接している構造を繰り返すことによってスーパージャンクション構造を形成すれば、スーパージャンクション構造を形成する p 型領域と n 型領域の間で、不純物が相互拡散することを防止することができる。この場合、p 型領域と n 型領域の双方を Si 結晶で形成し、その間に $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層を介在させてもよい。この場合、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層が、拡散防止層として機能する。あるいは、p 型領域と n 型領域の一方を Si 結晶で形成し、他方を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶で形成してもよい。この場合には、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶で形成されている領域自体の拡散速度が遅いことから、p 型領域と n 型領域の間で不純物が相互拡散することを防止することができる。

30

また、Si 結晶から $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶を結晶成長させることもできれば、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶から Si 結晶を結晶成長させることもできる。半導体装置の製造工程を簡略化することができる。

40

【 0 0 0 6 】

p 型の Si 結晶と n 型の Si 結晶の間に、前記した $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶の層が介在している構成としてもよい。

この場合、スーパージャンクション構造を形成する p 型領域と n 型領域の間を、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶の層で分離することになる。間に介在する $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶の拡散速度が遅いことから、p 型不純物と n 型不純物が相互拡散することを防止することができる。 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶の除去工程は必要とされず、半導体装置の製造工程を簡略化することができる。

50

【0007】

p型のSi結晶とn型のSi結晶を、 $Si_{1-x-y}Ge_xC_y$ 結晶の層で分離する場合、その分離する $Si_{1-x-y}Ge_xC_y$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)結晶の層が、 x と y の値を異にする複数の層で形成されていることが好ましい。

$Si_{1-x-y}Ge_xC_y$ 結晶は、 x と y の値を変えることによって格子定数を調整することができる。また、 $Si_{1-x-y}Ge_xC_y$ 結晶は、 x と y の値を変えることによって、不純物の拡散速度を調整することができる。 x と y の値を異にする複数の層で構成すると、Si結晶と $Si_{1-x-y}Ge_xC_y$ 結晶の界面における格子定数の差を小さくすることによって格子定数の不一致に起因するミスフィット転移の発生を抑制することができるとともに、不純物の拡散速度が遅い層を確保することによってp型のSi結晶とn

10

【0008】

p型のSi結晶とn型のSi結晶を分離する $Si_{1-x-y}Ge_xC_y$ 結晶の層において、 x と y の値が、一方のSi結晶の側から他方のSi結晶の側に向けて、順に減少している関係を採用してもよい。

本発明によれば、他方のSi結晶に接する面に近い層ほどSiの組成比を大きくすることができ、他方のSi結晶と接する界面での格子不整合を抑制することができる。同時に一方のSi結晶に接する面に近い層ほどCの組成比を大きくすることができ、Cを含む層によって一方のSi結晶と他方のSi結晶の間で不純物が相互拡散することを効果的に防止することができる。なお、必要であれば、Cの組成比が大きい側ではGeの組成比をも

20

【0009】

p型領域とn型領域のいずれか一方がSi結晶で形成されており、他方が $Si_{1-x-y}Ge_xC_y$ 結晶で形成されていてもよい。この構造でも、スーパージャンクション構造を実現することができる。

本発明によれば、スーパージャンクション構造の製造工程を簡略化できる。

【0010】

$Si_{1-x-y}Ge_xC_y$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)結晶の y の値が、 0.5×10^{-2} 以上であることが好ましい。

$Si_{1-x-y}Ge_xC_y$ 結晶のCの組成比が、0.5パーセント以上であると、 $Si_{1-x-y}Ge_xC_y$ 中の不純物拡散速度が顕著に低速化する。Cの組成比が、0.5パーセント以上である $Si_{1-x-y}Ge_xC_y$ 結晶を利用してスーパージャンクション構造を実現すると、p型領域とn型領域間の不純物拡散を効果的に抑制することができる。なお、これは、 $Si_{1-x-y}Ge_xC_y$ 結晶でp型のSi結晶とn型のSi結晶を分離する場合のみならず、p型領域とn型領域の一方をSi結晶で形成し、他方を $Si_{1-x-y}Ge_xC_y$ 結晶で形成する場合も適用される。

30

【0011】

本発明は、p型領域とn型領域が繰り返して形成されているスーパージャンクション構造を有する半導体装置の製造方法にも具現化させる。この方法は、第1工程と第2工程を備えている。第1工程では、Si結晶の表面から深部に向けて伸びるとともに所定の間隔で繰り返して出現する複数のトレンチを形成する。第2工程では、その複数のトレンチ内に、 $Si_{1-x-y}Ge_xC_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)を形成する。

40

第2工程で、 $Si_{1-x-y}Ge_xC_y$ 結晶がトレンチ内に形成されればよく、トレンチの壁面から $Si_{1-x-y}Ge_xC_y$ 結晶を結晶成長させてもよいし、トレンチの周囲のSi結晶にGeやCを気相拡散して $Si_{1-x-y}Ge_xC_y$ 結晶を形成してもよいし、Si結晶にGeやCをインプラントして $Si_{1-x-y}Ge_xC_y$ 結晶を形成してもよい。

なお、 $Si_{1-x-y}Ge_xC_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)は、p型、n型、ノンドープ型(i型)のいずれでもよい。

50

【0012】

本発明の半導体装置の製造方法では、トレンチ内に $Si_{1-x-y}Ge_xC_y$ 結晶（但し、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$ ）を形成している。 $Si_{1-x-y}Ge_xC_y$ 結晶は、 Si 結晶と比較して不純物の拡散速度が約3桁小さい。したがって、 $Si_{1-x-y}Ge_xC_y$ 結晶をスーパージャンクション構造の繰り返し方向に沿って、 Si 結晶間に形成すれば、各 Si 結晶に含まれる不純物が Si 結晶の間で相互拡散することを防止することができる。

また、 Si 結晶から $Si_{1-x-y}Ge_xC_y$ 結晶を結晶成長させることもできれば、 $Si_{1-x-y}Ge_xC_y$ 結晶から Si 結晶を結晶成長させることもできる。前述した従来の技術のように、トレンチ底部に形成された不純物の拡散防止膜を除去する必要がない。したがって、半導体装置の製造工程を簡略化することができる。

10

【0013】

第2工程では、トレンチの壁面に所定の厚みの $Si_{1-x-y}Ge_xC_y$ 結晶層を形成し、壁面に $Si_{1-x-y}Ge_xC_y$ 結晶層が形成されたトレンチ内に、 Si 結晶を成長させる第3工程を実施してもよい。この方法は、p型の Si 結晶とn型の Si 結晶を $Si_{1-x-y}Ge_xC_y$ 結晶の層で分離する構造を実現するに適している。

本発明の製造方法によれば、トレンチの中心部は Si 結晶により形成される。 Si 結晶は、 $Si_{1-x-y}Ge_xC_y$ 結晶よりも結晶成長の速度が速い。したがって、トレンチが半導体結晶で埋まる時間を短縮化することができる。また、トレンチの側壁からも Si 結晶を結晶成長させることができるので、トレンチの底部からのみ結晶成長させていた従来の技術と比較して、トレンチが Si 結晶によって埋まる時間を短縮化することができる。

20

【0014】

上記した第2工程では、 x と y の値を連続的または不連続的に変化させて $Si_{1-x-y}Ge_xC_y$ 結晶（ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$ ）の層を形成してもよい。

異種の半導体結晶が接している場合、互いの格子定数が大きく相違すると、格子不整合によってミスフィット転移が発生することがある。本発明の製造方法では、 $Si_{1-x-y}Ge_xC_y$ 結晶の層を複数の層で形成するために、隣接する結晶間で格子定数が大きく相違しないように組成比を変化させることができる。したがって、各結晶間の格子不整合によるミスフィット転移が発生することを防止することができる。

30

【0015】

トレンチの壁面に所定の厚みの $Si_{1-x-y}Ge_xC_y$ 結晶（ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$ ）の層を形成するに際して、結晶成長の進行に追従して Si の組成比を徐々に増大し、 Si の組成比が1.0となった後も Si 結晶の成長を継続して第3工程に移行し、トレンチを充填するまで第3工程を継続するようにしてもよい。

これによれば、一連の結晶成長の工程で、例えば、結晶成長の進行に追従して気相成長に用いる気相中の Si の濃度を高くしていくことで、トレンチの中心部には Si 単体の結晶を形成することができる。 Si 結晶は、 $Si_{1-x-y}Ge_xC_y$ 結晶（ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$ ）よりも結晶成長の速度が速い。したがって、トレンチが結晶によって埋まる時間を短縮化することができる。

40

【0016】

トレンチを $Si_{1-x-y}Ge_xC_y$ 結晶で充填してもよい（ $Si_{1-x-y}Ge_xC_y$ 結晶充填工程）。この方法は、p型領域とn型領域の一方を Si 結晶で形成し、他方を $Si_{1-x-y}Ge_xC_y$ 結晶で形成する場合に適している。

これによれば、スーパージャンクション構造の一方側の領域は、 $Si_{1-x-y}Ge_xC_y$ 結晶（ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$ ）のみで形成されるので、スーパージャンクション構造を形成する工程を簡略化することができる。

【発明の効果】

【0017】

50

本発明の半導体装置およびその製造方法によると、スーパージャンクション構造を形成するp型領域とn型領域間で、不純物が相互拡散することを防止することができるとともに、製造工程を簡略化することができる。不純物の拡散距離によってスーパージャンクション構造が乱されてしまうほど微細なピッチでp型領域とn型領域を繰り返す微細なスーパージャンクション構造の製造工程を簡略化することができる。

【発明を実施するための最良の形態】

【0018】

以下に説明する実施例の主要な特徴を列記しておく。

(第1形態) $Si_{1-x-y}Ge_xC_y$ 結晶 ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) の厚さ d は、各製造工程 (製造工程1 ~ 製造工程N) 中で必要な厚さ [$d_1 > 2(D_1 \times t_1)^{1/2}$ 、 $d_2 > 2(D_2 \times t_2)^{1/2}$ 、 \dots 、 $d_N > 2(D_N \times t_N)^{1/2}$] の総和よりも厚くなるように設定しておく。ここで、 D_i は i 番目の製造工程における不純物の拡散係数であり、 t_i は i 番目の製造工程の継続時間である。

10

【実施例】

【0019】

(第1実施例)

本発明の半導体装置を適用した半導体装置1を、図1 ~ 図7を参照して説明する。第1実施例の半導体装置1は、ドリフト領域にスーパージャンクション構造を備える縦型のMOS型FETとして構成されており、 $Si_{1-x-y}Ge_xC_y$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$) で形成される不純物拡散防止膜がスーパージャンクション構造のp型領域の縁部に形成されている。

20

図1は、半導体装置1の概略構成図である。図2 ~ 図7は、半導体装置1の製造工程を説明する図である。

【0020】

図1に示すように、半導体装置1には表面側 (図1に示す上側) にソース電極S、ゲート電極Gが設けられている。ソース電極Sとゲート電極Gは、層間絶縁膜で絶縁されている。また、裏面側 (図1に示す下側) にドレイン電極Dが設けられている。

このドレイン電極D上にn⁺型のドレイン領域21が形成されている。ドレイン領域21上にスーパージャンクション構造26を備えるドリフト領域が形成されている。ドリフト領域上にはp型のボディ領域32が形成されている。p型ボディ領域32内にはn⁺型のソース領域34とp⁺型のボディコンタクト領域38が選択的に形成されている。n⁺型のソース領域34とp⁺型のボディコンタクト領域38はソース電極Sと接している。

30

また、半導体装置1にはn⁺型のソース電極Sとドリフト領域を結ぶ方向 (図1に示すz方向) に伸びるトレンチゲート電極30が設けられている。トレンチゲート電極30は、n⁺型のソース領域34に隣接して設けられている。また、トレンチゲート電極30は、p型のボディ領域32を貫通してスーパージャンクション構造26を構成するn型領域22まで到達している。そして、トレンチゲート電極30は、p型ボディ領域32に対してゲート絶縁膜31を介して対向している。

【0021】

スーパージャンクション構造26では、n型領域22中に、z方向に所定の深さまで伸びるp型領域24が設けられている。p型領域24は、図示x方向には連続して伸びており、図示y方向には所定の間隔で繰り返し配置されている。これによって、スーパージャンクション構造26が実現されている。スーパージャンクション構造26のn型領域22とp型領域24の境界面には、不純物拡散防止膜28が形成されている。この不純物拡散防止膜28は、 $Si_{0.91}Ge_{0.08}C_{0.01}$ を用いて形成されている。

40

【0022】

次に、図2 ~ 図7を参照して、半導体装置1の製造方法の主要な工程を説明する。

図2に示すように、n⁺型のSi単結晶基板 (厚さ700 μm) からなるドレイン領域21の上に、n型のSiエピタキシャル成長層を厚さ100 μmまで成長させる。

そして、図3に示すように、RIE等のドライエッチング (異方性エッチング) によ

50

てトレンチ 23 (深さ 50 μm 、開口幅 1 μm 、トレンチ間ピッチ 1 μm) を形成する。これによって、離間して存在する n 型領域 22 を形成することができる。

次に、図 4 に示すように、表面側に p 型の $\text{Si}_{0.991}\text{Ge}_{0.008}\text{C}_{0.001}$ 層 (厚さ 80 nm) を結晶成長させて不純物拡散防止膜 28 を形成する。不純物拡散防止膜 28 は、n 型領域 22 を形成している Si エピタキシャル成長層と完全格子整合している。

そして、図 5 に示すように、不純物拡散防止膜 28 上に p 型の Si 層 (厚さ 800 nm) を結晶成長させてトレンチ 23 内部を完全に閉塞させる。この際、不純物拡散防止膜 28 から、図 5 に示す太い矢印の方向に結晶成長させることができる。

次に、図 6 に示すように、表面の Si 層と不純物拡散防止膜 28 を研磨して除去し、スーパージャンクション構造 26 を形成する。

そして、図 7 に示すように、スーパージャンクション構造 26 上に p 型のボディ領域 32 を結晶成長した後、ボディ領域 32 の表面にソース領域 34 とボディコンタクト領域 38 を形成する。ついでボディ領域 32 の表面からソース領域 34 とボディ領域 32 を貫通してスーパージャンクション構造 26 の n 型領域 22 に亘るトレンチ 33 を形成する。そして、表面側にマスク (特に図示していない。) を施して、トレンチ 33 内壁にゲート酸化膜 (SiO_2) 31 を形成する。さらに、トレンチ 33 内に電極部材を充填してトレンチゲート電極 30 を形成する。ソース領域 34、ボディコンタクト領域 38、トレンチゲート電極 30 を表面側に配するのは公知の構成であり、これらの領域を形成する製造方法も公知の方法であるので、詳細な説明は省略する。

なお図 2 ~ 図 7 では、図を分かり易くするために、実際の寸法とは相違する縮尺寸法で各構成要素を表記してある (例えば、ドレイン領域 21 を薄く、トレンチ 23 を深く、不純物拡散防止膜 28 を厚く表記してある)。

【0023】

ここで、本実施例の半導体装置 1 の不純物拡散防止膜 28 は、 $\text{Si}_{0.991}\text{Ge}_{0.008}\text{C}_{0.001}$ 層によって形成したが、組成比は実施例に限定されるものではない。この合金層を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ と表した際に、シリコン (Si)、ゲルマニウム (Ge)、炭素 (C) の組成比は、 $0 < x < 1$ 、及び $0 < y < 1$ 、及び $0 < 1 - x - y < 1$ の条件を満たしていればよい。したがって、合金層は SiC 層 (上記 $x = 0$ の場合の層) であってもよい。しかしながら、不純物拡散防止膜 28 の厚さが 10 nm 程度であればよいが、10 nm 程度以上になる場合には、合金層の組成にゲルマニウム (Ge) を組成に加えた方が好ましい。以下にその理由を説明する。

【0024】

不純物拡散防止膜 28 の組成に炭素 (C) を含めることによって、p 型領域 24 の p 型不純物、及び n 型領域 22 の n 型不純物が相互拡散することを効果的に防止することができる。ところが、炭素 (C) はシリコン (Si) と比較して結晶格子定数が小さく、 SiGeC の合金層である不純物拡散防止領域 28 の結晶格子定数を縮小する方向に作用する。不純物拡散防止膜 28 と、これが接する n 型シリコン (Si) 層の結晶格子定数の差が大きい程、不純物拡散防止領域 28 とシリコン (Si) 層の間で格子不整合が生じてミスフィット転移が発生し易い。そこで、不純物拡散防止領域 28 の組成にゲルマニウム (Ge) を含める。ゲルマニウム (Ge) はシリコン (Si) と比較して結晶格子定数が大きく、 SiGeC の合金層である不純物拡散防止膜 28 の結晶格子定数を拡大する方向に作用する。これによって、Si、Ge、C の組成比を調整して、不純物拡散防止膜 28 と接する n 型シリコン (Si) 層との結晶格子定数の差が小さい合金層を用いて、n 型シリコン (Si) 層との格子不整合が生じ難い不純物拡散防止膜 28 を形成することができる。

ここで、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ の x 、 y の値は、概ね $x = 8.22y$ の関係を満たす結晶 ($\text{Si}_{1-9.22y}\text{Ge}_{8.22y}\text{C}_y$) は、 $0 < y < 0.108$ の範囲において Si 結晶と完全格子整合することが知られている。一方、炭素 (C) の組成比は、 0.005 以上であれば、不純物に対する十分な拡散防止効果が得られる。したがって、上記の条件を満たす組成の合金層で不純物拡散防止膜 28 を形成すれば、厚さが 10 nm 程度以上であってもミスフィット転移し難い。そこで、本実施例では、 $y = 0.01$ 、 $x = 0$

10

20

30

40

50

．08を採用した例について説明している。

【0025】

なお、p型領域とn型領域間の不純物の相互拡散は、製造工程中の半導体層の加熱によって促進される傾向にあるので、不純物拡散防止膜28の厚さは各製造工程中の熱履歴によって適宜設定される。例えば、ある製造工程中(第1の製造工程とする。)での熱履歴が、温度1000、時間t(秒)である場合、この熱履歴から必要な不純物拡散防止膜28の厚さd1(nm)は、不純物の拡散係数をD(cm²/秒)とすると、 $[d1 > 2(D \times t)^{1/2}]$ の条件を満たせばよい。ここで、 $D = 1.2 \times 10^{-17}$ (cm²/秒)、 $t = 3600$ (秒)であれば、 $[d1 > 2(nm)]$ となる。不純物として普通に用いられるボロン(B)やリン(P)に対しては、炭素(C)の組成比を調整することによって、比較的容易に $D = 1.2 \times 10^{-17}$ (cm²/秒)を実現することができる。

10

このようにして、第1～第Nの製造工程(熱処理工程)毎に必要な不純物拡散膜28の厚さd1(nm)～dN(nm)を算出して総和を求め、不純物拡散膜28の厚さdを、この総和よりも厚くなるように設定する(すなわち、 $2(D_1 \times t_1)^{1/2} + 2(D_2 \times t_2)^{1/2} + 2 \dots + (D_N \times t_N)^{1/2} = d1 + d2 + \dots + dN < d$)。ここで、 D_i はi番目の製造工程における不純物の拡散係数であり、 t_i はi番目の製造工程の継続時間である。

【0026】

本実施例の半導体装置1では、p型領域24が形成されているトレンチ23の内壁に、厚さ80nmのSi_{0.91}Ge_{0.08}C_{0.01}結晶を含む不純物拡散防止膜28が形成されている。Si_{0.91}Ge_{0.08}C_{0.01}結晶はCの組成比が0.005以上であると、Si結晶と比較して不純物の拡散速度が約3桁小さい。したがって、このような結晶をスーパージャンクション構造26の繰り返し方向においてp型領域24とn型領域22の間に形成すれば、各Si結晶に含まれるp型不純物とn型不純物がp型領域24とn型領域22間で相互拡散することを防止することができる。

20

また、Si_{0.91}Ge_{0.08}C_{0.01}結晶に接するp型領域24を形成する際には、p型領域24のSi結晶をSi_{0.91}Ge_{0.08}C_{0.01}結晶から結晶成長させることができる。また、Si結晶とSi_{0.91}Ge_{0.08}C_{0.01}結晶は、Si_{1-x-y}Ge_xC_yのx、yの値が、概ね $x = 8.22y$ 、及び $0 < y < 0.108$ の関係を満たしているので、ミスフィット転移が発生し難い。これにより、前述した従来の技術のようにトレンチ底部に形成された膜を除去する必要がない。したがって、半導体装置の製造工程を簡略化することができる。

30

また、p型領域24の中心部はSi結晶により形成される。Si結晶は、Si_{0.91}Ge_{0.08}C_{0.01}結晶よりも結晶成長の速度が速い。したがって、トレンチ23が半導体結晶で埋まる時間を短縮化することができる。また、トレンチ23の側壁からもSi結晶を結晶成長をさせることができるので、トレンチ23の底部からのみ結晶成長させていた従来と比較して、トレンチ23がSi結晶によって埋まる時間を短縮化することができる。

【0027】

(第2実施例)

40

次に第2実施例の半導体装置2を、図8の概略構成図を参照して説明する。図8に示すように、半導体装置2では、スーパージャンクション構造26aのp型領域24a全体がSi_{1-x-y}Ge_xC_y($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)結晶で形成されている。その他の構成は、図1に示す半導体装置1と同様であり、同様の構成要素には図1と同一の符号を付してある。

半導体装置2は、図3に示す半導体装置1の場合と同様にトレンチ23を形成した後に、トレンチ23を完全に閉塞するようにp型のSi_{0.91}Ge_{0.08}C_{0.01}層を結晶成長させてp型領域24aを形成する。このようにして、n型領域22とp型領域24aを複数備えるスーパージャンクション構造26aを形成する。後の製造工程は、第1実施例の半導体装置1と同様であるので省略する。

50

本実施例の半導体装置 2 では、p 型領域 24 a が $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶のみで形成されている。したがって、p 型領域 24 a を形成する工程を簡単化することができる。

【0028】

(第3実施例)

次に第3実施例の半導体装置 3 を、図9の概略構成図を参照して説明する。図9に示すように、半導体装置 3 では、スーパージャンクション構造の p 型領域 24 b は、n 型領域 22 を形成する n 型半導体領域に接する境界面では p 型の SiGeC 層の炭素 (C) の組成比が大きく、中心部分に近づくにつれてシリコン (Si) の組成比が大きくなるように構成されている。その他の構成は、図1に示す半導体装置 1 と同様であり、同様の構成要素には図1と同一の符号を付してある。

10

半導体装置 3 は、図3に示す半導体装置 1 の場合と同様にトレンチ 23 を形成した後に、トレンチ 23 に p 型の SiGeC 層を結晶成長させる。CVD (化学気相成長) によって SiGeC 層を結晶成長させる場合には、原料の Si, Ge, C を含むガスの各元素の組成比について、結晶成長が進行するにつれ、炭素 (C) の組成比を小さくしてシリコン (Si) の組成比を大きくする。そして p 型領域 24 b を閉塞するまで結晶成長して、n 型領域 22 と p 型領域 24 b を複数備えるスーパージャンクション構造 26 b を形成する。後の製造工程は、第1実施例の半導体装置 1 と同様であるので省略する。

なお、p 型領域 24 b の中心部分は、シリコン (Si) の単結晶となっている構成が好ましい。

20

これによれば、一連の結晶成長の工程で、結晶成長の進行に追従して気相成長の気相中の Si の濃度を高くしていけばよい。Si 結晶は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶 ($0 < x < 1$, $0 < y < 1$, $0 < 1 - x - y < 1$) よりも結晶成長の速度が速い。したがって、トレンチ 23 が結晶によって埋まる時間を短縮化することができる。

【0029】

(第4実施例)

次に第4実施例の半導体装置 4 を、図10の概略構成図を参照して説明する

図10に示すように、半導体装置 4 は、ドリフト領域にスーパージャンクション構造 26 c を備える横型の MOS 型 FET として構成されており、 $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶を含む厚さ 80 nm の不純物拡散防止膜 28 c がスーパージャンクション構造 26 c の p 型領域 24 c の縁部に形成されている。

30

図1に示す縦型の MOS 型 FET の半導体装置 1 とは相違し、半導体装置 4 ではドレイン電極 D とソース電極が S 半導体装置の同一平面側 (図10に示す上面側) に形成されている。したがって、キャリアは半導体装置 4 の膜厚方向に対して横方向にドリフトする。

スーパージャンクション構造 26 c は、ソース電極 S とドレイン電極 D を結ぶ方向に伸びる n 型領域 22 c と、同方向に伸びる p 型領域 24 c の繰り返し領域として形成されている。スーパージャンクション構造 26 c の n 型領域 22 c と p 型領域 24 c の境界面には、その全領域に亘って p 型領域 24 c の縁部に不純物拡散防止膜 28 c が形成されている。この不純物拡散防止膜 28 c は、 $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ を用いて形成されている。

40

【0030】

不純物拡散防止膜 28 c が含む $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶は、炭素 (C) の組成比が 0.005 以上であり、Si 結晶と比較して不純物の拡散速度が約 3 桁小さい。したがって、このような結晶をスーパージャンクション構造 26 c を形成する p 型領域 24 c と n 型領域 22 c の間に形成すれば、各 Si 結晶に含まれる p 型不純物と n 型不純物が p 型領域 24 c と n 型領域 22 c 間で相互拡散することを防止することができる。

また、 $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶に接する p 型領域 24 c を形成する際には、p 型領域 24 c の Si 結晶を $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶から結晶成長させることができる。Si 結晶と $\text{Si}_{0.91}\text{Ge}_{0.08}\text{C}_{0.01}$ 結晶は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ の x、y の値が、概ね $x = 8.22y$ 、及び $y = 0.108$ の関

50

係を満たしているので、ミスフィット転移が発生し難い。これにより、半導体装置 4 の製造工程を簡略化することができる。

【0031】

(第5実施例)

次に第5実施例の半導体装置 5 を、図 11 の概略構成図を参照して説明する

図 11 に示すように、半導体装置 5 は、カソード電極 C とアノード電極 A 間の半導体領域にスーパージャンクション構造 26 d を備えるダイオードとして構成されており、 $Si_{0.91}Ge_{0.08}C_{0.01}$ 結晶の不純物拡散防止膜 28 d がスーパージャンクション構造の p 型領域 24 d の縁部に形成されている。

カソード電極 C と接触する n^+ 型の半導体領域 21 d 上にスーパージャンクション構造 26 d が形成されており、そのスーパージャンクション構造 26 d 上に p^+ 型の半導体領域 32 d が形成されており、その半導体領域 32 d はアノード電極 A と接触している。

スーパージャンクション構造 26 d に n 型領域 22 d と p 型領域 24 d とを単位互層とする組み合わせがカソード電極 C とアノード電極 A とを結ぶ方向に対して直行する面内で交互に繰返されている。

【0032】

不純物拡散防止膜 28 d が含む $Si_{0.91}Ge_{0.08}C_{0.01}$ 結晶は、炭素 (C) の組成比が 0.005 以上であり、Si 結晶と比較して不純物の拡散速度が約 3 桁小さい。したがって、このような結晶をスーパージャンクション構造 26 d の繰返し方向の p 型領域 24 d と n 型領域 22 d 間に形成すれば、各 Si 結晶に含まれる p 型不純物と n 型不純物が p 型領域 24 d と n 型領域 22 d の間で相互拡散することを防止することができる。

また、 $Si_{0.91}Ge_{0.08}C_{0.01}$ 結晶に接する p 型領域 24 d を形成する際には、p 型領域 24 d の Si 結晶を $Si_{0.91}Ge_{0.08}C_{0.01}$ 結晶から結晶成長させることができる。Si 結晶と $Si_{0.91}Ge_{0.08}C_{0.01}$ 結晶は、 $Si_{1-x-y}Ge_xC_y$ の x、y の値が、概ね $x = 8.22y$ 、及び $0 < y < 0.108$ の関係を満たしているので、ミスフィット転移が発生し難い。これにより、半導体装置 5 の製造工程を簡略化することができる。

【0033】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時の請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【0034】

本実施例の半導体装置 1 では、不純物拡散防止膜 28 を形成する SiGeC からなる合金層を p 型領域 24 の境界面の全域に亘って形成しているが、図 12 に示す半導体装置 6 のように、不純物拡散防止膜 28 は p 型領域 24 e の n 型領域 22 e との境界面の一部に形成してもよい。

また、本実施例の半導体装置 1 では、不純物拡散防止膜 28 を p 型領域 24 側に形成しているが、図 13 から図 15 に示すように、n 型領域側に形成してもよい。図 13 に示す半導体装置 7 では、n 型領域 22 f の p 型領域 24 f との境界面には、その全領域に亘って p 型領域 24 f の内壁に不純物拡散防止膜 28 f が形成されている。この不純物拡散防止膜 28 f は、 $Si_{0.91}Ge_{0.08}C_{0.01}$ を用いて形成されている。不純物拡散防止膜 28 f は、n 型であってもよいし、p 型であってもよいし、i 型であってもよい。また、図 14 に示す半導体装置 8 のように、不純物拡散防止膜 28 g は n 型領域 22 g と p 型領域 24 g との境界面の一部に形成してもよい。また、図 15 に示す半導体装置 9 のように、n 型領域 22 h 全体が $Si_{0.91}Ge_{0.08}C_{0.01}$ で形成されてい

もよい。

【0035】

また、図16に示す半導体装置10では、不純物拡散防止膜28jを形成する $Si_{1-x-y}Ge_xC_y$ 結晶($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)中のSiの組成比がp型領域24jを形成するSi結晶に向けて順に連続的に増加するように構成されている。すなわち、上記xとyの値がn型領域22jの側からp型領域24jの側に向けて順に減少している。なお、n型領域22jと不純物拡散防止膜28jの界面では、 $Si_{1-x-y}Ge_xC_y$ のx、yの値は、概ね $x = 8.22y$ ($0 < y < 0.108$)の関係を満たす値に設定する。これによって、p型領域24jと不純物拡散防止膜28jの界面は、Si結晶と完全格子整合する。

10

この構成によれば、p型領域24jに接する面に近い層ほどSiの組成比を大きくすることができ、p型領域24jと接する界面での格子不整合を抑制することができる。同時にn型領域22jに接する面に近い層ほどCの組成比を大きくすることができ、Cを含む層によってn型領域22jとp型領域24jの間で不純物が相互拡散することを効果的に防止することができる。なおかつ、x、yの値を調整してn型領域22jと接する界面での格子不整合を抑制することができる。

【0036】

また、図17に示す半導体装置11では、不純物拡散防止膜28kを形成する $Si_{1-x-y}Ge_xC_y$ 結晶($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)中のSiの組成比がn型領域22kを形成するSi結晶、及びp型領域24kを形成するSi結晶に向けて順に段階的に増加するように構成されている。すなわち、不純物拡散防止膜28kはxとyの値を異にする複数の層で形成されている。

20

この構成によれば不純物拡散防止膜28kの中心部分に向かうほど炭素(C)の組成比を大きくするように設定することができる。また、Si結晶に接する縁部分に向かうほどSiの組成比を大きくするように設定することができる。したがって、不純物拡散防止膜28kとSi結晶が接する面で格子不整合が生じ難く、なおかつCを含む領域によって効果的にn型領域とp型領域間の不純物の相互拡散を防止することができる。

また、第1実施例～第4実施例では、本発明をMOS型FETに適用した場合について説明したが、本発明はIGBTに適用してもよい。

【図面の簡単な説明】

30

【0037】

【図1】縦型のMOS型FETである半導体装置1の概略構成図である。

【図2】半導体装置1の製造工程を説明する図である。

【図3】半導体装置1の製造工程を説明する図である。

【図4】半導体装置1の製造工程を説明する図である。

【図5】半導体装置1の製造工程を説明する図である。

【図6】半導体装置1の製造工程を説明する図である。

【図7】半導体装置1の製造工程を説明する図である。

【図8】半導体装置2の概略構成図である。

【図9】半導体装置3の概略構成図である。

40

【図10】横型のMOS型FETである半導体装置4の概略構成図である。

【図11】ダイオードとして構成された半導体装置5の概略構成図である。

【図12】半導体装置6の不純物拡散防止膜28eの構成を示す図である。

【図13】半導体装置7の不純物拡散防止膜28fの構成を示す図である。

【図14】半導体装置8の不純物拡散防止膜28gの構成を示す図である。

【図15】n型領域22h全体が $Si_{1-x-y}Ge_xC_y$ 結晶($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < 1 - x - y < 1$)で形成された半導体装置9の構成を示す図である。

【図16】半導体装置10の不純物拡散防止膜28jの構成を示す図である。

【図17】半導体装置11の不純物拡散防止膜28kの構成を示す図である。

【図18】従来の半導体装置101の概略構成図である。

50

【符号の説明】

【0038】

1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11 半導体装置

21 ドレイン領域

22 n型領域

23, 33 トレンチ

24 p型領域

26 スーパー Junction 構造

28 不純物拡散防止膜

30 トレンチゲート電極

31 ゲート絶縁膜

32 ボディ領域

34 ソース領域

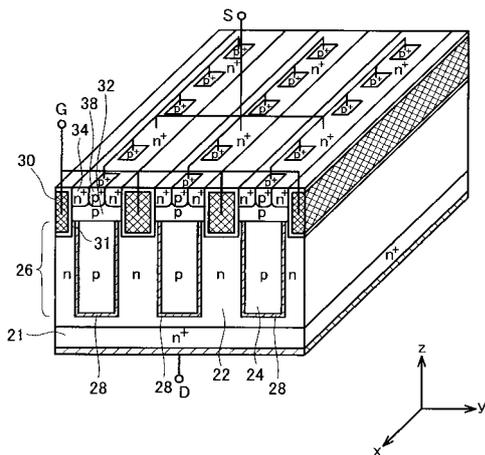
38 ボディコンタクト領域

D ドレイン電極

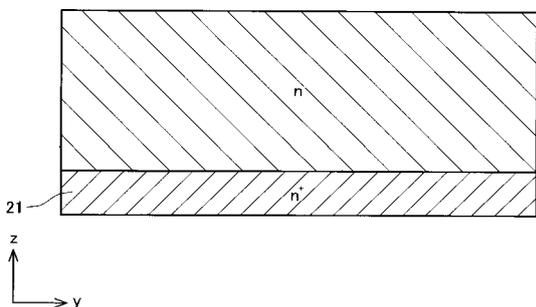
G ゲート電極

S ソース電極

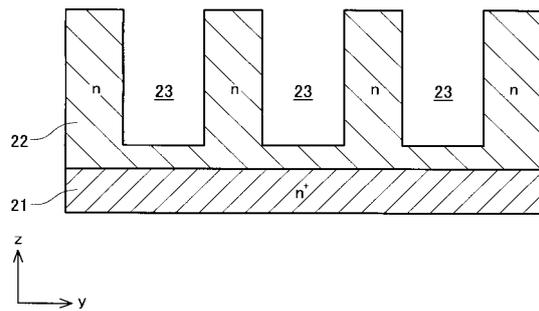
【図1】



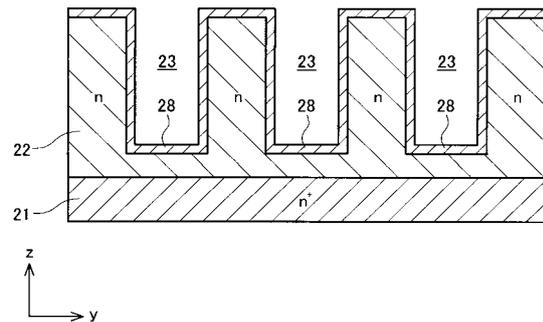
【図2】



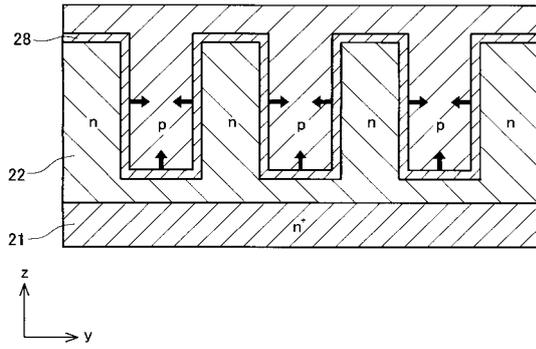
【図3】



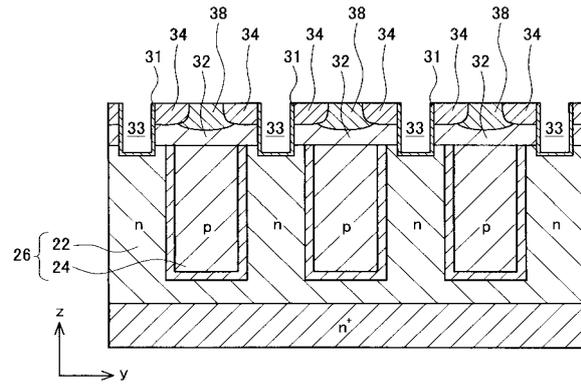
【図4】



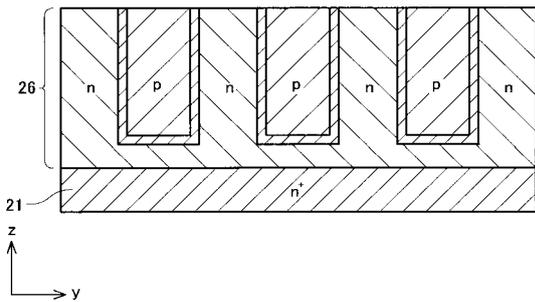
【 図 5 】



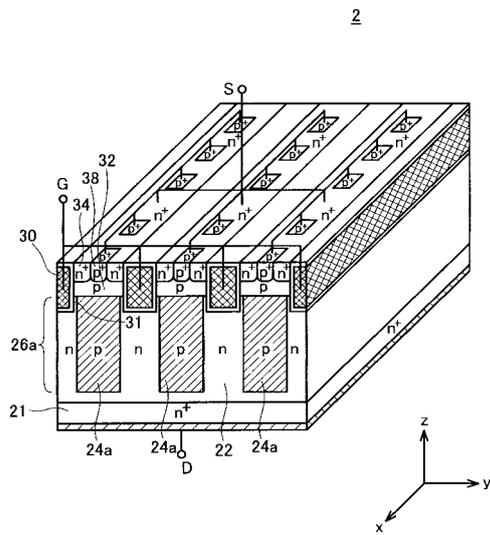
【 図 7 】



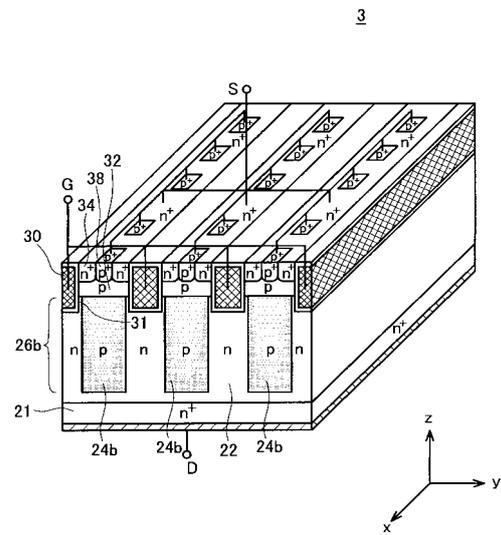
【 図 6 】



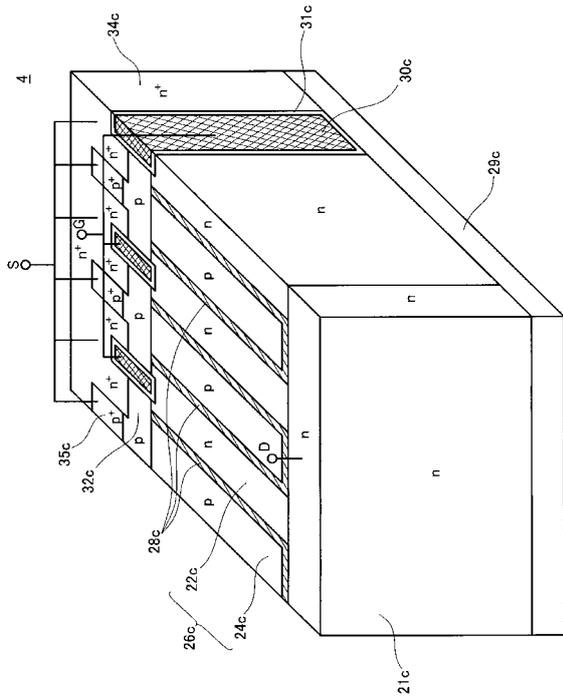
【 図 8 】



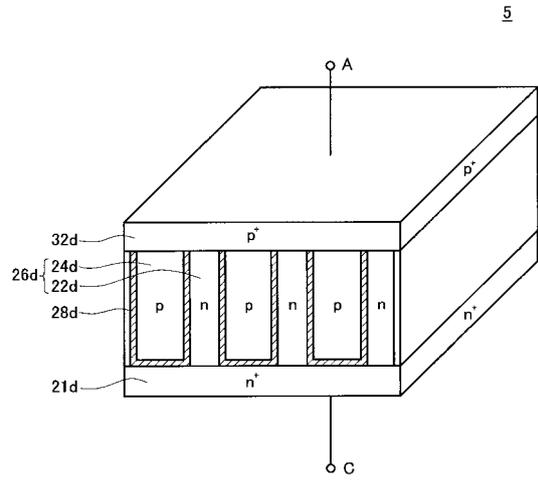
【 図 9 】



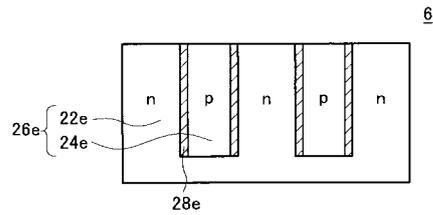
【 10 】



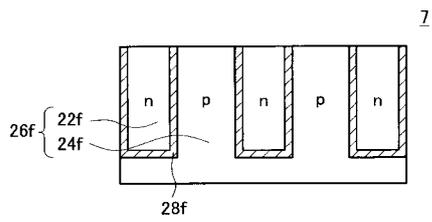
【 11 】



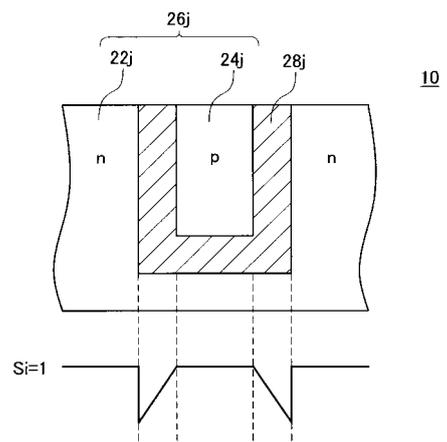
【 12 】



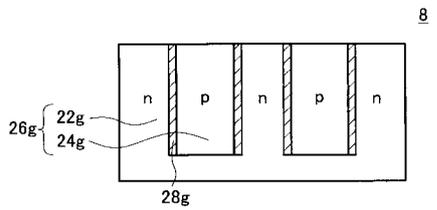
【 13 】



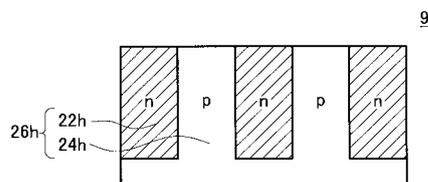
【 16 】



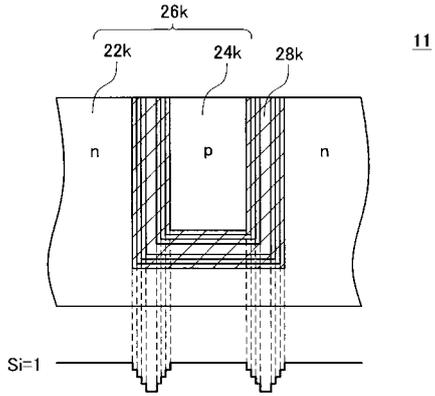
【 14 】



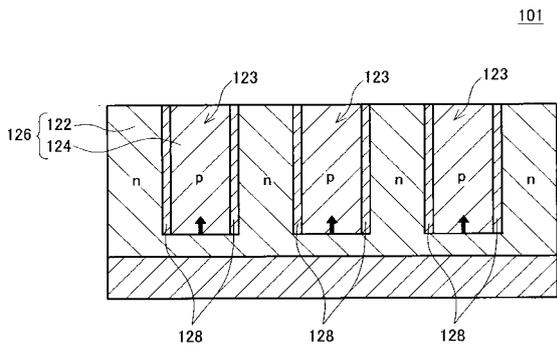
【 15 】



【 17 】



【 18 】



フロントページの続き

(51)Int.Cl.

H 0 1 L 29/06 (2006.01)

F I

H 0 1 L 29/78 3 0 1 D

H 0 1 L 29/91 C

H 0 1 L 29/91 A

H 0 1 L 29/06 3 0 1 D

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 3 2 9

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 8 6 1