

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4736415号
(P4736415)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
	G09G 3/20 612L
	G09G 3/20 612R
	請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2004-363057 (P2004-363057)	(73) 特許権者	000002185
(22) 出願日	平成16年12月15日(2004.12.15)		ソニー株式会社
(65) 公開番号	特開2006-171301 (P2006-171301A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年6月29日(2006.6.29)	(74) 代理人	100094053
審査請求日	平成19年8月27日(2007.8.27)		弁理士 佐藤 隆久
		(72) 発明者	豊島 良彦
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	仲島 義晴
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	木田 芳利
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

画素がマトリクス状に配置される表示部と、
前記表示部の各行に対して水平期間毎に順次転送される垂直シフトパルスを生成する垂直駆動部と、

前記垂直駆動部により指定された行に対して、前記表示部の各列の画素に対する画素書き込み信号の書き込みを許可するための書き込み許可信号を生成する第1信号生成部と、
水平期間毎に極性が反転する前記画素書き込み信号および共通電位を生成する第2信号生成部と、

前記書き込み許可信号に同期したタイミングで、前記画素書き込み信号および前記共通電位を画素に与える水平駆動部と、

書き込み対象が前記表示部の表示領域から非表示領域へ移行したことを条件として、前記画素書き込み信号および前記共通電位の反転タイミングを遅延させる反転遅延部と、
を備えた表示装置。

【請求項2】

前記第1信号生成部は、基準クロックを計数するためのカウンタを含み、
書き込み対象が前記表示部の表示領域から非表示領域へ移行した場合には、前記反転タイミングを遅延させた後に、前記カウンタを停止させる

請求項1記載の表示装置。

【請求項3】

書き込み対象が前記表示部の表示領域であるか否かを示す待機モード信号が与えられ、前記反転遅延部は、当該待機モード信号に基づいて、前記反転タイミングを遅延させるか否かを判断する

請求項 1 記載の表示装置。

【請求項 4】

前記反転遅延部は、水平同期信号に同期して第 1 反転信号を生成し、当該第 1 反転信号と、第 1 反転信号を遅延させた第 2 反転信号とのいずれかを、前記待機モード信号に基づいて選択的に前記第 2 信号生成部に与え、

第 2 信号生成部は、反転遅延部から与えられる反転信号に同期して、前記画素書き込み信号および前記共通電位を反転させる

請求項 3 記載の表示装置。

【請求項 5】

前記反転遅延部は、複数のゲート回路からなる遅延素子を含む

請求項 4 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素がマトリクス状に配置されてなる表示部を有する表示装置、特に、当該表示部と同じ透明絶縁基板上などに、当該表示部を駆動する周辺の駆動回路を一体的に搭載する駆動回路一体型表示装置に関する。

【背景技術】

【0002】

液晶表示装置や E L (electroluminescence) 表示装置に代表されるフラットパネル型表示装置の分野では、近年、パネルの狭額縁化、薄型化を図るために、画素がマトリクス状に配置される表示部と同じ透明絶縁基板上に、当該表示部を駆動する周辺の駆動回路を一体的に搭載するいわゆる駆動回路一体型の表示装置の開発が進められている。

液晶表示装置や E L 表示装置においては、画素トランジスタとして T F T が用いられていることから、駆動回路を透明絶縁基板上に搭載するに当たっては当該駆動回路も T F T を用いて形成されることになる。

【0003】

このような駆動回路一体型の表示装置において、駆動回路を動作させるための各種のタイミング信号を生成するタイミング生成回路を、ガラス基板などの絶縁基板上に素子特性のばらつきが大きく、閾値 V_{th} が高いトランジスタ、例えば薄膜トランジスタ (Thin Film Transistor; T F T) で形成するとした場合、タイミング生成回路に与えられるマスタクロックの周波数が高い場合には、タイミング生成回路内のカウンタの動作マージンがなくなることが懸念される。また、高い周波数でカウンタを動作させると、タイミング生成回路で消費する電力が大きくなる。

【0004】

そこで、たとえば下記特許文献 1 には、タイミング生成回路において、マスタクロックよりも遅い周波数の動作クロックを生成し、この生成された周波数の遅い動作クロックに基づいて複数のタイミング信号を発生することによって、動作スピードが遅くて済むため安定した動作を可能とし、かつ、消費電力を低減させたタイミング生成回路、表示装置に関する技術が開示されている。

【0005】

【特許文献 1】特開 2003 - 345457 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、従来の表示装置では、当該表示装置を搭載する電子機器本体側の通常消費電力状態と低消費電力状態の切り換えに応じて、通常動作モードと待機モード (スタンバイ

10

20

30

40

50

モード)に切り換える機能を有しているものがある。待機モードでは、電子機器本体側から電源電圧の供給を受けている状態のまま、ディスプレイの表示を必要最低限に抑制するため、表示装置の消費電力を低減することができる。

【0007】

しかしながら、従来の待機モードでは、表示装置側において消費電力を抑制する手段が不十分であるため、待機モードで十分な節電効果を得るに至っておらず、これが解決すべき課題となっている。

以下、この課題について、添付図面に関連付けて説明する。

【0008】

図1は、本発明の一実施形態の構成を示す図であるが、基本的な構成は、従来の表示装置と同様である。すなわち、図1に示すように、従来の表示装置についても、表示部において画素がマトリクス状に配置され、この表示部の各行が画素スイッチパルスPSWにより順次選択され、選択された行の各列の画素に対して画素書き込み信号WRが与えられる構成となっている。

10

【0009】

図9は、従来の表示装置において、通常動作モードから待機モードに変化した場合の動作を示すタイミングチャートであり、(a)は待機モード信号STB、(b)はタイミング生成回路内のカウンタ動作、(c)は水平同期信号Hsync、(d)は書き込みイネーブル信号WEN、(e)~(h)は表示部の各行の垂直シフトパルスVSP、(i)~(l)は表示部の各行の画素スイッチパルスPSW、(m)は画素書き込み信号WR、(n)は対向電位Vcom(共通電位)、を示す。

20

図10は、従来の表示装置における画質劣化を説明するための図であり、(a)は画素スイッチ信号PSW、(b)は画素書き込み信号WR、を示す。

【0010】

図9に示すタイミングチャートは、表示装置を1H反転駆動(Hは水平期間)させた場合の例であって、図9(m)、(n)に示すように、表示パネル内の画素に対する画素書き込み信号WRと、その書き込みの基準電位となる対向電位Vcomとが1H毎に反転した交流駆動を行っている。そして、図9(i)~(l)に示すように、書き込みイネーブル信号WENと垂直シフトパルスVSPがともにハイレベルであることを条件として、画素スイッチ信号PSWがハイレベルとなり、その期間に表示部の各列の画素に画素書き込み信号WRが与えられる。これにより、画素書き込み信号WRおよび対向電位Vcomが反転しない安定した期間において、表示部への書き込みが行われる。

30

【0011】

しかしながら、時刻t1に通常動作モードから待機モードに変化した後、タイミング生成回路内のカウンタを停止させた場合には(時刻t2)、それ以降タイミング生成回路が書き込みイネーブル信号WENを生成できないため、図9(l)~(n)に示すように、画素スイッチ信号PSWのレベル変化のタイミングと、画素書き込み信号WRおよび対向電位Vcomが反転するタイミングとが重なってしまう。

これにより、図10に示すように、画素書き込み信号WRおよび対向電位Vcomが反転中の電位を画素が取り込むことになって、予期しない電位で画素電位が確定するため、画質が劣化する。

40

【0012】

それゆえ、従来の表示装置では、画質を劣化させないようにするため、通常動作モードから待機モードに変化した場合であっても、タイミング生成回路内のカウンタを停止させることができず、待機モードにおいて十分に消費電力を低減させることができなかった。

【0013】

本発明は上述した観点を鑑みてなされたものであって、その目的は、通常動作状態から待機モード状態に変化させた場合に、画質劣化を生じさせず、かつ、十分に消費電力を低減させるようにした表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 1 4 】

上記課題を克服するために、本発明に係る表示装置は、画素がマトリクス状に配置される表示部と、前記表示部の各行に対して水平期間毎に順次転送される垂直シフトパルスを生成する垂直駆動部と、前記垂直駆動部により指定された行に対して、前記表示部の各列の画素に対する画素書き込み信号の書き込みを許可するための書き込み許可信号を生成する第1信号生成部と、水平期間毎に極性が反転する前記画素書き込み信号および共通電位を生成する第2信号生成部と、前記書き込み許可信号に同期したタイミングで、前記画素書き込み信号および前記共通電位を画素に与える水平駆動部と、書き込み対象が前記表示部の表示領域から非表示領域へ移行したことを条件として、前記画素書き込み信号および前記共通電位の反転タイミングを遅延させる反転遅延部と、を備えた表示装置である。

10

【 0 0 1 5 】

好適には、前記第1信号生成部は、基準クロックを計数するためのカウンタを含み、書き込み対象が前記表示部の表示領域から非表示領域へ移行した場合には、前記反転タイミングを遅延させた後に、前記カウンタを停止させる。

【 0 0 1 6 】

特定的には、書き込み対象が前記表示部の表示領域であるか否かを示す待機モード信号が与えられ、前記反転遅延部は、当該待機モード信号に基づいて、前記反転タイミングを遅延させるか否かを判断する。

【 0 0 1 7 】

特定的には、前記反転遅延部は、水平同期信号に同期して第1反転信号を生成し、当該第1反転信号と、第1反転信号を遅延させた第2反転信号とのいずれかを、前記待機モード信号に基づいて選択的に前記第2信号生成部に与え、第2信号生成部は、反転遅延部から与えられる反転信号に同期して、前記画素書き込み信号および前記共通電位を反転させる。

20

【 0 0 1 8 】

本発明の作用は以下の通りである。

すなわち、垂直駆動部が、表示部の各行に対して水平期間毎に順次転送される垂直シフトパルスを生成し、第1信号生成部が、その垂直シフトパルスにより指定された行に対して、表示部の各列の画素に対する書き込みを許可するための書き込み許可信号を生成する。第2信号生成部は、水平期間毎に極性が反転する画素書き込み信号および共通電位を生成する。そして、水平駆動部は、その書き込み許可信号に同期したタイミングで、第2信号生成部により生成された画素書き込み信号および共通電位を画素に与える。

30

【 0 0 1 9 】

その際、書き込み対象が前記表示部の表示領域から非表示領域へ移行したことを条件として、反転遅延部は、画素書き込み信号および基準電位の反転タイミングを遅延させる。

そして、好適には、第1信号生成部は、基準クロックを計数するためのカウンタを含み、前記反転タイミングを遅延させた後に、当該カウンタを停止させる。

【 発明の効果 】

【 0 0 2 0 】

本発明によれば、通常動作状態から待機モード状態に変化させた場合に、画質劣化を生じず、かつ、十分に消費電力を低減させることができる。

40

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、本発明の実施形態を添付図面に関連付けて説明する。

なお、表示部3は、本発明の表示部の一実施形態である。

タイミング生成回路4は、本発明の第1信号生成部および反転遅延部、遅延手段の一実施形態である。

垂直駆動回路5は、本発明の垂直駆動部、行選択手段の一実施形態である。

基準信号生成回路6および対向・保持信号生成回路8は、本発明の第2信号生成部、信号反転手段の一実施形態である。

50

水平駆動回路 7 は、本発明の水平駆動部、書き込み手段の一実施形態である。

【 0 0 2 2 】

図 1 は、本発明に係る表示装置、例えば液晶表示装置 1 の構成例を示すブロック図である。図 1 において、透明絶縁基板、例えばガラス基板上に、画素がマトリクス状に配置された表示部 3 が形成されている。かかるガラス基板は、もう一枚のガラス基板と所定の間隙を持って対向配置され、両基板間に液晶材料を封止することで表示パネル（LCD パネル）を構成している。

【 0 0 2 3 】

表示部 3 において、マトリクス状に配置された画素の各々は、画素トランジスタである T F T (Thin Film Transistor; 薄膜トランジスタ) 3 2 と、この T F T 3 2 のドレイン電極に画素電極が接続された液晶セル 3 1 と、T F T 3 2 のドレイン電極に一方の電極が接続された保持容量 3 3 とを有する構成となっている。ここで、液晶セル 3 1 は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

【 0 0 2 4 】

この画素構造において、T F T 3 2 はゲート電極がゲート線（走査線）3 4 に接続され、ソース電極がデータ線（信号線）3 5 に接続されている。液晶セル 3 1 の対向電極が V c o m 線 3 6 に対して各画素共通に印加されている。そして、液晶セル 3 1 の対向電極には、V c o m 線 3 6 を介して対向電位 V c o m（共通電位）が各画素共通に与えられる。保持容量 3 3 は他方の電極（対向電極側の端子）が保持信号線 3 7 に対して各画素共通に接続され、保持信号 H L D が印加される。

【 0 0 2 5 】

ここで、液晶セル 3 1 は一般に交流駆動される。すなわち、データ線 3 5 を介して液晶セル 3 1 に書き込まれる画素書き込み信号 W R は周期的に極性が反転する。これに合わせて、液晶セル 3 1 の対向電位 V c o m も周期的に極性反転する必要がある。ここで、液晶セル 3 1 やこれをスイッチング駆動する T F T 3 2 には、極性に関し非対称性がある。このため、画素電極側と対向電極側で中心レベルを合わせておくと、極性に関する非対称性が表われて、焼付きなど画品位の劣化が生じる。この対策として、画素書き込み信号 W R に対し対向電位 V c o m を所定電圧分だけオフセットし、極性に関する非対称性を打ち消すことが行われている。

なお、保持容量 3 3 も、液晶セル 3 1 の交流駆動に合わせて、交流動作させる必要がある。このため、各保持容量 3 3 に共通接続された保持信号線 3 7 に、同様に、所定の周期で極性反転する保持信号 H L D を印加する必要がある。

【 0 0 2 6 】

図 1 において、表示部 3 と同じガラス基板上には、たとえば、表示部 3 の上側にインタフェース（I / F）回路 2 および対向・保持信号生成回路 8 が、表示部 3 の左側にタイミング生成回路 4 および基準信号生成回路 6 が、表示部 3 の下側に水平駆動回路 7 が、表示部 3 の右側に垂直駆動回路 5 が、それぞれ搭載されている。これら周辺の駆動回路は、表示部 3 の画素トランジスタと共に、低温ポリシリコンあるいは C G (Continuous Grain; 連続粒界結晶) シリコンを用いて作製される。

【 0 0 2 7 】

インタフェース回路 2 は、液晶表示装置 1 が搭載される電子機器本体（セットと称する）側から、マスタクロック M C K、パラレル入力の表示データ、同期信号（水平同期信号 H s y n c、垂直同期信号 V s y n c）、待機モード信号 S T B が入力される。

なお、待機モード信号 S T B は、通常の表示動作状態が要求されている場合には「1」（ハイレベル）、セット側から待機状態が要求されている場合には「0」（ロウレベル）、となる信号である。

【 0 0 2 8 】

図 2 は、通常動作状態および待機状態での表示部 3 の表示状態を図解した図である。

図 2 に示すように、待機状態では、表示部 3 の特性に応じて黒（図 2（a））または白（図 2（b））の非表示領域となる。

10

20

30

40

50

【 0 0 2 9 】

再び図 1 の説明に戻る。

タイミング生成回路 4 では、マスタクロック M C K、同期信号、待機モード信号 S T B に基づいて、垂直駆動回路 5、基準信号生成回路 6、水平駆動回路 7、対向・保持信号生成回路 8 を駆動するため必要な各種のタイミング信号を生成する。

タイミング生成回路 4 の構成については、後述する。

【 0 0 3 0 】

基準信号生成回路 6 は、表示データのビットに応じたアナログ電位を選択して水平駆動回路 7 に供給する。たとえば、表示データが 6 ビットで 6 4 階調である場合には、ラダー抵抗によって電源電圧を分圧して生成された、基準電位となる 6 4 階調のアナログ電位 R E F を水平駆動回路 7 に供給する。

10

その際、画素書き込み信号 W R は交流駆動されるため、基準信号生成回路 6 で生成するアナログ電位も所定周期（たとえば、1 H）で極性を反転させる必要がある。そして、基準信号生成回路 6 では、タイミング生成回路 4 から与えられる反転信号 R E V に同期して、アナログ電位の極性を反転させる。

【 0 0 3 1 】

水平駆動回路 7 は、たとえば、図示しない水平シフトレジスタ、データサンプリングラッチ回路および D A（デジタル - アナログ）変換回路により構成される。

水平シフトレジスタは、タイミング生成回路 4 から供給される水平スタートパルス H S T に応答してシフト動作を開始し、同じくタイミング生成回路 4 から供給される水平クロックパルス H C K に同期して 1 水平期間に順次転送していくサンプリングパルスを生成する。

20

データサンプリングラッチ回路は、水平シフトレジスタで生成されたサンプリングパルスに同期して、インタフェース回路 2 から供給される表示データを 1 水平期間で順次サンプリングしラッチする。このラッチされた 1 ライン分のデジタルデータは、D A 変換回路でアナログ表示信号に変換される。

D A 変換回路は、基準信号生成回路 6 から与えられる階調数分の基準電圧 R E F の中から、デジタルデータに対応した基準電圧を選択し、アナログ表示信号として画素書き込み信号 W R を出力する。

【 0 0 3 2 】

垂直駆動回路 5 は、図示しない垂直シフトレジスタおよびゲートバッファによって構成される。

30

垂直シフトレジスタは、タイミング生成回路 4 から供給される垂直スタートパルス V S T に応答してシフト動作を開始し、同じくタイミング生成回路 4 から供給される垂直クロックパルス V C K に同期して 1 垂直期間に順次転送していく垂直シフトパルス V S P を生成する。

また、垂直駆動回路 5 には、タイミング生成回路 4 から、垂直シフトパルス V S P よりパルス幅の短い書き込みイネーブル信号 W E N が供給される。そして、垂直駆動回路 5 は、順次転送される垂直シフトパルス V S P と書き込みイネーブル信号 W E N のパルスがともにハイレベルであるタイミングで、画素スイッチ信号 P S W を生成する。

40

この生成された画素スイッチ信号 P S W は、表示部 3 2 の各行に配線されたゲート線にゲートバッファを通して順次出力される。

【 0 0 3 3 】

この垂直駆動回路 5 による垂直走査により、画素スイッチ信号 P S W が各行のゲート線に順次出力されると、表示部 3 の各画素が行単位で順に選択される。そして、この選択された 1 ライン分の画素に対して、水平駆動回路 7 の D A 変換回路から出力される 1 ライン分の画素書き込み信号 W R がデータ線 3 5 を経由して一斉に書き込まれる。このライン単位の書き込み動作が繰り返されることにより、1 画面分の画表示が行われる。

【 0 0 3 4 】

対向・保持信号生成回路 8 は、先述した保持信号 H L D を生成し、保持信号線 3 7 を介

50

して保持容量 33 の他方の電極に対して各画素共通に与える。

ここで、たとえば 1 H 反転駆動を採用する場合には、保持信号 H L D は、画素書き込み信号 W R に合わせて 1 H 毎に極性を反転させた交流反転を繰り返すことになる。

【 0 0 3 5 】

対向・保持信号生成回路 8 は、先述した対向電位 V c o m を生成する。対向電位 V c o m は、対向接続電極 9 を介して、画素 33 の対向電極に接続される V c o m 線 36 に共通に与えられる。

ここで、対向電位 V c o m としては、保持信号 H L D とほぼ同じ振幅の交流電圧が用いられる。ただし、実際には、図 1 において、データ線 35 から T F T 32 を通して液晶セル 31 の画素電極に信号を書き込む際に、寄生容量などに起因して T F T 32 で電圧降下が生じることから、対向電位 V c o m としては、その電圧降下分だけ D C シフトした交流電圧を用いる必要がある。

10

【 0 0 3 6 】

また、対向・保持信号生成回路 8 は、タイミング生成回路 4 から反転信号 R E V が供給され、この反転信号 R E V に同期して、保持信号 H L D および対向電位 V c o m を反転させる。

【 0 0 3 7 】

上記した構成の液晶表示装置 1 では、表示部 3 と同一のパネル（ガラス基板）上に、水平駆動回路 7 および垂直駆動回路 5 に加えて、インタフェース回路 2、タイミング生成回路 4、基準信号生成回路 6、対向・保持信号生成回路 8 などの周辺の駆動回路を一体的に搭載したことにより、全駆動回路一体型の表示パネルを構成でき、外部に別の基板や I C、トランジスタ回路を設ける必要がないため、システム全体の小型化および低コスト化が可能になる。

20

【 0 0 3 8 】

次に、タイミング生成回路 4 の構成について、図 3 に関連付けて説明する。

図 3 は、タイミング生成回路 4 の構成例を示すブロック図である。

【 0 0 3 9 】

図 3 に示すように、タイミング生成回路 4 は、内部クロック生成回路 41、カウンタ（C T R）42、水平駆動信号生成回路 43、垂直駆動信号生成回路 44、反転タイミング調整回路 45 から構成される。

30

【 0 0 4 0 】

内部クロック生成回路 41 は、マスタクロック M C K を分周してマスタクロック M C K より低い周波数の内部クロック信号を生成する。内部クロック信号には、水平用の内部クロック信号（水平クロック）S 41 _ H と、垂直用の内部クロック信号（垂直クロック）S 41 _ V とが含まれる。この内部クロック信号は、カウンタ 42 を動作させるためのベース信号となる。

【 0 0 4 1 】

水平駆動信号生成回路 43 および垂直駆動信号生成回路 44 は、カウンタ 42 を動作させ、駆動に必要な各種信号を生成する。

水平駆動信号生成回路 43 は、水平クロックパルス H C K、水平スタートパルス H S T および書き込みイネーブル信号 W E N を生成する。

40

垂直駆動信号生成回路 44 は、垂直クロックパルス V C K および垂直スタートパルス V S T を生成する。

【 0 0 4 2 】

また、垂直駆動信号生成回路 44 は、垂直クロック信号 S 41 _ V に基づいて、カウンタ 42 によらずに、上記垂直クロックパルス V C K および垂直スタートパルス V S T を生成することができる。

【 0 0 4 3 】

反転タイミング調整回路 45 は、カウンタ 42 を動作させて、基準信号生成回路 6 および対向・保持信号生成回路 8 に供給する反転信号 R E V を生成する。たとえば、1 H 反転

50

駆動の場合には、反転信号 R E V は、1 水平期間毎に反転する信号となる。

また、反転タイミング調整回路 4 5 は、待機モード信号 S T B に基づいて、反転信号 R E V の反転タイミングを遅延させるか否かを判断する。これにより、後述するように、通常動作モードから待機モードに変化した場合であっても、反転による極性の切り替わりのタイミングで画素電位が予期しない値に確定することが回避される。

【 0 0 4 4 】

また、タイミング生成回路 4 では、通常動作モードから待機モードに変化したと判断した場合、一定期間経過後に、内部クロック生成回路 4 1 の水平クロック生成部と、カウンタ 4 2 とを停止させる。これにより、消費電力を低減する。

なお、上記一定期間は、後述する反転タイミング調整回路 4 5 の遅延量に応じて、設定される。

10

【 0 0 4 5 】

図 4 は、反転タイミング調整回路 4 5 において、反転信号 R E V を遅延させる部分の回路構成例を示す図である。

図 4 において、反転信号 P _ R E V は、通常動作モードに対応した反転信号であって、たとえば、1 H 反転駆動の場合には、反転信号 P _ R E V は、1 水平期間毎に反転する信号となる。

そして、反転タイミング調整回路 4 5 は、遅延回路 4 5 1、スイッチ 4 5 2、バッファ 4 5 3 を含んで構成される。遅延回路 4 5 1 は、T F T によるゲート回路と、抵抗およびキャパシタからなる微分回路とを含む。なお、ゲート回路の段数と、抵抗およびキャパシタの特性に応じて、遅延量を適宜設定できることは言うまでもない。

20

【 0 0 4 6 】

図 4 に示す回路では、待機モード信号 S T B のレベルに応じて、スイッチ 4 5 2 は、接点 C 1 もしくは C 2 のいずれかを選択する。

そして、待機モード信号 S T B が「 1 」の場合、すなわち、通常動作モードの場合には、接点 C 1 が選択される。これにより、反転信号 P _ R E V は、そのまま反転信号 R E V として出力される。

また、待機モード信号 S T B が「 0 」の場合、すなわち、待機モードの場合には、接点 C 2 が選択される。これにより、反転信号 P _ R E V は、遅延回路 4 5 1 により所定時間遅延されて反転信号 R E V として出力される。

30

【 0 0 4 7 】

なお、反転信号 P _ R E V を遅延させる方法は、図 4 に示した回路図に限られない。

図 5 は、反転タイミング調整回路 4 5 において、反転信号 R E V を遅延させる部分の他の回路構成例を示す図である。

図 5 (a) は、遅延回路 4 5 1 をゲート回路とキャパシタにより構成した回路を、図 5 (b) は、遅延回路 4 5 1 をゲート回路と抵抗により構成した回路を、図 5 (c) は、遅延回路 4 5 1 をゲート回路のみで構成した回路を、それぞれ示す。

いずれの場合にも、反転信号 P _ R E V を遅延させることが可能である。

【 0 0 4 8 】

次に、液晶表示装置 1 の表示動作について説明する。

40

【 0 0 4 9 】

図 6 は、実施形態に係る液晶表示装置 1 において、通常動作モードでの動作を示すタイミングチャートであり、(a) は待機モード信号 S T B、(b) はタイミング生成回路内のカウンタ動作、(c) は水平同期信号 H s y n c、(d) は書き込みイネーブル信号 W E N、(e) ~ (h) は表示部の各行の垂直シフトパルス V S P、(i) ~ (l) は表示部の各行の画素スイッチパルス P S W、(m) は反転信号 R E V、(n) は画素書き込み信号 W R、(o) は対向電位 V c o m および保持信号 H L D、を示す。

【 0 0 5 0 】

図 6 に示す動作は、常に通常動作であるため、図 6 (b) に示すように、カウンタ C T R は常にアクティブとなっている。

50

【 0 0 5 1 】

図 6 (d) に示すように、書き込みイネーブル信号 W E N は、タイミング生成回路 4 により水平同期信号 H s y n c に応じたタイミングで生成され、垂直駆動回路 5 に供給される。

垂直駆動回路 5 では、タイミング生成回路 4 から供給される垂直スタートパルス V S T に応答してシフト動作を開始し、図 6 (e) ~ (h) に示すように、同じくタイミング生成回路 4 から供給される垂直クロックパルス V C K に同期して 1 垂直期間に順次転送していく垂直シフトパルス V S P を生成する。

【 0 0 5 2 】

さらに、垂直駆動回路 5 は、図 6 (i) ~ (l) に示すように、順次転送される垂直シフトパルス V S P と書き込みイネーブル信号 W E N のパルスがともにハイレベルであることを条件としてハイレベルとなる画素スイッチ信号 P S W を生成する。すなわち、画素スイッチ信号 P S W は、垂直シフトパルス V S P と書き込みイネーブル信号 W E N の論理和となっている。

この生成された画素スイッチ信号 P S W は、表示部 3 2 の各行に配線されたゲート線 3 4 に順次出力される。

【 0 0 5 3 】

この垂直駆動回路 5 による垂直走査により、画素スイッチ信号 P S W が各行のゲート線に順次出力されると、表示部 3 の各画素が行単位で順に選択される。そして、この選択された 1 ライン分の画素に対して、水平駆動回路 7 の D A 変換回路から出力される 1 ライン分の画素書き込み信号 W R がデータ線 3 5 を経由して一斉に書き込まれる。

【 0 0 5 4 】

図 6 (m) ~ (o) に示すように、画素書き込み信号 W R は、交流駆動される反転信号 R E V、画素書き込み信号 W R、対向電位 V c o m、保持信号 H L D の各信号の反転が行われない期間に、画素に印加される。

すなわち、図 6 に示すように、書き込みイネーブル信号 W E N のパルス幅は、垂直シフトパルス V S P のパルス幅よりも狭くなるように設定されているので、これらの論理和である画素スイッチ信号 P S W のパルス幅も、書き込みイネーブル信号 W E N と同様に狭くなるため、画素書き込み信号 W R が反転する不安定なタイミングで画素電位が確定してしまう状態が回避されている。

【 0 0 5 5 】

図 7 は、実施形態に係る液晶表示装置 1 において、通常動作モードから待機モードに変化した場合の動作を示すタイミングチャートであり、(a) は待機モード信号 S T B、(b) はタイミング生成回路内のカウンタ動作、(c) は水平同期信号 H s y n c、(d) は書き込みイネーブル信号 W E N、(e) ~ (h) は表示部の各行の垂直シフトパルス V S P、(i) ~ (l) は表示部の各行の画素スイッチパルス P S W、(m) は反転信号 R E V、(n) は画素書き込み信号 W R、(o) は対向電位 V c o m および保持信号 H L D を示す。

【 0 0 5 6 】

図 7 では、時刻 t 1 において、待機モード信号 S T B のレベルが変化し、表示領域から非表示領域へ変化している。この場合に、タイミング生成回路 4 は、消費電力を低減させるため、時刻 t 2 において内部クロック生成回路 4 1 の水平クロック生成部とカウンタ 4 2 とを停止させる。

水平クロックの生成とカウンタ動作を時刻 t 1 の時点で停止しないのは、反転タイミング調整回路 4 5 における反転タイミングの遅延分を考慮しているためである。

【 0 0 5 7 】

これによって、時刻 t 2 以降に、タイミング生成回路 4 は、書き込みイネーブル信号 W E N を生成することができなくなる。そのため、図 7 (h)、(l) が示すように、垂直シフトパルス V S P と書き込みイネーブル信号 W E N の論理和である画素スイッチ信号 P S W は、垂直シフトパルス V S P と同一のパルスとなる。

10

20

30

40

50

【 0 0 5 8 】

タイミング生成回路 4 は、待機モード信号 S T B のレベルが「 1 」から「 0 」に変化すると、反転信号 R E V を遅延させて出力する。

これにより、基準信号生成回路 6 は、基準信号 R E F を遅延させて水平駆動回路 7 に供給し、また、対向・保持信号生成回路 8 は、保持信号 H L D および対向電位 V c o m を遅延させて表示部 3 に供給するため、図 7 (m) ~ (o) に示すように、各信号の交流駆動の反転タイミングが遅延する。

その結果、画素スイッチ信号 P S W のレベル変化のタイミングと画素書き込み信号 W R の反転タイミングとが重なり合わず、画素電位が予期しない値に確定するという状態が回避される。したがって、画質の状態が維持される。

10

【 0 0 5 9 】

図 8 は、実施形態に係る液晶表示装置 1 において、通常動作モードから待機モードに変化した場合の各部の動作状態を示すタイミングチャートであり、(a) は待機モード信号 S T B、(b) はマスタクロック M C K、(c) は水平同期信号 H s y n c、(d) は水平内部クロック S 4 1 _ H、(e) はカウンタ (C T R) 4 2、(f) は水平駆動信号生成回路 4 3 の出力、(g) は垂直駆動信号生成回路 4 4 の出力、の状態である。

【 0 0 6 0 】

図 8 に示すように、タイミング生成回路 4 の内部では、待機モード信号 S T B のレベルが変化した後、内部クロック生成回路 4 1 において水平クロックが停止するとともに、カウンタ 4 2 が停止する。その結果、水平駆動信号生成回路 4 3 の出力が停止する。

20

したがって、タイミング生成回路 4 で行う処理のうち多くの処理が停止するため、タイミング生成回路 4 での消費電力が低減する。

【 0 0 6 1 】

以上説明したように、本実施形態に係る液晶表示装置 1 によれば、通常動作状態であるか、待機状態であるかを示す待機モード信号に基づいて、待機状態に移行したと判断した場合には、タイミング生成回路 4 の内部クロックおよびカウンタの動作を停止させるとともに、液晶セルに与える交流信号の反転タイミングを遅延させるように構成したので、以下の効果を得ることができる。

すなわち、タイミング生成回路 4 の内部クロックおよびカウンタの動作を停止する結果、タイミング生成回路 4 で消費する電力が低減する。したがって、特に、液晶表示装置 1 がバッテリー電源により駆動されている場合には、長時間使用が可能となる。

30

また、内部クロックおよびカウンタを停止させたことに伴って、画素に対する書き込みタイミングを決定する書き込みイネーブル信号 W E N が出力されず、垂直シフトパルス V S P によって書き込みタイミングが規定されることになるが、交流信号の反転タイミングが遅延されることで、画素電位が予期しない値に確定することが回避されて、画品位を維持することができる。

【 0 0 6 2 】

なお、本発明は上述した実施形態に拘泥せず、本発明の要旨を変更しない範囲で様々な改変をなし得るものである。

たとえば、上述した実施形態では、低温ポリシリコン等の絶縁基板上に表示部が駆動回路と一体として実装された液晶表示装置について説明したが、これに限られるものではない。タイミング生成回路、対向・保持信号生成回路、基準信号生成回路は、絶縁基板上に搭載されたシリコン半導体回路によって構成してもよいし、絶縁基板に接続されたフレキシブル基板上にシリコン半導体回路によって構成してもよい。

40

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 本発明に係る表示装置、例えば液晶表示装置の構成例を示すブロック図である。

【 図 2 】 通常動作状態および待機状態での表示部の表示状態を図解した図である。

【 図 3 】 タイミング生成回路 4 の構成例を示すブロック図である。

【 図 4 】 反転タイミング調整回路において、反転信号 R E V を遅延させる部分の回路構成

50

例を示す図である。

【図5】反転タイミング調整回路において、反転信号REVを遅延させる部分の他の回路構成例を示す図である。

【図6】実施形態に係る表示装置において、通常動作モードでの動作を示すタイミングチャートである。

【図7】実施形態に係る表示装置において、通常動作モードから待機モードに変化した場合の動作を示すタイミングチャートである。

【図8】実施形態に係る表示装置において、通常動作モードから待機モードに変化した場合の各部の動作状態を示すタイミングチャートである。

【図9】従来の表示装置において、通常動作モードから待機モードに変化した場合の動作を示すタイミングチャートである。

10

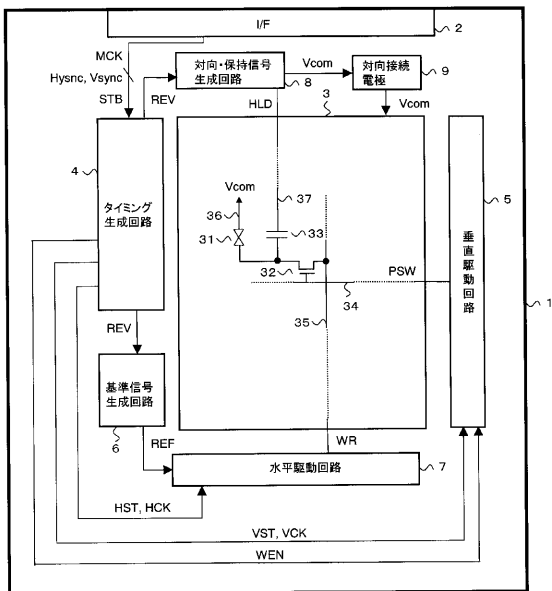
【図10】従来の表示装置における画質劣化を説明するための図である。

【符号の説明】

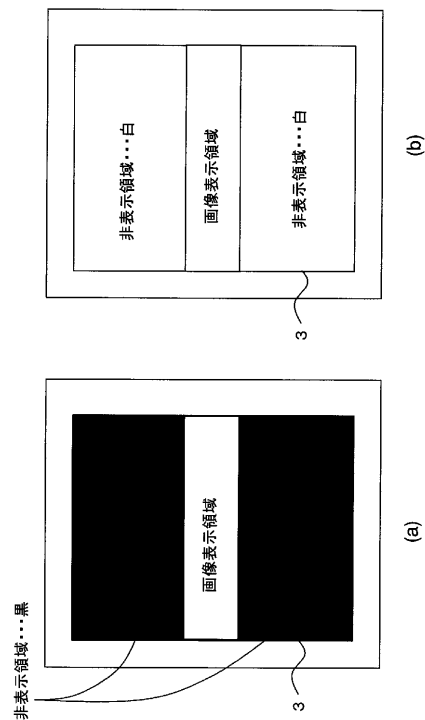
【0064】

1...液晶表示装置、2...インタフェース回路、3...表示部、4...タイミング生成回路、5...垂直駆動回路、6...基準信号生成回路、7...水平駆動回路、8...対向・保持信号生成回路、9...対向接続電極。

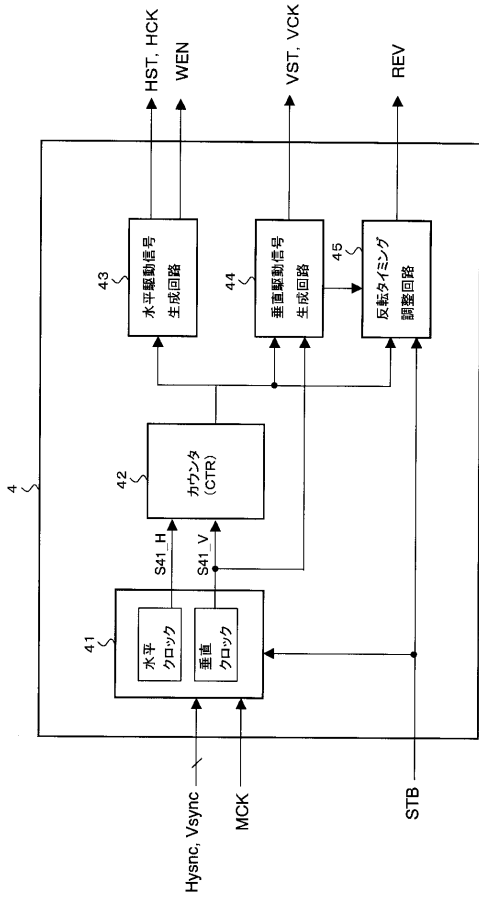
【図1】



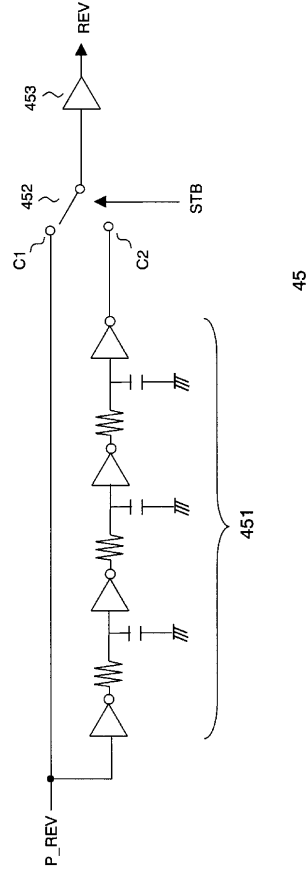
【図2】



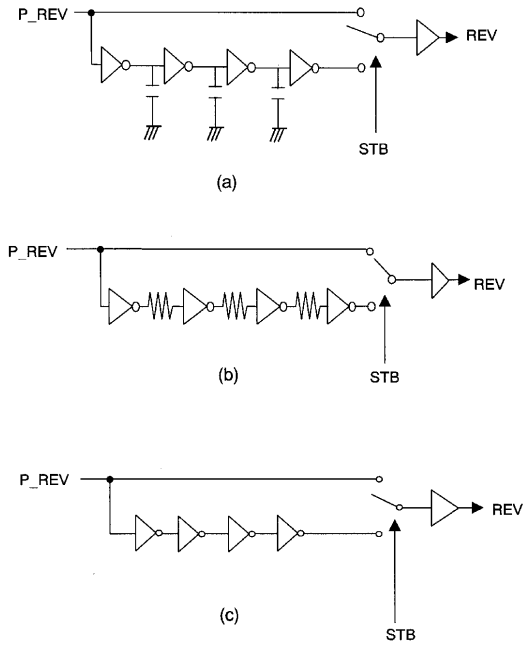
【 図 3 】



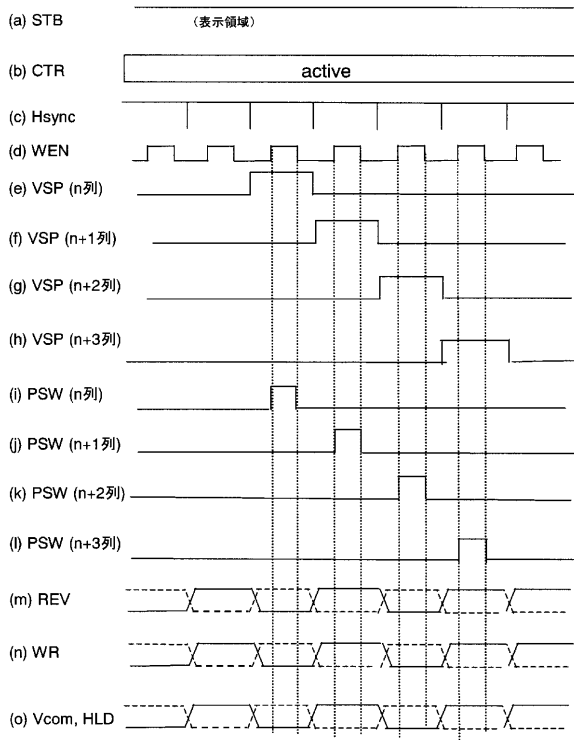
【 図 4 】



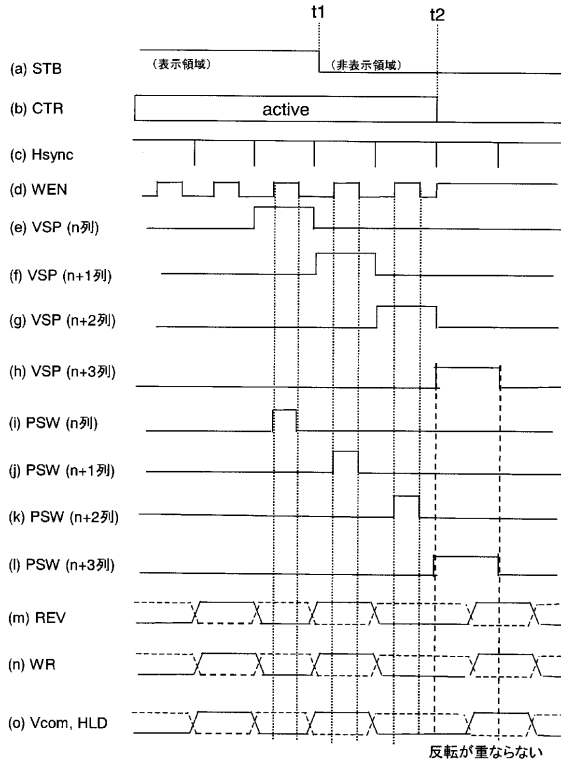
【 図 5 】



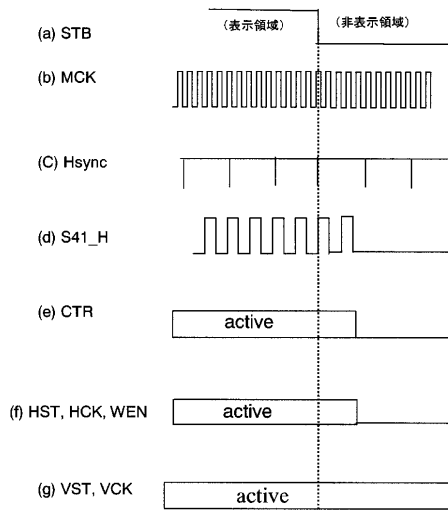
【 図 6 】



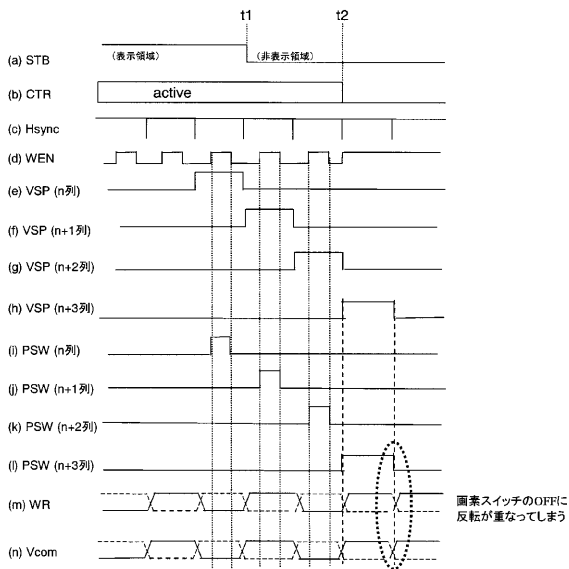
【 図 7 】



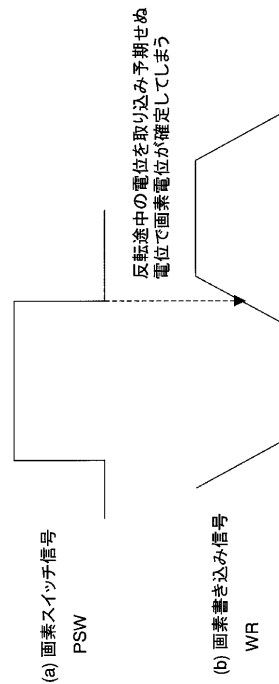
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B

(72)発明者 ジャルブーンポン ウィーラポン
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 堀部 修平

(56)参考文献 特開2003-108080(JP,A)
特開2000-330521(JP,A)
特開2002-328660(JP,A)
特開平05-046113(JP,A)
特開2003-345457(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3