



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월04일
 (11) 등록번호 10-1904445
 (24) 등록일자 2018년09월27일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 5/06* (2006.01)
H01L 21/8239 (2006.01) *H01L 27/10* (2006.01)
 (21) 출원번호 10-2012-7029488
 (22) 출원일자(국제) 2011년03월30일
 심사청구일자 2016년03월28일
 (85) 번역문제출일자 2012년11월09일
 (65) 공개번호 10-2013-0056240
 (43) 공개일자 2013년05월29일
 (86) 국제출원번호 PCT/JP2011/058661
 (87) 국제공개번호 WO 2011/129233
 국제공개일자 2011년10월20일
 (30) 우선권주장
 JP-P-2010-095196 2010년04월16일 일본(JP)
 (56) 선행기술조사문헌
 US06304469 B1*
 (뒷면에 계속)

(73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 나가쓰카 슈헤이
 일본국 2430036 가나가와 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
 카토 키요시
 일본국 2430036 가나가와 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (뒷면에 계속)
 (74) 대리인
 황의만

전체 청구항 수 : 총 6 항

심사관 : 이흥민

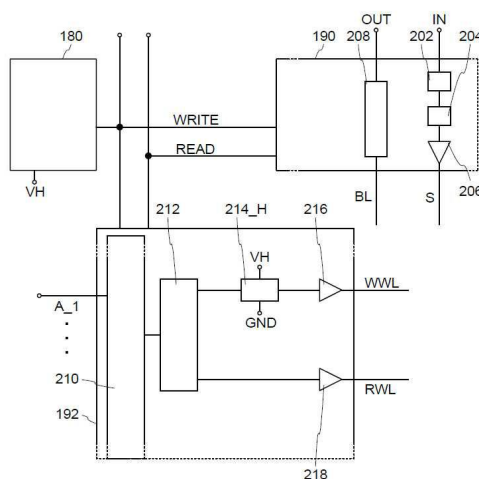
(54) 발명의 명칭 **반도체 장치**

(57) 요약

본 발명은, 전력이 공급되지 않는 상황에서도 기억 내용의 보유가 가능하고, 또한, 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

와이드 갭 반도체, 예를 들면 산화물 반도체를 포함하는 메모리 셀을 이용하여 구성된 반도체 장치로서, 메모리 셀에 기입용의 트랜지스터, 판독용의 트랜지스터 및 선택용의 트랜지스터를 구비한 반도체 장치로 한다. 와이드 갭 반도체를 이용함으로써, 메모리 셀을 구성하는 트랜지스터의 오프 전류를 충분히 작게 할 수 있어, 장기간에 걸쳐 정보를 보유하는 것이 가능한 반도체 장치를 제공할 수 있다.

대표도 - 도7



(72) 발명자

마츠자키 타카노리

일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

이노우에 히로키

일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

KR1020090124329 A*

US07375399 B2*

US06845059 B1*

JP08321182 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치에 있어서,

기입 워드선;

판독 워드선;

비트선;

소스선;

신호선,;

메모리 셀로서,

제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터;

제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터; 및

제 3 게이트 전극, 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 채널 형성 영역을 포함하는 제 3 트랜지스터를 포함하는 메모리 셀;

상기 신호선과 전기적으로 접속된 지연 회로를 포함하는 제 1 구동 회로; 및

제 2 구동 회로를 포함하고,

상기 제 2 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 1 게이트 전극과 상기 제 2 드레인 전극은 서로 전기적으로 접속되고,

상기 제 1 드레인 전극과 상기 제 3 소스 전극은 서로 전기적으로 접속되고,

상기 소스선은 상기 제 1 소스 전극과 전기적으로 접속되고,

상기 제 1 구동 회로는 상기 비트선을 통하여 상기 제 3 드레인 전극과 전기적으로 접속되고, 상기 지연 회로 및 상기 신호선을 통하여 상기 제 2 소스 전극과 전기적으로 접속되고,

상기 제 2 구동 회로는 상기 판독 워드선을 통하여 상기 제 3 게이트 전극과 전기적으로 접속되고, 상기 기입 워드선을 통하여 상기 제 2 게이트 전극과 전기적으로 접속되고,

상기 제 2 트랜지스터의 오프 전류는 소스-드레인 전압이 3.1V의 조건에서, 85℃의 온도 환경 하에서 100 zA/μm 이하인, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

반도체 장치에 있어서,

기입 워드선;

판독 워드선;

비트선;

소스선;

신호선;

메모리 셀로서,

제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터;

제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터; 및

제 3 게이트 전극, 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 채널 형성 영역을 포함하는 제 3 트랜지스터를 포함하는 메모리 셀,

상기 신호선과 전기적으로 접속된 지연 회로를 포함하는 제 1 구동 회로;

제 2 구동 회로; 및

전위 변환 회로를 포함하고,

상기 제 2 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 1 게이트 전극과 상기 제 2 드레인 전극은 서로 전기적으로 접속되고,

상기 제 1 드레인 전극과 상기 제 3 소스 전극은 서로 전기적으로 접속되고,

상기 소스선은 상기 제 1 소스 전극과 전기적으로 접속되고,

상기 제 1 구동 회로는 상기 비트선을 통하여 상기 제 3 드레인 전극과 전기적으로 접속되고, 상기 지연 회로 및 상기 신호선을 통하여 상기 제 2 소스 전극과 전기적으로 접속되고,

상기 제 2 구동 회로는 상기 판독 워드선을 통하여 상기 제 3 게이트 전극과 전기적으로 접속되고, 상기 기입 워드선을 통하여 상기 제 2 게이트 전극과 전기적으로 접속되고,

상기 제 2 트랜지스터의 오프 전류는 소스-드레인 전압이 3.1V의 조건에서, 85℃의 온도 환경 하에서 100 zA/ μ m 이하이고,

상기 전위 변환 회로는 상기 전위 변환 회로에 입력되는 전위보다 높은 전위를 상기 제 2 구동 회로에 출력하는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 2 구동 회로는 상기 전위 변환 회로 및 상기 기입 워드선과 전기적으로 접속된 승압용 레벨 시프터를 포함하는, 반도체 장치.

청구항 8

제 1 항 또는 제 6 항에 있어서,

한쪽의 전극은 상기 제 1 게이트 전극에 전기적으로 접속되고, 다른 한쪽의 전극은 상기 소스선과 전기적으로 접속된 용량 소자를 더 포함하는, 반도체 장치.

청구항 9

제 1 항 또는 제 6 항에 있어서,

복수의 메모리 셀을 더 포함하고,

상기 메모리 셀과 상기 복수의 메모리 셀은 상기 비트선과 상기 소스선 사이에 병렬로 접속되는, 반도체 장치.

청구항 10

삭제

청구항 11

제 1 항 또는 제 6 항에 있어서,

상기 제 3 채널 형성 영역은 상기 제 1 채널 형성 영역과 같은 반도체 재료를 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 게시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용이 없어지는 휘발성의 것과, 전력의 공급이 없어져도 기억 내용은 보유되는 불휘발성의 것으로 크게 구별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 커패시터에 전하를 축적함으로써, 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는 정보를 읽어내면 커패시터의 전하는 없어지기 때문에, 정보의 판독 시에, 재차의 기입 동작이 필요하다. 또한, 기억 소자를 구성하는 트랜지스터에서는 오프 상태에서의 소스와 드레인 간의 리크 전류(오프 전류) 등에 의해, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출, 또는 유입되기 때문에, 데이터의 보유 기간이 짧다. 따라서, 소정의 주기로 재차의 기입 동작(리프레시 동작)이 필요하고, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 없어지기 때문에, 장기간의 기억의 보유에는 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은, 플립 플롭 등의 회로를 이용하여 기억 내용을 보유하기 때문에, 리프레시 동작이 불필요하고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립 플롭 등의 회로를 이용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용이 없어진다는 점에 대해서는, DRAM과 다른 점은 없다.

[0006] 불휘발성 기억 장치의 대표예로서는, 플래시 메모리가 있다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 가지고, 이 플로팅 게이트에 전하를 보유시킴으로써 기억을 행하기 때문에, 데이터의 보유 기간은 매우 길고(반영구적), 휘발성 기억 장치에 필요한 리프레시 동작이 불필요하다는 이점을 가지고 있다(예를 들면, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 생기는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화되기 때문에, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않게 된다는 문제가 생긴다. 이 문제의 영향을 완화하기 위해, 예를 들면, 각 기억 소자의 기입 횟수를 균일화하는 방법이 채택되지만, 이것을 실현하기 위해서는, 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용하더라도, 근본적인 수명의 문제가 해소하는 것은 아니다. 즉, 플래시 메모리는 정보의 다시쓰기 빈도가 높은 용도에는 적합하지 않다.

[0008] 또한, 플로팅 게이트에 전하를 주입시키기 위해, 또는, 그 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한 그것을 위한 회로도 필요하다. 또한, 전하의 주입, 또는 제거를 위해서는 비교적 긴 시간을 필요로 하고, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개소 57-105889호 공보

발명의 내용

해결하려는 과제

[0010] 상술한 문제를 감안하여, 개시하는 발명의 일 양태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 보유가 가능하고, 또한 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0011] 개시하는 발명에서는, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들면, 와이드 갭 반도체인 산화물 반도체 재료를 이용하여 반도체 장치를 구성한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 이용함으로써, 장기간에 걸쳐서 정보를 보유하는 것이 가능하다.

[0012] 또한, 개시하는 발명에서는, 예를 들면, 와이드 갭 반도체를 이용하여 구성된 메모리 셀을 포함하는 반도체 장치이며, 메모리 셀에 기입용의 트랜지스터, 판독용의 트랜지스터 및 선택용의 트랜지스터를 구비한 반도체 장치로 한다.

[0013] 보다 구체적으로는, 예를 들면 다음과 같은 구성을 채용할 수 있다.

[0014] 본 발명의 일 양태는, 기입 워드선과, 판독 워드선과, 비트선과, 소스선과, 신호선과, 복수의 메모리 셀로 이루어지는 메모리 셀 어레이와, 신호선과 전기적으로 접속된 지연 회로를 가지는 제 1 구동 회로와, 제 2 구동 회로를 가지고, 메모리 셀의 하나는, 제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터와, 제 3 게이트 전극, 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 채널 형성 영역을 포함하는 제 3 트랜지스터를 가지고, 제 1 채널 형성 영역은 제 2 채널 형성 영역과는 다른 반도체 재료를 포함하여 구성되고, 제 1 게이트 전극과 제 2 드레인 전극은 전기적으로 접속되어 전하가 보유되는 노드를 구성하고, 제 1 드레인 전극과 제 3 소스 전극은 전기적으로 접속되고, 소스선은 제 1 소스 전극과 전기적으로 접속되고, 제 1 구동 회로는 비트선을 통하여 제 3 드레인 전극과 전기적으로 접속되고, 또한, 지연 회로 및 신호선을 통하여, 제 2 소스 전극과 전기적으로 접속되고, 제 2 구동 회로는 판독 워드선을 통하여 제 3 게이트 전극과 전기적으로 접속되고, 또한, 기입 워드선을 통하여, 제 2 게이트 전극과 전기적으로 접속되는 반도체 장치이다.

[0015] 또한, 본 발명의 다른 일 양태는, 전원 전위보다 높은 전위가 적어도 부여되는 기입 워드선과, 판독 워드선과, 비트선과, 소스선과, 신호선과, 복수의 메모리 셀로 이루어지는 메모리 셀 어레이와, 신호선과 전기적으로 접속된 지연 회로를 가지는 제 1 구동 회로와, 제 2 구동 회로와, 전위 변환 회로를 가지고, 메모리 셀의 하나는 제

1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터와, 제 3 게이트 전극, 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 채널 형성 영역을 포함하는 제 3 트랜지스터를 가지고, 제 1 채널 형성 영역은 제 2 채널 형성 영역과는 다른 반도체 재료를 포함하여 구성되고, 제 1 게이트 전극과 제 2 드레인 전극은 전기적으로 접속되어 전하가 보유되는 노드를 구성하고, 제 1 드레인 전극과 제 3 소스 전극은 전기적으로 접속되고, 소스선은 제 1 소스 전극과 전기적으로 접속되고, 제 1 구동 회로는 비트선을 통하여 제 3 드레인 전극과 전기적으로 접속되고, 또한, 지연 회로 및 신호선을 통하여 제 2 소스 전극과 전기적으로 접속되고, 제 2 구동 회로는 관독 워드선을 통하여 제 3 게이트 전극과 전기적으로 접속되고, 또한, 기입 워드선을 통하여 제 2 게이트 전극과 전기적으로 접속되고, 전위 변환 회로는 제 2 구동 회로에 전위 전위보다 높은 전위를 출력하는 반도체 장치이다.

- [0016] 또는, 상기 반도체 장치에 있어서, 한쪽의 전극은 전하가 보유되는 노드와 전기적으로 접속되고, 다른 한쪽의 전극은 소스선과 전기적으로 접속되는 용량 소자를 가지는 구성으로 해도 좋다.
- [0017] 또는, 상기의 반도체 장치에 있어서, 제 2 구동 회로는 전위 변환 회로 및 기입 워드선과 전기적으로 접속된 승압용 레벨 시프터를 가지는 구성으로 해도 좋다.
- [0018] 또한, 상기의 반도체 장치에 있어서, 비트선과 소스선의 사이에, 메모리 셀의 하나를 포함하는 복수의 메모리 셀이 병렬로 접속되는 구성으로 해도 좋다.
- [0019] 또는, 상기의 반도체 장치에 있어서, 제 2 트랜지스터의 제 2 채널 형성 영역은 산화물 반도체를 포함하는 구성으로 해도 좋다. 또한, 제 3 채널 형성 영역은 제 1 채널 형성 영역과 같은 반도체 재료를 포함하여 구성되어도 좋다.
- [0020] 또한, 상기에 있어서, 산화물 반도체를 이용하여 트랜지스터를 구성하는 일이 있지만, 개시하는 발명은 이것에 한정되지 않는다. 산화물 반도체와 동등한 오프 전류 특성을 실현할 수 있는 재료, 예를 들면, 탄화 실리콘을 비롯한 와이드 갭 재료(보다 구체적으로는, 예를 들면, 에너지 갭(Eg)이 3 eV보다 큰 반도체 재료) 등을 적용해도 좋다.
- [0021] 또한, 본 명세서 등에 있어서 「위」나 「아래」라는 용어는, 구성 요소의 위치 관계가 「바로 위」또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들면, 「게이트 절연층 위의 게이트 전극」이라는 표현이라면, 게이트 절연층과 게이트 전극과의 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0022] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」이라는 용어는, 이러한 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 이용되는 일이 있고, 그 반대도 역시 마찬가지이다. 또한, 「전극」이나 「배선」이라는 용어는, 복수의 「전극」이나 「배선」이 일체로 형성되어 있는 경우 등도 포함한다.
- [0023] 또한, 「소스」나 「드레인」의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 바뀌는 경우가 있다. 따라서, 본 명세서 등에서는, 「소스」나 「드레인」이라는 용어는, 바꾸어 이용할 수 있는 것으로 한다.
- [0024] 또한, 본 명세서 등에 있어서, 「전기적으로 접속」에는, 「어떠한 전기적 작용을 가지는 것」을 통하여 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 가지는 것」은, 접속 대상 간에서의 전기 신호의 수신을 가능하게 하는 것이면, 특별히 제한을 받지 않는다.
- [0025] 예를 들면, 「어떠한 전기적 작용을 가지려면」, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외의 각종 기능을 가지는 소자 등이 포함된다.

발명의 효과

- [0026] 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 이용함으로써 매우 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직함)에도, 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다.
- [0027] 또한, 개시하는 발명에 관한 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의

문제도 없다. 예를 들면, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 생기지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제가 되었던 다시쓰기 가능 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다는 메리트도 있다.

[0028] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는, 충분한 고속 동작이 가능하기 때문에, 이것을, 산화물 반도체를 이용한 트랜지스터와 조합하여 이용함으로써, 반도체 장치의 동작(예를 들면, 정보의 관독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적합하게 실현하는 것이 가능하다.

[0029] 이와 같이, 산화물 반도체 이외의 재료를 이용한 트랜지스터(바꿔말하면, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 이용한 트랜지스터(보다 넓은 의미로는, 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 지금까지 없었던 특징을 가지는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 반도체 장치의 회로도.
- 도 2는 반도체 장치의 회로도.
- 도 3은 반도체 장치의 회로도.
- 도 4는 반도체 장치의 타이밍 차트.
- 도 5는 반도체 장치의 회로도.
- 도 6은 반도체 장치의 회로도.
- 도 7은 반도체 장치의 회로도.
- 도 8은 반도체 장치의 회로도.
- 도 9는 반도체 장치의 회로도.
- 도 10은 반도체 장치의 회로도.
- 도 11은 반도체 장치의 단면도 및 평면도.
- 도 12는 반도체 장치의 제작 공정에 관한 단면도.
- 도 13은 반도체 장치의 제작 공정에 관한 단면도.
- 도 14는 반도체 장치의 제작 공정에 관한 단면도.
- 도 15는 반도체 장치의 제작 공정에 관한 단면도.
- 도 16은 반도체 장치의 평면도.
- 도 17은 반도체 장치를 이용한 전자기기를 설명하기 위한 도면.
- 도 18은 산화물 반도체를 이용한 트랜지스터의 특성을 나타내는 도면.
- 도 19는 산화물 반도체를 이용한 트랜지스터의 특성 평가용 회로도.
- 도 20은 산화물 반도체를 이용한 트랜지스터의 특성 평가용 타이밍 차트.
- 도 21은 산화물 반도체를 이용한 트랜지스터의 특성을 나타내는 도면.
- 도 22는 산화물 반도체를 이용한 트랜지스터의 특성을 나타내는 도면.
- 도 23은 산화물 반도체를 이용한 트랜지스터의 특성을 나타내는 도면.

도 24는 계산에 이용한 트랜지스터의 구조를 나타내는 단면도.

도 25는 계산에 의해 구해진 트랜지스터의 특성을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 실시형태의 일례에 대하여, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0032] 또한, 도면 등에서 나타내는 각 구성의 위치, 크기, 범위 등은 이해를 쉽게 하기 위해, 실제의 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 따라서, 개시하는 발명은 반드시, 도면 등에 개시된 위치, 크기, 범위에 한정되지 않는다.
- [0033] [0033]
- [0034] 또한, 본 명세서 등에서의 「제 1」, 「제 2」, 「제 3」 등의 서수는 구성 요소의 혼동을 피하기 위해 붙인 것이며, 수적으로 한정하는 것이 아니라는 것을 부기한다.
- [0035] (실시형태 1)
- [0036] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 회로 구성 및 동작에 대하여, 도 1 내지 도 9를 참조하여 설명한다. 또한, 회로도에 있어서는, 산화물 반도체를 이용한 트랜지스터인 것을 나타내기 위해, OS의 부호를 아울러 붙인 경우가 있다.
- [0037] <기본 회로>
- [0038] 먼저, 기본적인 회로 구성 및 그 동작에 대하여, 도 1을 참조하여 설명한다. 도 1(A)에 나타내는 반도체 장치에 있어서, 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(166)의 드레인 전극(또는 소스 전극)은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 드레인 전극(또는 소스 전극)은 전기적으로 접속되고, 트랜지스터(160)의 드레인 전극(또는 소스 전극)과 트랜지스터(166)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되어 있다. 또한, 제 5 배선(5th Line)과 트랜지스터(166)의 게이트 전극은 전기적으로 접속되어 있다.
- [0039] 여기서, 트랜지스터(162)에는, 예를 들면, 산화물 반도체를 이용한 트랜지스터가 적용된다. 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작다는 특징을 가지고 있다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간에 걸쳐서 보유하는 것이 가능하다.
- [0040] 또한, 트랜지스터(160), 트랜지스터(166)에 대해서는 특별히 한정되지 않는다. 정보의 관독 속도를 향상시킨다는 관점에서는, 예를 들면, 단결정 실리콘을 이용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다.
- [0041] 또한, 도 1(B)에 나타내는 바와 같이, 트랜지스터(160)의 게이트 전극 및 트랜지스터(162)의 드레인 전극(또는 소스 전극)과, 전극의 한쪽이 전기적으로 접속되도록, 용량 소자(168)를 형성해도 좋다. 용량 소자(168)의 전극의 다른 한쪽은 소정의 전위가 부여되고 있다. 소정의 전위란, 예를 들면 GND 등이다. 또한, 용량 소자(168)의 전극의 다른 한쪽은 제 1 배선과 전기적으로 접속되어 있어도 좋다. 그리고, 용량 소자(168)를 형성함으로써, 트랜지스터(160)의 게이트 전극에 많은 전하를 보유할 수 있어, 정보의 보유 특성을 향상시킬 수 있다.
- [0042] 도 1(A)에 나타내는 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위가 보유 가능하다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 보유, 관독이 가능하다.
- [0043] 먼저, 정보의 기입 및 보유에 대하여 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이것에 의해 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극에 부여된다. 즉, 트랜지스터(160)의 게이트 전극에는, 소정의 전하가 부여된다(기입). 여기에서는, 다른

2개의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하(Q_L), 고전위를 부여하는 전하를 전하(Q_H)라고 함) 중 어느 것인가가 부여되는 것으로 한다. 또한, 다른 3개 또는 그 이상의 전위를 부여하는 전하를 적용하여, 기억 용량을 향상시켜도 좋다. 그 후, 제 4 배선의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하가 보유된다(보유).

- [0044] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 보유된다.
- [0045] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정전위)를 부여한 상태로, 제 5 배선에 적절한 전위(판독 전위)를 부여하고, 트랜지스터(166)를 온 상태로 하면, 트랜지스터(160)의 게이트 전극에 보유된 전하량에 따라, 제 2 배선은 다른 전위를 취한다. 이것은, 기입에 있어서 Q_H 가 부여된 경우에는, 트랜지스터(160)는 「온 상태」가 되고, Q_L 이 부여된 경우에는, 트랜지스터(160)는 「오프 상태」가 되기 때문이다. 따라서, 제 2 배선의 전위를 보는 것으로, 보유되어 있는 정보를 읽어낼 수 있다.
- [0046] 또한, 메모리 셀을 어레이 형상으로 배치하여 이용하는 경우에는, 소망의 메모리 셀의 정보만을 읽어낼 수 있는 것이 요구된다. 따라서, 위에서 설명한 바와 같이, 정보에 따른 전하가 게이트 전극에 보유된 트랜지스터(160)와 제 2 배선과의 사이에, 제 5 배선이 게이트 전극에 접속된 트랜지스터(166)를 형성하는 것이 바람직하다. 이와 같이 하여, 판독 대상의 메모리 셀의 제 5 배선에 적절한 전위를 부여하여 트랜지스터(166)를 온 상태로 하고, 판독 대상이 아닌 메모리 셀의 제 5 배선에 대하여 트랜지스터(166)가 오프 상태가 되는 전위, 예를 들면 접지 전위 등을 부여하여, 트랜지스터(166)를 오프 상태로 하면 좋다. 이것에 의해, 각 메모리 셀의 트랜지스터(160)의 게이트 전극에 보유된 전하에 의하지 않고, 판독 대상이 아닌 메모리 셀의 트랜지스터(160)와 제 2 배선 사이에 전기적으로 접속되는 이 메모리 셀의 트랜지스터(166)를 선택적으로 오프 상태로 할 수 있다. 따라서, 판독 대상의 메모리 셀에 접속된 제 2 배선의 전위만을 볼 수 있으므로, 메모리 셀을 어레이 형상으로 배치해도, 소망의 메모리 셀의 정보만을 용이하게 읽어낼 수 있다.
- [0047] 다음에, 정보의 다시쓰기에 대하여 설명한다. 정보의 다시쓰기는, 상기 정보의 기입 및 보유와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위(새로운 정보에 관한 전위)가 트랜지스터(160)의 게이트 전극에 부여된다. 그 후, 제 4 배선의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은 새로운 정보에 관한 전하가 부여된 상태가 된다.
- [0048] 이와 같이, 개시하는 발명에 관한 반도체 장치는, 재차의 정보의 기입에 의해 직접적으로 정보를 다시 쓰는 것이 가능하다. 따라서 플래시 메모리 등에 있어 필요한 고전압을 이용한 플로팅 게이트로부터의 전하의 추출이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.
- [0049] 또한, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 불휘발성 메모리 소자로서 이용하는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 얻는다. 이하에 있어서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과 트랜지스터(160)의 게이트 전극이 전기적으로 접속되는 부위를 노드(FG)라고 부르는 경우가 있다. 트랜지스터(162)가 오프인 경우, 이 노드(FG)는 절연체 중에 매설되었다고 볼 수 있고, 노드(FG)에는 전하가 보유된다. 산화물 반도체를 이용한 트랜지스터(162)의 오프 전류는 실리콘 반도체 등으로 형성되는 트랜지스터의 10만 분의 1 이하이기 때문에, 트랜지스터(162)의 리크에 의한, 노드(FG)에 축적된 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 이용한 트랜지스터(162)에 의해, 전력의 공급이 없어도 정보의 보유가 가능한 불휘발성의 기억 장치를 실현하는 것이 가능하다.
- [0050] 예를 들면, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10 zA(1 zA(zeptoampere)는 1×10^{-21} A) 이하인 경우에는, 10^4 초 이상의 데이터 보유를 행하는 것도 가능하다. 또한, 이 보유 시간이 트랜지스터 특성이나 용량값에 따라 변동한다는 것은 말할 필요도 없다.
- [0051] 또한, 개시하는 발명의 반도체 장치에 있어서는, 종래의 플로팅 게이트형 트랜지스터에서 지적되는 게이트 절연막(터널 절연막)의 열화라는 문제가 존재하지 않는다. 즉, 종래 문제가 되었던, 플로팅 게이트로의 전자의 주입 또는 플로팅 게이트로부터의 전자의 추출에 의한 게이트 절연막의 열화라는 문제를 해소할 수 있다.

이것은, 원리적인 기입 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기입이나 소거 시에 필요한 고전압도 불필요하다.

[0052] 또한, 반도체 장치의 기억 용량을 크게 하기 위해서는, 다식화의 방법을 취할 수도 있다. 예를 들면, 메모리 셀의 하나에 3 단계 이상의 정보를 기입하는 구성으로 함으로써, 2 단계(1 비트)의 정보를 기입하는 경우와 비교하여 기억 용량을 증대시킬 수 있다. 예를 들면, 상술한 바와 같은, 저전위를 부여하는 전하(Q_L), 고전위를 부여하는 전하(Q_H)에 더하여, 다른 전위를 부여하는 전하(Q)를 트랜지스터(160)의 게이트 전극에 부여함으로써, 다식화(multilevel technique)를 실현할 수 있다. 이 경우, 비교적 규모가 큰 회로 구성을 채용해도 충분한 기억 용량을 확보할 수 있다.

[0053] <응용예 1>

[0054] 다음에, 도 1에 나타내는 회로를 응용한 보다 구체적인 회로 구성 및 동작에 대하여, 도 2 내지 도 5를 참조하여 설명한다.

[0055] 도 2(A) 및 도 2(B)는 $(m \times n)$ 개의 메모리 셀(170)을 가지는 반도체 장치의 회로도이다. 도 2 중의 메모리 셀(170)의 구성은 도 1(B)과 마찬가지로이다. 즉, 도 1(B)의 제 1 배선이 도 2(B)의 소스선(SL)에 상당하고, 도 1(B)의 제 2 배선이 도 2의 비트선(BL)에 상당하고, 도 1(B)의 제 3 배선이 도 2의 신호선(S)에 상당하고, 도 1(B)의 제 4 배선이 도 2의 기입 워드선(WWL)에 상당하고, 도 1(B)의 제 5 배선이 도 2의 판독 워드선(RWL)에 상당한다(도 2(B) 참조). 단, 도 2(A)에서는, 도 1(B)의 제 1 배선인 소스선(SL)은 생략되어 있다.

[0056] 도 2에 나타내는 반도체 장치는, m 개(m 은 2 이상의 정수)의 기입 워드선(WWL)과, m 개의 판독 워드선(RWL)과, n 개(n 은 2 이상의 정수)의 비트선(BL)과, n 개의 신호선(S)과, 메모리 셀(170)이 세로 m 개(행) \times 가로 n 개(열)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, n 개의 비트선(BL) 및 n 개의 신호선(S)에 접속하는 제 1 구동 회로(190)와, m 개의 기입 워드선(WWL) 및 m 개의 판독 워드선(RWL)에 접속하는 제 2 구동 회로(192)를 가진다. 여기서, 각 메모리 셀(170)은 각 소스선(SL)과 비트선(BL)의 사이에 병렬로 접속되어 있다. 또한, 제 1 구동 회로(190), 및 제 2 구동 회로(192)를, 배선(WRITE) 및 배선(READ)에 의해 접속하는 구성으로 하는 것이 바람직하다.

[0057] 그 외, 제 2 구동 회로(192)에는 어드레스 선택 신호선(A₁) 내지 어드레스 선택 신호선(A_m)이 접속되어 있다. 어드레스 선택 신호선(A₁) 내지 어드레스 선택 신호선(A_m)은 메모리 셀의 행방향의 어드레스를 선택하는 신호를 전달하는 배선이다.

[0058] 도 3에, 도 2에 나타내는 반도체 장치에서의 제 1 구동 회로(190) 및 제 2 구동 회로(192)의 구체적 구성의 일례를 나타낸다. 단, 제 1 구동 회로(190) 및 제 2 구동 회로(192)의 구성은 이것에 한정되는 것은 아니다.

[0059] 도 3에서, 제 1 구동 회로(190)는 입력 단자와 접속한 제어 회로(202)와, 제어 회로(202)와 접속한 지연 회로(204)와, 지연 회로(204) 및 신호선(S)과 접속한 버퍼 회로(206)와, 비트선과 접속한 판독 회로(208)와, 판독 회로(208)로부터의 신호를 출력하는 출력 단자를 가지고 있다.

[0060] 또한, 도 3에서, 제 2 구동 회로(192)는 어드레스 선택 신호선(A₁) 내지 어드레스 선택 신호선(A_m)과 접속한 디코더(210)와, 디코더(210)와 접속한 제어 회로(212)와, 제어 회로(212) 및 기입 워드선(WWL)과 접속한 버퍼 회로(216)와, 제어 회로(212) 및 판독 워드선(RWL)과 접속한 버퍼 회로(218)를 가지고 있다. 여기에서는, 제 2 구동 회로(192)로부터 기입 워드선(WWL) 및 판독 워드선(RWL)에 접지 전위(GND) 또는 전원 전위(VDD)가 출력된다.

[0061] 도 2에 나타내는 반도체 장치에 있어서, 데이터의 기입, 보유, 및 판독은, 기본적으로 도 1의 경우와 마찬가지로이다. 즉, 구체적인 기입의 동작은 이하와 같이 된다. 또한, 여기에서는 일례로서 노드(FG)에 전위(V1)(전원 전위(VDD)보다 트랜지스터(162)의 스레숄드값분 낮은 전위) 또는 접지 전위(GND)의 어느 것인가를 부여하는 경우에 대하여 설명하지만, 노드(FG)에 부여하는 전위의 관계는 이것에 한정되지 않는다. 또한, 노드(FG)에 전위(V1)를 부여한 경우에 보유되는 데이터를 데이터 "1", 노드(FG)에 접지 전위(GND)(0 V)를 부여한 경우에 보유되는 데이터를 데이터 "0"으로 한다.

[0062] 우선, 기입 대상의 메모리 셀(170)에 접속되는 판독 워드선(RWL)의 전위를 GND로 하고, 기입 워드선(WWL)의 전위를 VDD로 하여 메모리 셀(170)을 선택한다.

[0063] 메모리 셀(170)에 데이터 "0"을 기입하는 경우, 신호선(S)에는 GND를 부여하고, 메모리 셀(170)에 데이터 "1"을

기입하는 경우, 신호선(S)에는 트랜지스터(162)에서 발생하는 스레숄드값분의 전위의 저하를 고려한 전위를 부여한다.

- [0064] 데이터의 보유는 기입 워드선(WWL)의 전위를 접지 전위(GND)로 함으로써 행해진다.
- [0065] 기입 워드선(WWL)에는 접지 전위(GND)가 부여되고 있기 때문에, 데이터 "1"과 데이터 "0"의 어느 것이 기입된 경우에도, 트랜지스터(162)는 오프 상태가 된다. 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 보유된다.
- [0066] 데이터의 판독은 판독 워드선(RWL)의 전위를 VDD로 하고, 기입 워드선(WWL)의 전위를 GND로 하여 판독 대상의 메모리 셀(170)을 선택하여 행해진다. 여기서, 각 메모리 셀(170)에는 데이터에 따른 전하가 게이트 전극에 보유된 트랜지스터(160)와 비트선(BL)과의 사이에, 판독 워드선(RWL)이 게이트 전극에 접속된 트랜지스터(166)가 설치되어 있다. 따라서, 판독 대상이 아닌 메모리 셀에 접속된 판독 워드선(RWL)의 전위를 GND로 함으로써, 판독 대상의 메모리 셀(170)을 용이하게 선택할 수 있다. 이와 같이, 데이터의 판독 시의 판독 워드선(RWL)의 전위는, 전위(VDD) 또는 접지 전위(GND)로 하면 좋으므로, 도 2에 나타내는 반도체 장치에 있어서 전위 변환 회로를 형성하거나, 외부에 별도 전원을 형성할 필요가 없다.
- [0067] 판독 워드선(RWL)의 전위를 GND에서 VDD로 상승시키면, 트랜지스터(166)의 게이트 전극의 전위가 상승하여 스레숄드값 이상이 되고, 트랜지스터(166)는 온 상태가 된다.
- [0068] 상술한 판독 동작에 의해, 메모리 셀(170)에 데이터 "1"(전위(V1))이 기입되어 있는 경우에는, 트랜지스터(160)가 온 상태가 되어, 비트선(BL)의 전위가 저하된다. 또한, 데이터 "0"(접지 전위(GND))이 기입되어 있는 경우에는, 트랜지스터(160)가 오프 상태가 되어, 판독 개시시의 비트선(BL)의 전위가 유지되거나, 또는 상승한다.
- [0069] 도 4에는, 도 2에 관한 반도체 장치의 보다 상세한 동작에 관한 타이밍 차트의 예를 나타낸다. 타이밍 차트 중의 READ, A 등의 명칭은, 타이밍 차트에 나타내는 전위가 부여되는 배선을 나타내고, 같은 기능을 가지는 배선이 다수 있는 경우에는, 배선의 명칭의 말미에 _1, _2 등을 붙임으로써 구별하고 있다. 또한, 여기에서는 설명을 간단하게 하기 위해, 메모리 셀(170)이 2(행)×2(열)로 배열된 반도체 장치를 예에 설명하지만, 개시하는 설명은 이것에 한정되지 않는다.
- [0070] 도 4에 나타나는 타이밍 차트는, 모든 메모리 셀에 데이터 "1"을 기입(기입 1)하고, 그 후, 기입된 모든 데이터를 판독(판독 1)하고, 다음에, 제 1 행 제 1 열의 메모리 셀 및 제 2 행 제 2 열의 메모리 셀에 데이터 "1"을 기입함과 동시에, 제 1 행 제 2 열의 메모리 셀 및 제 2 행 제 1 열의 메모리 셀에 데이터 "0"을 기입(기입 2)하고, 그 후, 기입된 모든 데이터를 읽어내는(판독 2) 경우의 각 배선의 전위의 관계를 나타내는 것이다.
- [0071] [0067]
- [0072] 기입 1에 있어서, WRITE를 고전위로 하고, READ를 저전위로 하여, 제 1 구동 회로(190) 및 제 2 구동 회로(192)를 메모리 셀에의 기입을 행할 수 있는 상태로 한다. 제 2 구동 회로(192)는, A_1, A_2의 전위에 따른 행 선택 신호를 WWL에 출력한다. 여기에서는, A_1, A_2가 고전위인 경우에는 대상의 행이 선택되는 것으로 한다. 또한, 선택된 행의 WWL은 고전위가 되고, RWL은 선택, 비선택에 상관없이 저전위가 된다.
- [0073] 기입 1에서는, 모든 메모리 셀에 데이터 "1"을 기입하기 때문에, 행 선택의 타이밍에 맞추어, S_1 및 S_2를 고전위로 한다. 또한, S_1 및 S_2의 신호 입력 기간은 WWL의 신호 입력 기간과 같은 기간, 또는 WWL의 신호 입력 기간보다 길어지도록 한다. 또는, S_1 및 S_2의 신호 입력을, WWL의 신호 입력보다 늦춘다. S_1 및 S_2의 신호 입력 기간이 WWL의 신호 입력 기간보다 짧으면, 메모리 셀에의 기입이 불충분하게 될 가능성이 있기 때문이다. S_1 및 S_2의 신호 입력 기간을 WWL의 신호 입력 기간보다 길게 하기 위해서는, S_1이나 S_2에 지연 회로를 접속하고, S_1이나 S_2의 신호 입력을, WWL의 신호 입력보다 늦추는 것이 바람직하다. 또는, S_1이나 S_2에 접속되는 버퍼 회로를 구성하는 트랜지스터의 채널 길이를, WWL에 접속되는 버퍼 회로를 구성하는 트랜지스터의 채널 길이보다 크게 하고, S_1 및 S_2의 신호 입력을, WWL의 신호 입력보다 늦추면 좋다. 또는, S_1이나 S_2에 접속되는 버퍼 회로를 구성하는 트랜지스터의 채널폭을, WWL에 접속되는 버퍼 회로를 구성하는 트랜지스터의 채널폭보다 작게 하고, S_1 및 S_2의 신호 입력을, WWL의 신호 입력보다 늦추면 좋다. 또한, BL_1 및 BL_2의 전위는 기입시에는 문제가 되지 않는다(고전위여도 좋고 저전위여도 좋다).
- [0074] 판독 1에서는, READ를 고전위로 하고, WRITE를 저전위로 하여, 제 1 구동 회로(190) 및 제 2 구동 회로(192)를 메모리 셀로부터의 판독을 행할 수 있는 상태로 한다. 제 2 구동 회로(192)는 A_1, A_2에 따른 행 선택 신호를 RWL에 출력한다. 여기에서는, A_1, A_2가 고전위인 경우에는 대상의 행이 선택되는 것으로 한다. 또한, 선택된

행의 RWL는 고전위가 되고, WWL는 선택, 비선택에 상관없이 저전위가 된다.

- [0075] 상술한 동작에 의해, BL₁ 및 BL₂에는 선택된 행의 메모리 셀에 보유되어 있는 데이터에 따른 전위가 부여된다. 또한, S₁ 및 S₂의 전위는 판독시에는 문제가 되지 않는다.
- [0076] 기입 2에 있어서의 각 배선의 전위의 관계는, 기입 1의 경우와 마찬가지로이다. 단, 제 1 행 제 1 열의 메모리 셀 및 제 2 행 제 2 열의 메모리 셀에 데이터 "1"을 기입함과 동시에, 제 1 행 제 2 열의 메모리 셀 및 제 2 행 제 1 열의 메모리 셀에 데이터 "0"을 기입하기 위해, 행 선택의 타이밍에 맞추어, S₁ 및 S₂를 저전위 또는 고전위로 한다.
- [0077] 판독 2에서의 각 배선의 전위의 관계는, 판독 1의 경우와 마찬가지로이다. BL₁ 및 BL₂에는, 선택된 행의 메모리 셀에 보유되어 있는 데이터에 따른 전위가 부여된다는 것을 알 수 있다.
- [0078] 또한, 상술한 기입 동작에 있어서, 기입 워드선(WWL)에 입력되는 신호보다 신호선(S)에 입력되는 신호를 늦추기 위해서는, 도 5에 나타내는 지연 회로를, 도 3에 나타내는 제 1 구동 회로(190) 내의 지연 회로(204)로서 이용하여, 신호선(S)과 접속하는 것이 바람직하다. 지연 회로(204)와 신호선(S)을 접속함으로써, 기입 워드선(WWL)의 전위의 변화보다 신호선(S)의 전위의 변화를 늦출 수 있어, 메모리 셀(170)에의 정보의 기입을 충분히 행할 수 있다.
- [0079] 지연 회로로서 예를 들면, 도 5(A)에 나타내는 바와 같은 짝수개의 인버터 회로를 직렬로 접속한 회로를 이용할 수 있다. 또는, 도 5(B)에 나타내는 바와 같이, 직렬로 접속한 짝수개의 인버터 회로의 사이에 용량 소자를 부가한 구성이나, 도 5(C)에 나타내는 바와 같이, 직렬로 접속한 짝수개의 인버터 회로의 사이에 저항을 부가한 구성으로 해도 좋다. 또는, 도 5(D)에 나타내는 바와 같이, 직렬로 접속한 짝수개의 인버터 회로의 사이에, 저항 및 용량 소자를 부가한 구성으로 해도 좋다. 또한, 도 5(E)에 나타내는 바와 같이, 직렬로 접속한 짝수개의 인버터 회로의 사이에, 아날로그 스위치 및 용량 소자를 부가한 구성으로 해도 좋다. 여기서, 아날로그 스위치는 항상 온 상태로 하고 있어, 저항으로서 기능한다. 또한, 아날로그 스위치는, 기생 용량을 가지므로, 더욱 지연 효과를 향상시킬 수 있다.
- [0080] 또는, 상술한 기입 동작에 있어서, 기입 워드선(WWL)에 입력되는 신호보다 신호선(S)에 입력되는 신호를 늦추기 위해, 제 1 구동 회로(190) 및 제 2 구동 회로(192)에 설치되는 버퍼 회로에 있어서, 제 2 구동 회로(192)가 가지는 버퍼 회로의 트랜지스터의 채널 길이보다, 제 1 구동 회로(190)가 가지는 버퍼 회로의 트랜지스터의 채널 길이를 크게 해도 좋다. 또는, 제 1 구동 회로(190) 및 제 2 구동 회로(192)에 설치되는 버퍼 회로에 있어서, 제 2 구동 회로(192)가 가지는 버퍼 회로의 트랜지스터의 채널폭보다, 제 1 구동 회로(190)가 가지는 버퍼 회로의 트랜지스터의 채널폭을 작게 해도 좋다. 이 경우에도, 기입 워드선(WWL)의 전위의 변화보다, 신호선(S)의 전위의 변화를 늦출 수 있어, 메모리 셀(170)에의 기입 미스를 억제할 수 있다.
- [0081] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0082] <응용예 2>
- [0083] 도 2에 나타내는 회로 구성은 다른 회로 구성에 대하여, 도 6 내지 도 9를 참조하여 설명한다.
- [0084] 도 6(A) 및 도 6(B)은 (m×n)개의 메모리 셀(170)을 가지는 반도체 장치의 회로도의 일례이다. 도 6 중의 메모리 셀(170)의 구성은 도 2와 마찬가지로이므로, 상세한 설명은 생략한다.
- [0085] 도 6에 나타내는 반도체 장치는 m개(m은 2 이상의 정수)의 기입 워드선(WWL)과, m개의 판독 워드선(RWL)과, n개(n은 2 이상의 정수)의 비트선(BL)과, n개의 신호선(S)과, 메모리 셀(170)이 세로 m개(행)×가로 n개(열)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, 전위 변환 회로(180)와, n개의 비트선(BL) 및 n개의 신호선(S)에 접속하는 제 1 구동 회로(190)와, m개의 기입 워드선(WWL) 및 m개의 판독 워드선(RWL)에 접속하는 제 2 구동 회로(192)를 가진다. 여기서, 전위 변환 회로(180)는 배선(VHL)에 의해 제 2 구동 회로(192)와 접속되고, 제 2 구동 회로(192)에 전위 전위보다 높은 전위(고전위: VH)를 출력한다. 또한, 본 실시형태에서는, 배선(WRITE)을 전위 변환 회로(180)에 접속함으로써, 제 1 구동 회로(190)의 출력에 맞추어 전위를 변환하는 구성으로 하고 있다. 또한, 제 1 구동 회로(190), 및 제 2 구동 회로(192)를, 배선(WRITE) 및 배선(READ)에 의해 접속하는 구성으로 하는 것이 바람직하다.
- [0086] 그 외, 제 2 구동 회로(192)에는 어드레스 선택 신호선(A)이 접속되어 있다. 어드레스 선택 신호선(A)은 메모리

리 셀의 행방향의 어드레스를 선택하는 신호를 전달하는 배선이다.

- [0087] [0081]
- [0088] 도 7에, 도 6에 나타내는 반도체 장치에서의 제 1 구동 회로(190) 및 제 2 구동 회로(192)의 구체적인 구성의 일례를 나타낸다. 단, 제 1 구동 회로(190) 및 제 2 구동 회로(192)의 구성은 이것에 한정되는 것은 아니다.
- [0089] [0082]
- [0090] 도 7에 있어서, 제 1 구동 회로(190)는 입력 단자와 접속한 제어 회로(202)와, 제어 회로(202)와 접속한 지연 회로(204)와, 지연 회로(204) 및 신호선(S)과 접속한 버퍼 회로(206)와, 비트선과 접속한 판독 회로(208)와, 판독 회로(208)로부터의 신호를 출력하는 출력 단자를 가지고 있다. 또한, 지연 회로(204)에 대해서는, 도 5에 나타내는 회로와 같은 회로를 이용할 수 있다.
- [0091] 또한, 도 7에 있어서, 제 2 구동 회로(192)는 어드레스 선택 신호선(A)과 접속한 디코더(210)와, 디코더(210)와 접속한 제어 회로(212)와, 제어 회로(212)와 접속한 승압용 레벨 시프터(214_H)와, 승압용 레벨 시프터(214_H) 및 기입 워드선(WWL)과 접속한 버퍼 회로(216)와, 제어 회로(212) 및 판독 워드선(RWL)과 접속한 버퍼 회로(218)를 가지고 있다. 제 2 구동 회로(192)에 포함되는 승압용 레벨 시프터(214_H)는, 전위 변환 회로(180)로 변환된 전위(VH)를 이용하여 신호의 진폭 변환을 행한다. 여기에서는, 기입 워드선(WWL)에는 GND 또는 VH가 출력되고, 판독 워드선(RWL)에는 GND 또는 VDD가 출력된다.
- [0092] 도 6에 나타내는 반도체 장치에 있어서, 데이터의 기입, 보유, 및 판독은 도 2의 경우와 같다. 단, 도 6에 나타내는 구성에서는, 기입 시에, 기입 워드선(WWL)의 전위를 전원 전위보다 높은 전위(VH)로 할 수 있다. 이것에 의해, 신호선(S)를 통하여 노드(FG)에 부여되는 전위가, 트랜지스터(162)에서 스레숄드값분 저하되는 것을 막을 수 있다. 이 때문에, 노드(FG)에 충분히 높은 전위(예를 들면, VDD)를 부여할 수 있고, 보다 장기간의 데이터 보유가 가능하게 된다. 또한, 데이터의 식별력이 향상된다.
- [0093] 전위 변환 회로(180)에는, 승압 회로 등을 이용할 수 있다. 도 8에 4단의 승압을 행하는 승압 회로의 일례를 나타낸다. 도 8에서, 제 1 트랜지스터(1300)의 입력 단자(여기에서는, 소스 단자 또는 드레인 단자이며, 게이트 단자와 접속되어 있는 단자를 말함)에는 전원 전위(VDD)가 공급된다. 제 1 트랜지스터(1300)의 출력 단자(여기에서는, 소스 단자 또는 드레인 단자이며, 게이트 단자와 접속되어 있지 않은 단자를 말함)에는 제 2 트랜지스터(1310)의 입력 단자 및 제 1 용량 소자(1350)의 한쪽의 단자가 접속되어 있다. 마찬가지로, 제 2 트랜지스터(1310)의 출력 단자에는 제 3 트랜지스터(1320)의 입력 단자 및 제 2 용량 소자(1360)의 한쪽의 단자가 접속되어 있다. 이하, 마찬가지로이므로 상세한 설명은 생략하지만, 제 n 트랜지스터의 출력 단자에는 제 n 용량 소자의 한쪽의 단자가 접속되어 있다고 할 수도 있다(n: 자연수). 도 8에서는, 최종단의 트랜지스터의 출력 단자에는, 전원(VDD)과 접속한 트랜지스터(1390)가 접속되어 있지만, 이 구성에 한정되지 않는다. 예를 들면, 접지 전위(GND)와 접속한 용량을 더 부가한 구성으로 해도 좋다. 또한, 도 8에서는, 제 5 트랜지스터(1340)의 출력이 승압 회로의 출력(VH)이 된다.
- [0094] 또한, 제 2 용량 소자(1360)의 다른 한쪽의 단자 및 제 4 용량 소자(1380)의 다른 한쪽의 단자에는, 클록 신호(CP_CLK)가 입력된다. 또한, 제 1 용량 소자(1350)의 다른 한쪽의 단자 및 제 3 용량 소자(1370)의 다른 한쪽의 단자에는, 클록 신호(CP_CLK)를 반전시킨 클록 신호가 입력된다. 즉, 제 2k 용량 소자의 다른 한쪽의 단자에는 클록 신호(CP_CLK)가 입력되고, 제 2k-1 용량 소자의 다른 한쪽의 단자에는 그 반전 클록 신호가 입력된다고 할 수 있다(k: 자연수). 물론, 클록 신호(CP_CLK)와 반전 클록 신호는 바꾸어 이용할 수 있다.
- [0095] 클록 신호(CP_CLK)가 Low인 경우, 즉 반전 클록 신호가 High인 경우에는, 제 2 용량 소자(1360) 및 제 4 용량 소자(1380)가 충전된다. 반전 클록 신호와 용량 결합하는 노드(N1) 및 노드(N3)의 전위는, 소정의 전압(클록 신호(CP_CLK)의 High와 Low의 전위차에 상당하는 전압)분만큼 올라가게 된다. 한편, 클록 신호(CP_CLK)와 용량 결합하는 노드(N2) 및 노드(N4)의 전위는 소정의 전압분만큼 낮아진다.
- [0096] 이것에 의해, 제 2 트랜지스터(1310), 제 4 트랜지스터(1330)를 통하여 전하가 이동하고, 노드(N2) 및 노드(N4)의 전위가 소정의 값까지 올라간다.
- [0097] 다음에 클록 신호(CP_CLK)가 High가 되어, 반전 클록 신호가 Low가 되면, 노드(N2) 및 노드(N4)의 전위가 더욱 올라간다. 한편, 노드(N1), 노드(N3)의 전위는, 소정의 전압분만큼 낮아진다.
- [0098] 이것에 의해, 제 1 트랜지스터(1300), 제 3 트랜지스터(1320), 제 5 트랜지스터(1340)를 통하여 전하가 이동하고, 그 결과, 노드(N1), 노드(N3) 및 노드(N5)의 전위가 소정의 전위까지 올라가게 된다. 이와 같이, 각각의

노드에서의 전위가 $V_{N5} = V_{N4(CP_CLK = High)} > V_{N3(CP_CLK = Low)} > V_{N2(CP_CLK = High)} > V_{N1(CP_CLK = Low)} > VDD$ 가 됨으로써, 승압이 행해진다. 또한, 승압 회로의 구성은, 4단의 승압을 행하는 것에 한정되지 않는다. 승압 회로의 단수는 적절히 변경할 수 있다. 또한, 제 1 트랜지스터(1300), 제 2 트랜지스터(1310), 제 3 트랜지스터(1320), 제 4 트랜지스터(1330), 제 5 트랜지스터(1340)로서 n 채널형 트랜지스터, 트랜지스터(1390)로서 p 채널형 트랜지스터를 이용할 수 있다.

- [0099] 또한, 승압 회로에 이용하는 트랜지스터로서, 오프 전류 특성의 양호한 산화물 반도체를 포함하는 트랜지스터를 이용함으로써, 각 노드의 전압의 보유 시간을 길게 할 수 있다.
- [0100] 전위 변환 회로(180)로 고전위로 변환된 전위를 이용하여, 제 2 구동 회로(192)에 포함되는 승압용 레벨 시프터에 의해 진폭 변환한 신호를, 기입 워드선(WWL)으로부터 각 메모리 셀(170)로 출력한다. 또한, 전위 변환 회로(180)로 고전위로 변환된 전위를 이용하여, 제 1 구동 회로(190)에 포함되는 승압용 레벨 시프터에 의해 진폭 변환한 신호를, 신호선(S)으로부터 각 메모리 셀(170)로 출력하는 구성으로 해도 좋다.
- [0101] 도 9(A) 및 도 9(B)에, 승압용 레벨 시프터의 회로도예를 나타낸다. 도 9(A)에 나타내는 레벨 시프터의 구성은 이하와 같다. 제 1 p형 트랜지스터(1200)의 소스 단자와 제 3 p형 트랜지스터(1230)의 소스 단자는 모두 전위(VH)를 공급하는 전원에 전기적으로 접속하고 있다. 제 1 p형 트랜지스터(1200)의 드레인 단자는 제 2 p형 트랜지스터(1210)의 소스 단자와 전기적으로 접속되고, 제 3 p형 트랜지스터(1230)의 드레인 단자는 제 4 p형 트랜지스터(1240)의 소스 단자와 전기적으로 접속되어 있다. 제 2 p형 트랜지스터(1210)의 드레인 단자는 제 1 n형 트랜지스터(1220)의 드레인 단자 및 제 3 p형 트랜지스터(1230)의 게이트 단자에 전기적으로 접속되고, 제 4 p형 트랜지스터(1240)의 드레인 단자는 제 2 n형 트랜지스터(1250)의 드레인 단자 및 제 1 p형 트랜지스터(1200)의 게이트 단자와 전기적으로 접속되어 있다. 또한, 제 1 n형 트랜지스터(1220)의 소스 단자와 제 2 n형 트랜지스터(1250)의 소스 단자에는 모두 GND(= 0[V])가 부여되어 있다.
- [0102] 도 9(A)에 있어서, 입력 신호(I)는 제 2 p형 트랜지스터(1210)의 게이트 단자와 제 1 n형 트랜지스터(1220)의 게이트 단자에 입력되고, 입력 신호의 반전 신호(IB)는 제 4 p형 트랜지스터(1240)의 게이트 단자와 제 2 n형 트랜지스터(1250)의 게이트 단자에 입력된다. 출력 신호(O)는 제 4 p형 트랜지스터(1240)의 드레인 단자로부터 취출된다. 또한, 제 2 p형 트랜지스터(1210)의 드레인 단자로부터 출력 신호의 반전 신호(OB)를 취출할 수도 있다.
- [0103] [0095]
- [0104] 도 9(A)에 나타내는 레벨 시프터의 기본적인 동작을 설명한다. 입력 신호(I)에 High가 입력되면, 제 1 n형 트랜지스터(1220)가 도통 상태가 되기 때문에, 제 3 p형 트랜지스터(1230)의 게이트 단자에 전위(GND)가 입력되고, 제 3 p형 트랜지스터(1230)가 도통 상태가 됨과 동시에, 출력 신호의 반전 신호(OB)에는 Low가 출력되고, 이때의 전위는 GND가 된다. 한편, 반전 입력 신호(IB)는 이때 Low이기 때문에, 제 4 p형 트랜지스터(1240)는 도통 상태가 되고, 제 2 n형 트랜지스터(1250)는 비도통 상태가 된다. 여기서, 제 3 p형 트랜지스터(1230)와 제 4 p형 트랜지스터(1240)가 모두 도통 상태가 되기 때문에, 출력 신호(O)에는 High가 출력되고, 이때의 전위는 VH가 된다.
- [0105] 입력 신호(I)의 전위가 Low일 때는, 도 9(A)에 나타내는 레벨 시프터가 대칭 구조를 취하기 때문에, 상기와 마찬가지로 이해할 수 있고, 출력 신호(O)로부터는 Low가 출력되고, 이때의 전위는 GND가 된다.
- [0106] 이와 같이 하여, 입력한 신호에 대하여 진폭을 변환한 출력 신호(O)를 얻을 수 있다.
- [0107] 도 9(B)는, 도 9(A)와는 다른 승압용 레벨 시프터의 회로도예를 나타낸다. 도 9(B)에 나타내는 레벨 시프터의 구성은 이하와 같다. 제 1 p형 트랜지스터(1260)의 소스 단자와 제 2 p형 트랜지스터(1280)의 소스 단자는 모두 전위(VH)를 공급하는 전원에 전기적으로 접속하고 있다. 제 1 n형 트랜지스터(1270)의 드레인 단자는 제 1 p형 트랜지스터(1260)의 드레인 단자 및 제 2 p형 트랜지스터(1280)의 게이트 단자에 전기적으로 접속되고, 제 2 n형 트랜지스터(1290)의 드레인 단자는 제 2 p형 트랜지스터(1280)의 드레인 단자 및 제 1 p형 트랜지스터(1260)의 게이트 단자와 전기적으로 접속되어 있다. 또한, 제 1 n형 트랜지스터(1270)의 소스 단자와 제 2 n형 트랜지스터(1290)의 소스 단자에는 모두 GND(= 0[V])가 부여되어 있다.
- [0108] 도 9(B)에 있어서, 입력 신호(I)는 제 1 n형 트랜지스터(1270)의 게이트 단자에 입력되고, 입력 신호의 반전 신호(IB)는 제 2 n형 트랜지스터(1290)의 게이트 단자에 입력된다. 출력 신호(O)는 제 2 n형 트랜지스터(1290)의 드레인 단자로부터 취출된다. 또한, 제 1 n형 트랜지스터(1270)의 드레인 단자로부터 출력 신호의 반전 신호

(OB)를 취출할 수도 있다.

- [0109] 도 9(B)에 나타내는 레벨 시프터의 기본적인 동작을 설명한다. 입력 신호(I)에 High가 입력되면, 제 1 n형 트랜지스터(1270)는 도통 상태가 되기 때문에, 제 2 p형 트랜지스터(1280)의 게이트 단자에 전위(GND)가 입력되어, 제 2 p형 트랜지스터(1280)가 도통 상태가 됨과 동시에, 출력 신호의 반전 신호(OB)에는 Low가 출력되고, 이때의 전위는 GND가 된다. 한편, 반전 입력 신호(IB)는 이때 Low이기 때문에, 제 2 n형 트랜지스터(1290)는 비도통 상태가 된다. 여기서, 제 2 p형 트랜지스터(1280)가 도통 상태가 되기 때문에, 출력 신호(O)에는 High가 출력되고, 이때의 전위는 VH가 된다.
- [0110] 입력 신호(I)의 전위가 Low일 때는, 도 9(B)에 나타내는 레벨 시프터가 대칭 구조를 취하기 때문에, 상기와 마찬가지로 이해할 수 있고, 출력 신호(O)로부터는 Low가 출력되고, 이때의 전위는 GND가 된다.
- [0111] 이와 같이 하여, 입력한 신호에 대하여 진폭을 변환한 출력 신호(O)를 얻을 수 있다.
- [0112] <판독 회로>
- [0113] 다음에, 도 3 및 도 7에 나타내는 반도체 장치 등에 이용할 수 있는 판독 회로(208)의 일례에 대하여 도 10을 이용하여 설명한다.
- [0114] 도 10(A)에는, 판독 회로의 개략을 나타낸다. 이 판독 회로는, 트랜지스터와 센스 앰프 회로를 가진다.
- [0115] 판독 시에는, 단자(A)는 판독을 행하는 메모리 셀이 접속된 비트선(BL)에 접속된다. 또한, 트랜지스터의 게이트 전극에는 바이어스 전위(Vbias)가 인가되고, 단자(A)의 전위가 제어된다.
- [0116] 메모리 셀(170)은 격납되는 데이터에 따라, 다른 저항값을 나타낸다. 구체적으로는, 선택한 메모리 셀(170)의 트랜지스터(160)가 온 상태인 경우에는 저저항 상태가 되고, 선택한 메모리 셀(170)의 트랜지스터(160)가 오프 상태인 경우에는 고저항 상태가 된다.
- [0117] 메모리 셀이 고저항 상태인 경우, 단자(A)의 전위가 참조 전위(Vref)보다 높아지고, 센스 앰프 회로는 단자(A)의 전위에 대응하는 전위(데이터 "0")를 출력한다. 한편, 메모리 셀이 저저항 상태인 경우, 단자(A)의 전위가 참조 전위(Vref)보다 낮아지고, 센스 앰프 회로는 단자(A)의 전위에 대응하는 전위(데이터 "1")를 출력한다.
- [0118] 이와 같이, 판독 회로를 이용함으로써, 메모리 셀로부터 데이터를 읽어낼 수 있다. 또한, 본 실시형태의 판독 회로는 일례이다. 다른 공지의 회로를 이용해도 좋다. 또한, 판독 회로는 프리차지 회로를 가져도 좋다. 참조 전위(Vref) 대신에 참조용 메모리 셀에 접속된 비트선이 접속되는 구성으로 해도 좋다.
- [0119] 도 10(B)에, 센스 앰프 회로의 일례인 차동형 센스 앰프를 나타낸다. 차동형 센스 앰프는, 입력 단자 Vin(+)과 Vin(-)과 출력 단자(Vout)를 가지고, Vin(+)과 Vin(-)의 차를 증폭한다. Vin(+) > Vin(-)이면 Vout는 대체로 High 출력, Vin(+) < Vin(-)이면 Vout는 대체로 Low 출력이 된다.
- [0120] 도 10(C)에, 센스 앰프 회로의 일례인 래치형 센스 앰프를 나타낸다. 래치형 센스 앰프는 입출력 단자(V1 및 V2)와 제어용 신호(Sp, Sn)의 입력 단자를 가진다. 우선, 신호(Sp)를 High, 신호(Sn)를 Low로 하여, 전원 전위(Vdd)를 차단한다. 그리고, 비교를 행하는 전위를 V1과 V2에 부여한다. 그 후, 신호(Sp)를 Low, 신호(Sn)를 High로 하여 전원 전위(Vdd)를 공급하면, 비교를 행하는 전위(V1in)와 전위(V2in)가 V1in > V2in의 관계에 있으면, V1의 출력은 High, V2의 출력은 Low가 되고, V1in < V2in의 관계에 있으면, V1의 출력은 Low, V2의 출력은 High가 된다. 이러한 관계를 이용하여, V1in과 V2in의 차이를 증폭할 수 있다.
- [0121] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0122] (실시형태 2)
- [0123] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 그 제작 방법에 대하여, 도 11 내지 도 16을 참조하여 설명한다.
- [0124] 도 16은, 도 2(B)에 나타내는 회로에 대응하는 반도체 장치의 평면 레이아웃이다. 기관 위에 트랜지스터(160), 트랜지스터(166) 및 용량 소자(168)가 형성된다. 트랜지스터(160)는 반도체층(220)과, 제 1 게이트 절연층과, 게이트 전극(110a)과, 소스선(SL)으로서도 기능하는 소스 전극 또는 드레인 전극(242a)과, 소스 전극 또는 드레인 전극(242b)을 포함한다. 트랜지스터(166)는 반도체층(220)과, 제 1 게이트 절연층과, 판독 워드선(RWL)으로

서도 기능하는 게이트 전극(110b)과, 소스 전극 또는 드레인 전극(242b)과, 비트선(BL)으로서도 기능하는 소스 전극 또는 드레인 전극(242c)을 포함한다. 용량 소자(168)는 제 1 전극(도전성을 가지는 반도체층(222))과, 콘택트홀을 통하여 소스 전극 또는 드레인 전극(242a)과 접속되는 제 2 전극(도전층(224))과, 유전체로서 기능하는 제 1 게이트 절연층을 포함한다.

[0125] 트랜지스터(160), 트랜지스터(166) 및 용량 소자(168) 위에는, 절연층이 형성되고, 이 절연층 위에 트랜지스터(162)가 설치된다. 트랜지스터(162)는 기입 워드선(WWL)으로서 기능하는 배선(226)과 도전층(240)을 통하여 전기적으로 접속된 게이트 전극(148a)과, 산화물 반도체층(144)과, 제 2 게이트 절연층과, 콘택트홀을 통하여 게이트 전극(110a) 및 반도체층(222)과 전기적으로 접속된 소스 전극(142a)과, 신호선(S)로서 기능하는 배선(156)과 콘택트홀을 통하여 전기적으로 접속된 드레인 전극(142b)을 포함한다. 트랜지스터(162) 위에 절연층을 형성하는 것이 바람직하다.

[0126] 반도체층(220), 도전성을 가지는 반도체층(222)은 후술하는 기관(100)에 이용하는 반도체 재료와 같은 재료를 이용할 수 있다. 또한, 게이트 전극(110a), 게이트 전극(110b)은 후술하는 것과 같은 재료를 이용할 수 있고, 도전층(224) 및 배선(226)도 같은 재료를 이용할 수 있다. 또한, 게이트 전극(148a)은 후술하는 것과 같은 재료를 이용할 수 있다. 또한, 산화물 반도체층(144)은 후술하는 것과 같은 재료를 이용할 수 있다. 또한, 소스 전극(142a) 및 드레인 전극(142b)은 후술하는 것과 같은 재료를 이용할 수 있고, 소스 전극 또는 드레인 전극(242a) 내지 소스 전극 또는 드레인 전극(242c), 도전층(240)도 같은 재료를 이용할 수 있다.

[0127] 이하에 도 16에 나타내는 반도체 장치를 고집적화시킨 평면 레이아웃을 가지는 반도체 장치에 대하여 설명한다.

[0128] [0117]

[0129] <반도체 장치의 단면 구성 및 평면 구성>

[0130] 도 11은, 도 2(B)에 나타내는 회로에 대응하는 반도체 장치를 고집적화시킨 구성의 일례이다. 도 11(A)에는 반도체 장치의 단면을, 도 11(B)에는 반도체 장치의 평면을 각각 나타낸다. 여기서, 도 11(A)은 도 11(B)의 A1-A2 및 B1-B2의 단면에 상당한다. 도 11(A) 및 도 11(B)에 나타내는 반도체 장치는 하부에 제 1 반도체 재료를 이용한 트랜지스터(160) 및 트랜지스터(166)를 가지고, 상부에 제 2 반도체 재료를 이용한 트랜지스터(162)를 가지는 것이다. 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 다른 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 이용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 이용한 트랜지스터는 그 특성에 따라 장시간의 전하 보유를 가능하게 한다.

[0131] 또한, 상기 트랜지스터는, 모두 n 채널형 트랜지스터인 것으로서 설명하지만, p 채널형 트랜지스터를 이용할 수 있다는 것은 말할 필요도 없다. 또한, 개시하는 발명의 기술적인 본질은 정보를 보유하기 위해 산화물 반도체와 같은 오프 전류를 충분히 저감하는 것이 가능한 반도체 재료를 트랜지스터(162)에 이용하는 점에 있기 때문에, 반도체 장치에 이용되는 재료나 반도체 장치의 구조 등 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다. 또한, 도 11에 나타내는 반도체 장치는 트랜지스터(160), 트랜지스터(162) 및 트랜지스터(166)를 탑 게이트 구조로 형성하고 있지만, 반도체 장치에 이용하는 트랜지스터의 구조는 이것에 한정되는 것은 아니다. 예를 들면, 트랜지스터(162)를 보텀 게이트 구조로 형성하도록 해도 좋다.

[0132] 도 11에서의 트랜지스터(160)는 반도체 재료(예를 들면, 실리콘 등)를 포함하는 기관(100)에 형성된 채널 형성 영역(116a)과, 채널 형성 영역(116a)을 끼우도록 형성된 불순물 영역(120a) 및 불순물 영역(120b)과, 불순물 영역(120a) 및 불순물 영역(120b)에 접하는 금속 화합물 영역(124a) 및 금속 화합물 영역(124b)과, 채널 형성 영역(116a) 위에 형성된 게이트 절연층(108a)과, 게이트 절연층(108a) 위에 형성된 게이트 전극(110a)을 가진다. 또한, 도면에 있어서, 명시적으로는 소스 전극이나 드레인 전극을 가지지 않는 경우가 있지만, 편의상, 이러한 상태를 포함하여 트랜지스터라고 부르는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해, 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극이라고 표현하는 경우가 있다. 즉, 본 명세서에 있어서, 소스 전극이라는 기재에는 소스 영역이, 드레인 전극이라는 기재에는 드레인 영역이 포함될 수 있다.

[0133] 또한, 도 11에서의 트랜지스터(166)도 트랜지스터(160)와 마찬가지로, 반도체 재료(예를 들면, 실리콘 등)를 포함하는 기관(100)에 설치된 채널 형성 영역(116b)과, 채널 형성 영역(116b)을 끼우도록 형성된 불순물 영역(120b) 및 불순물 영역(120c)과, 불순물 영역(120b) 및 불순물 영역(120c)에 접하는 금속 화합물 영역(124b) 및 금속 화합물 영역(124c)과, 채널 형성 영역(116b) 위에 형성된 게이트 절연층(108b)과, 게이트 절연층(108b) 위

에 형성된 게이트 전극(110b)을 가진다. 또한, 게이트 전극(110b) 위에 도전층(142c)을 형성함으로써, 트랜지스터(162)의 소스 전극 및 드레인 전극을 에칭 등에 의해 형성할 때에, 게이트 전극(110b)이 동시에 에칭되는 것을 막을 수 있다.

[0134] 또한, 기판(100) 위에는 트랜지스터(160) 및 트랜지스터(166)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(160) 및 트랜지스터(166)를 덮도록 절연층(130)이 형성되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 11에 도시한 바와 같이, 트랜지스터(160) 및 트랜지스터(166)가 사이드 월(side wall) 절연층을 가지지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160) 및 트랜지스터(166)의 특성을 중시하는 경우에는, 게이트 전극(110a) 및 게이트 전극(110b)의 측면에 사이드 월 절연층을 형성하고, 불순물 농도가 다른 영역을 포함하는 불순물 영역(120a) 내지 불순물 영역(120c)을 형성해도 좋다.

[0135] 도 11에서의 트랜지스터(162)는, 절연층(130) 위에 설치된 소스 전극(142a) 및 드레인 전극(142b)과, 소스 전극(142a) 및 드레인 전극(142b)과 전기적으로 접속되어 있는 산화물 반도체층(144)과, 소스 전극(142a), 드레인 전극(142b), 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 설치된 게이트 전극(148a)을 가진다.

[0136] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써, 또는, 충분한 산소가 공급됨으로써, 고순도화된 것인 것이 바람직하다. 구체적으로는, 예를 들면, 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되고 고순도화되어, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는 캐리어 농도가 1×10^{12} /cm³ 미만, 바람직하게는, 1×10^{11} /cm³ 미만, 보다 바람직하게는 1.45×10^{10} /cm³ 미만이 된다. 예를 들면, 트랜지스터(162)의 실온(25℃)에서의 오프 전류(여기에서는, 단위 채널폭(1μm) 당의 값)은 100 zA(1 zA(zeptoampere)는 1×10^{-21} A) 이하, 바람직하게는 10 zA 이하, 보다 바람직하게는 1 zA 이하, 더욱 바람직하게는 100 yA 이하로 할 수 있다. 또한, 트랜지스터(162)의 오프 전류는 낮으면 낮을수록 좋지만, 트랜지스터(162)의 오프 전류의 하한치는 10^{-30} A라고 추측된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 매우 뛰어난 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다.

[0137] 또한, 도 11의 트랜지스터(162)에서는, 미세화에 기인하여 소자 간에 생기는 리크를 억제하기 위해, 섬 형상으로 가공된 산화물 반도체층(144)을 이용하고 있지만, 섬 형상으로 가공되어 있지 않은 구성을 채용해도 좋다. 산화물 반도체층을 섬 형상으로 가공하지 않는 경우에는, 가공 시의 에칭에 의한 산화물 반도체층(144)의 오염을 방지할 수 있다.

[0138] 도 11에서의 용량 소자(168)는, 소스 전극(142a), 산화물 반도체층(144), 게이트 절연층(146), 및 전극(148b)으로 구성된다. 즉, 소스 전극(142a)은 용량 소자(168)의 한쪽의 전극으로서 기능하고, 전극(148b)은 용량 소자(168)의 다른 한쪽의 전극으로서 기능하게 된다.

[0139] 또한, 도 11의 용량 소자(168)에서는, 산화물 반도체층(144)과 게이트 절연층(146)을 적층시킴으로써, 소스 전극(142a)과 전극(148b)과의 사이의 절연성을 충분히 확보할 수 있다. 여기서, 전극(148b)에는 접지 전위 등이 부여되는 것이 바람직하다. 물론, 충분한 용량을 확보하기 위해, 산화물 반도체층(144)을 가지지 않는 구성의 용량 소자(168)를 채용해도 좋다. 또한, 용량이 불필요한 경우에는, 용량 소자(168)를 형성하지 않는 구성으로 하는 것도 가능하다.

[0140] 또한, 트랜지스터(162) 및 용량 소자(168)에 있어서, 소스 전극(142a), 및 드레인 전극(142b)의 단부는 테이퍼 형상인 것이 바람직하다. 소스 전극(142a), 드레인 전극(142b)의 단부를 테이퍼 형상으로 함으로써, 산화물 반도체층(144)의 피복성을 향상하고, 단 끊김을 방지할 수 있기 때문이다. 여기서, 테이퍼각은 예를 들면, 30° 이상 60° 이하로 한다. 또한, 테이퍼각이란, 테이퍼 형상을 가지는 층(예를 들면, 소스 전극(142a))을 그 단면(기판의 표면과 직교하는 면)에 수직인 방향에서 관찰했을 때, 이 층의 측면과 바닥면이 이루는 경사각을 나타낸다.

[0141] 도 11에 나타내는 반도체 장치에서는, 트랜지스터(162) 및 용량 소자(168)가 트랜지스터(160)와 중첩하도록 설치되어 있다. 이와 같은 평면 레이아웃을 채용함으로써, 고집적화가 가능하다. 예를 들면, 최소 가공 치수를

F라고 하고, 메모리 셀이 차지하는 면적을 $15F^2 \sim 25F^2$ 로 하는 것이 가능하다.

- [0142] 트랜지스터(162) 및 용량 소자(168)의 위에는, 절연층(150)이 형성되어 있고, 절연층(150) 위에는 절연층(152)이 형성되어 있다. 그리고, 게이트 절연층(146), 절연층(150), 절연층(152) 등에 형성된 개구에는, 전극(154)이 설치되고, 절연층(152) 위에는 전극(154)과 접속하는 배선(156)이 형성된다. 또한, 도 11에서는 전극(154)을 이용하여, 드레인 전극(142b)과 배선(156)을 접속하고 있지만, 개시하는 발명은 이것에 한정되지 않는다. 예를 들면, 배선(156)을 직접, 드레인 전극(142b)에 접속시켜도 좋다.
- [0143] <반도체 장치의 제작 방법>
- [0144] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 먼저 하부의 트랜지스터(160) 및 트랜지스터(166)의 제작 방법에 대하여 도 12 및 도 13을 참조하여 설명하고, 그 후, 상부의 트랜지스터(162) 및 용량 소자(168)의 제작 방법에 대하여 도 14 및 도 15를 참조하여 설명한다.
- [0145] <하부의 트랜지스터의 제작 방법>
- [0146] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 12(A) 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서 단결정 실리콘 기판을 이용하는 경우의 일례에 대하여 나타내는 것으로 한다. 또한, 일반적으로 「SOI 기판」은 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서 등에서는, 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 형성된 구성의 기판도 포함하는 개념으로서 이용한다. 즉, 「SOI 기판」이 가지는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는 유리 기판 등의 절연 기판 위에 절연층을 통하여 반도체층이 형성된 구성의 것이 포함되는 것으로 한다.
- [0147] 반도체 재료를 포함하는 기판(100)으로서, 특히, 실리콘 등의 단결정 반도체 기판을 이용하는 경우에는, 반도체 장치의 판독 동작을 고속화할 수 있기 때문에 적합하다.
- [0148] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 12(A) 참조). 보호층(102)으로서, 예를 들면, 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 재료로 하는 절연층을 이용할 수 있다. 또한, 이 공정의 전후에 있어서, 트랜지스터의 스톱퍼층 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가해도 좋다. 반도체가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 예를 들면, 인이나 비소 등을 이용할 수 있다. 또한, p형의 도전성을 부여하는 불순물로서는, 예를 들면, 붕소, 알루미늄, 갈륨 등을 이용할 수 있다.
- [0149] 다음에, 상기의 보호층(102)을 마스크로서 에칭을 행하여, 보호층(102)으로 덮이지 않은 영역(노출되어 있는 영역)의 기판(100)의 일부를 제거한다. 이것에 의해 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 12(B) 참조). 이 에칭에는, 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다.
- [0150] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 증착하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 12(C) 참조). 이 절연층은 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서, CMP(화학적 기계적 연마) 등의 연마 처리나 에칭 처리 등이 있지만, 그 중 어느 것을 이용해도 좋다. 또한, 반도체 영역(104)의 형성 후, 또는, 소자 분리 절연층(106)의 형성 후에는 상기 보호층(102)을 제거한다.
- [0151] 다음에, 반도체 영역(104)의 표면에 절연층을 형성하고, 이 절연층 위에 도전 재료를 포함하는 층을 형성한다.
- [0152] 절연층은 후의 게이트 절연층이 되는 것으로, 예를 들면, 반도체 영역(104) 표면의 열처리(열산화 처리나 열질화 처리 등)에 의해 형성할 수 있다. 열처리 대신에, 고밀도 플라즈마 처리를 적용해도 좋다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr, Xe 등의 희가스, 산소, 산화 질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 이용하여 절연층을 형성해도 좋다. 이 절연층은 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y(x>0, y>0)$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_y(x>0, y>0)$), 질소가 첨가된 하프늄 알루미늄네이트($HfAl_xO_y(x>0, y>0)$) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층의 두께는, 예를 들면, 1 nm 이상 100 nm 이하, 바람직하게는 10 nm 이상 50 nm 이하로 할 수 있다.

- [0153] 도전 재료를 포함하는 층은 알루미늄이나 구리, 티탄, 탄탈, 텅스텐 등의 금속 재료를 이용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 이용하여, 도전 재료를 포함하는 층을 형성해도 좋다. 형성 방법도 특별히 한정되는 것은 아니고, 증착법, CVD법, 스퍼터링법, 스핀 코트법 등의 각종 성막 방법을 이용할 수 있다. 또한, 본 실시형태에서는, 도전 재료를 포함하는 층을, 금속 재료를 이용하여 형성하는 경우의 일례에 대하여 나타내기로 한다.
- [0154] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108a), 게이트 절연층(108b), 게이트 전극(110a) 및 게이트 전극(110b)을 형성한다(도 12(C) 참조).
- [0155] 다음에, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가하여, 채널 형성 영역(116a), 채널 형성 영역(116b) 및 불순물 영역(120a) 내지 불순물 영역(120c)을 형성한다(도 12(D) 참조). 또한, 여기에서는 n형 트랜지스터를 형성하기 위해 인이나 비소를 첨가하고 있지만, p형 트랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 좋다. 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다.
- [0156] 또한, 게이트 전극(110a) 및 게이트 전극(110b)의 주위에 사이드 월 절연층을 형성하고, 불순물 원소가 다른 농도로 첨가된 불순물 영역을 형성해도 좋다.
- [0157] 다음에, 게이트 전극(110a) 및 게이트 전극(110b), 불순물 영역(120a) 내지 불순물 영역(120c) 등을 덮도록 금속층(122)을 형성한다(도 13(A) 참조). 이 금속층(122)은 진공 증착법이나 스퍼터링법, 스핀 코트법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 금속층(122)은 반도체 영역(104)을 구성하는 반도체 재료와 반응함으로써 저저항의 금속 화합물이 되는 금속 재료를 이용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들면, 티탄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.
- [0158] 다음에, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이것에 의해, 불순물 영역(120a) 내지 불순물 영역(120c)에 접하는 금속 화합물 영역(124a) 내지 금속 화합물 영역(124c)이 형성된다(도 13(A) 참조). 또한, 게이트 전극(110a) 및 게이트 전극(110b)으로서 다결정 실리콘 등을 이용하는 경우에는, 게이트 전극(110a) 및 게이트 전극(110b)의 금속층(122)과 접촉하는 부분에도, 금속 화합물 영역이 형성되게 된다.
- [0159] 상기 열처리로서는, 예를 들면, 플래시 램프의 조사에 의한 열처리를 이용할 수 있다. 물론, 그 외의 열처리 방법을 이용해도 좋지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 매우 단시간의 열처리를 실현할 수 있는 방법을 이용하는 것이 바람직하다. 또한, 상기의 금속 화합물 영역은 금속 재료와 반도체 재료와의 반응에 의해 형성되는 것이고, 충분히 도전성이 높여진 영역이다. 이 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하여, 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124a) 내지 금속 화합물 영역(124c)을 형성한 후에는, 금속층(122)을 제거한다.
- [0160] 다음에, 상술한 공정에 의해 형성된 각 구성을 덮도록, 절연층(130)을 형성한다(도 13(B) 참조). 절연층(130)은 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 특히, 절연층(130)에 유전율이 낮은 (low-k) 재료를 이용함으로써, 각종 전극이나 배선의 중첩에 기인하는 용량을 충분히 저감하는 것이 가능하게 되기 때문에 바람직하다. 또한, 절연층(130)에는, 이러한 재료를 이용한 다공성의 절연층을 적용해도 좋다. 다공성의 절연층에서는, 밀도가 높은 절연층과 비교하여 유전율이 저하되기 때문에, 전극이나 배선에 기인하는 용량을 더욱 저감하는 것이 가능하다. 또한, 절연층(130)은 폴리이미드, 아크릴 등의 유기 절연 재료를 이용하여 형성하는 것도 가능하다. 또한, 절연층(130)은 단층의 구조로 해도 좋고, 2층 이상의 적층 구조로 해도 좋다.
- [0161] 이상에 의해, 반도체 재료를 포함하는 기판(100)을 이용한 트랜지스터(160) 및 트랜지스터(166)가 형성된다(도 13(B) 참조). 이러한 트랜지스터(160) 및 트랜지스터(166)는 고속 동작이 가능하다는 특징을 가진다. 이 때문에, 이 트랜지스터를 관독용의 트랜지스터 및 관독시의 메모리 셀 선택용의 트랜지스터로서 이용함으로써, 정보의 관독을 고속으로 행할 수 있다.
- [0162] 그 후, 트랜지스터(162) 및 용량 소자(168)의 형성 전의 처리로서, 절연층(130)에 CMP 처리를 하여, 게이트 전극(110a) 및 게이트 전극(110b)의 상면을 노출시킨다(도 13(C) 참조). 게이트 전극(110a) 및 게이트 전극(110b)의 상면을 노출시키는 처리로서는, CMP 처리 외에 에칭 처리 등을 적용하는 것도 가능하지만, 트랜지스터(162)의 특성을 향상시키기 위해, 절연층(130)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다.
- [0163] 또한, 상기의 각 공정의 전후에는, 전극이나 배선, 반도체층, 절연층 등을 형성하는 공정을 더 포함하고 있어도

좋다. 예를 들면, 배선의 구조로서 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용하여, 고도로 집적화된 반도체 장치를 실현하는 것도 가능하다.

- [0164] <상부의 트랜지스터의 제작 방법>
- [0165] 다음에, 게이트 전극(110a) 및 게이트 전극(110b), 절연층(130) 등의 위에 도전층을 형성하고, 이 도전층을 선택적으로 에칭하여, 소스 전극(142a), 드레인 전극(142b) 및 도전층(142c)을 형성한다(도 14(A) 참조).
- [0166] 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐에서 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐의 어느 것, 또는 이것들을 복수 조합한 재료를 이용해도 좋다.
- [0167] 도전층은 단층 구조여도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 티탄막이나 질화 티탄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 질화 티탄막 위에 티탄막이 적층된 2층 구조, 티탄막과 알루미늄막과 티탄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을, 티탄막이나 질화 티탄막의 단층 구조로 하는 경우에는, 테이퍼 형상을 가지는 소스 전극(142a) 및 드레인 전극(142b)으로의 가공이 용이하다는 메리트가 있다.
- [0168] 또한, 도전층은 도전성의 금속 산화물을 이용하여 형성해도 좋다. 도전성의 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기하는 경우가 있음), 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는, 이들 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 함유시킨 것을 이용할 수 있다.
- [0169] 도전층의 에칭은, 형성되는 소스 전극(142a) 및 드레인 전극(142b)의 단부가 테이퍼 형상이 되도록 행하는 것이 바람직하다. 여기서, 테이퍼각은 예를 들면, 30° 이상 60° 이하인 것이 바람직하다. 소스 전극(142a) 및 드레인 전극(142b)의 단부를 테이퍼 형상이 되도록 에칭함으로써, 후에 형성되는 게이트 절연층(146)의 피복성을 향상하여, 단 끊김을 방지할 수 있다.
- [0170] 상부의 트랜지스터의 채널 길이(L)는 소스 전극(142a) 및 드레인 전극(142b)의 하단부의 간격에 따라 결정된다. 또한, 채널 길이(L)가 25 nm 미만인 트랜지스터를 형성하는 경우에 이용하는 마스크 형성의 노광을 행할 때는, 수 nm~수십 10 nm로 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하는 것이 바람직하다. 초자외선에 의한 노광은 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm($1\mu\text{m}$) 이하로 하는 것도 가능하고, 회로의 동작 속도를 높이는 것이 가능하다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감하는 것도 가능하다.
- [0171] 또한, 게이트 전극(110b) 위에 도전층(142c)을 형성하도록 함으로써, 도전층의 에칭 시에, 게이트 전극(110b)이 동시에 에칭되는 것을 막을 수 있다.
- [0172] 또한, 절연층(130)의 위에는, 베이스로서 기능하는 절연층을 형성해도 좋다. 이 절연층은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다.
- [0173] 다음에, 소스 전극(142a), 및 드레인 전극(142b)을 덮도록 산화물 반도체층을 형성한 후, 이 산화물 반도체층을 선택적으로 에칭하여 산화물 반도체층(144)을 형성한다(도 14(B) 참조).
- [0174] 산화물 반도체층은, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계, In-Ga-O계나, 단원계 금속 산화물인 In-O계, Sn-O계, Zn-O계 등을 이용하여 형성할 수 있다. 또한, 상기 산화물 반도체에 In과 Ga와 Sn과 Zn 이외의 원소, 예를 들면 SiO_2 를 포함시켜도 좋다.
- [0175] 그 중에서도, In-Ga-Zn-O계의 산화물 반도체 재료는, 무전계 시의 저항이 충분히 높고 오프 전류를 충분히 작게 하는 것이 가능하고, 또한, 전계 효과 이동도도 높기 때문에, 반도체 장치에 이용하는 반도체 재료로서는 적합하다.
- [0176] In-Ga-Zn-O계의 산화물 반도체 재료의 대표예로서는, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 것이 있다. 또한, Ga 대신에 M을 이용하여 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 와 같이 표기되는 산화물 반도체 재료가 있다. 여기서, M은, 갈륨(Ga),

알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서는, Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등을 적용할 수 있다. 또한, 상술한 조성은 결정 구조로부터 도출되는 것이고, 어디까지나 일례에 지나지 않는다는 것을 부기한다.

[0177] 산화물 반도체층을 스퍼터링법으로 제작하기 위한 타겟으로서, In : Ga : Zn = 1 : x : y(x는 0 이상, y는 0.5 이상 5 이하)의 조성비로 나타내지는 것을 이용하는 것이 적합하다. 예를 들면, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2[mol수비](x = 1, y = 1)의 조성비를 가지는 타겟 등을 이용할 수 있다. 또한, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1[mol수비](x = 1, y = 0.5)의 조성비를 가지는 타겟이나, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 4[mol수비](x = 1, y = 2)의 조성비를 가지는 타겟이나, In₂O₃ : Ga₂O₃ : ZnO = 1 : 0 : 2[mol수비](x = 0, y = 1)의 조성비를 가지는 타겟을 이용할 수도 있다.

[0178] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 원자수비로, In : Zn = 50 : 1~1 : 2(몰수비로 환산하면 In₂O₃ : ZnO = 25 : 1~1 : 4), 바람직하게는 In : Zn = 20 : 1~1 : 1(몰수비로 환산하면 In₂O₃ : ZnO = 10 : 1~1 : 2), 더욱 바람직하게는 In : Zn = 15 : 1~1.5 : 1(몰수비로 환산하면 In₂O₃ : ZnO = 15 : 2~3 : 4)로 한다. 예를 들면, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은 원자수비가 In : Zn : O = X : Y : Z일 때, Z > 1.5X + Y로 한다.

[0179] 본 실시형태에서는, 산화물 반도체층을, In-Ga-Zn-O계의 금속 산화물 타겟을 이용하는 스퍼터링법에 의해 형성하는 것으로 한다.

[0180] 금속 산화물 타겟 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타겟을 이용함으로써, 치밀한 구조의 산화물 반도체층을 형성하는 것이 가능하다.

[0181] 산화물 반도체층의 형성 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는, 희가스(대표적으로는 아르곤)와 산소와의 혼합 분위기로 하는 것이 적합하다. 구체적으로는, 예를 들면, 수소, 물, 수산기, 수소화물 등의 불순물이, 농도 1 ppm 이하(바람직하게는 농도 10 ppb 이하)까지 제거된 고순도 가스 분위기를 이용하는 것이 적합하다.

[0182] 산화물 반도체층의 형성 시에는, 예를 들면, 감압 상태로 보유된 처리실 내에 피처리물을 보유하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하가 되도록 피처리물을 가열한다. 또는, 산화물 반도체층의 형성 시의 피처리물의 온도는 실온(25℃ ± 10℃)으로 해도 좋다. 그리고, 처리실 내의 수분을 제거하면서, 수소나 물 등이 제거된 스퍼터링 가스를 도입하여, 상기 타겟을 이용하여 산화물 반도체층을 형성한다. 피처리물을 가열하면서 산화물 반도체층을 형성함으로써, 산화물 반도체층에 포함되는 불순물을 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서브리메이션 펌프 등을 이용할 수 있다. 또한, 터보 펌프에 콜드 트랩을 더한 것을 이용해도 좋다. 크라이오 펌프 등을 이용하여 배기함으로써, 처리실로부터 수소나 물 등을 제거할 수 있기 때문에, 산화물 반도체층 중의 불순물 농도를 저감할 수 있다.

[0183] 산화물 반도체층의 형성 조건으로서, 예를 들면, 피처리물과 타겟 사이의 거리가 170 mm, 압력이 0.4 Pa, 직류(DC) 전력이 0.5 kW, 분위기가 산소(산소 100%) 분위기, 또는 아르곤(아르곤 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기와 같은 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 이용하면, 먼지(성막 시에 형성되는 분상의 물질 등)를 저감할 수 있고, 막두께 분포도 균일하게 되기 때문에 바람직하다. 산화물 반도체층의 두께는 1 nm 이상 50 nm 이하, 바람직하게는 1 nm 이상 30 nm 이하, 보다 바람직하게는 1 nm 이상 10 nm 이하로 한다. 이러한 두께의 산화물 반도체층을 이용함으로써, 미세화에 따른 단채널 효과를 억제하는 것이 가능하다. 단, 적용하는 산화물 반도체 재료나, 반도체 장치의 용도 등에 따라 적절한 두께는 다르기 때문에, 그 두께는 이용하는 재료나 용도 등에 따라 선택할 수도 있다.

[0184] 또한, 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 형성 표면(예를 들면 절연층(130)의 표면)의 부착물을 제거하는 것이 적합하다. 여기서, 역스퍼터링이란, 통상의 스퍼터링에서는 스퍼터링 타겟에 이온을 충돌시키는 것을, 반대로, 처리 표면에 이온을 충돌시키는 것에 의해 그 표면을 개질하는 방법을 말한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르

곤 분위기 하에서 처리 표면 측에 고주파 전압을 인가하여, 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등에 의한 분위기를 적용해도 좋다.

[0185] 그 후, 산화물 반도체층에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체층 중의, 과잉의 수소(물이나 수산기를 포함함)를 제거하고, 산화물 반도체층의 구조를 정돈하여 에너지 갭 중의 결함 준위를 저감할 수 있다. 제 1 열처리의 온도는, 예를 들면, 300℃ 이상 550℃ 미만, 또는 400℃ 이상 500℃ 이하로 한다.

[0186] 열처리는, 예를 들면, 저항 발열체 등을 이용한 전기로에 피처리물을 도입하여, 질소 분위기 하, 450℃, 1시간의 조건에서 행할 수 있다. 이 동안, 산화물 반도체층은 대기에 접하지 않고, 물이나 수소의 혼입이 생기지 않도록 한다.

[0187] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0188] 예를 들면, 제 1 열처리로서 가열된 불활성 가스 분위기 중에 피처리물을 투입하여, 몇 분간 가열한 후, 이 불활성 가스 분위기로부터 피처리물을 취출하는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에서의 고온 열처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 넘는 온도 조건에서도 적용이 가능하게 된다. 또한, 처리 중에, 불활성 가스를, 산소를 포함하는 가스로 전환해도 좋다. 산소를 포함하는 분위기에 있어서 제 1 열처리를 행함으로써, 산소 결손에 기인하는 에너지 갭 중의 결함 준위를 저감할 수 있기 때문이다.

[0189] 또한, 불활성 가스 분위기로서는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기로서, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 한다.

[0190] 어쨌든, 제 1 열처리에 의해 불순물을 저감하여, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체층을 형성함으로써, 매우 뛰어난 특성의 트랜지스터를 실현할 수 있다.

[0191] 그런데, 상술한 열처리(제 1 열처리)에는 수소나 물 등을 제거하는 효과가 있기 때문에, 이 열처리를, 탈수화 처리나, 탈수소화 처리 등이라고 부를 수도 있다. 이 탈수화 처리나, 탈수소화 처리는, 산화물 반도체층의 형성 후나 게이트 절연층의 형성 후, 게이트 전극의 형성 후, 등의 타이밍에서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는, 1회에 한정하지 않고 복수 회 행하여도 좋다.

[0192] 산화물 반도체층의 에칭은, 상기 열처리 전, 또는 상기 열처리의 후의 언제 행하여도 좋다. 또한, 소자의 미세화라는 관점에서는 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다. 또한, 소자에서의 리크 등이 문제가 되지 않는 경우에는, 산화물 반도체층을 섬 형상으로 가공하지 않고 이용해도 좋다.

[0193] 다음에, 산화물 반도체층(144)에 접하는 게이트 절연층(146)을 형성하고, 그 후, 게이트 절연층(146) 위에서 산화물 반도체층(144)과 중첩하는 영역에 게이트 전극(148a)을 형성하고, 소스 전극(142a)과 중첩하는 영역에 전극(148b)을 형성한다(도 14(C) 참조).

[0194] 게이트 절연층(146)은 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연층(146)은 산화 실리콘, 질화 실리콘, 산질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 산화 갈륨, 하프늄 실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가된 하프늄 알루미늄네이트(HfAl_xO_y(x>0, y>0)) 등을 포함하도록 형성하는 것이 적합하다. 게이트 절연층(146)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 그 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위해 얇게 하는 것이 바람직하다. 예를 들면, 산화 실리콘을 이용하는 경우에는, 1 nm 이상 100 nm 이하, 바람직하게는 10 nm 이상 50 nm 이하로 할 수 있다.

[0195] 그러나, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 리크가 문제가 된다. 게이트 리크의 문

제를 해소하려면, 게이트 절연층(146)에, 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x > 0, y > 0$)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x > 0, y > 0$)), 질소가 첨가된 하프늄 알루미늄네이트 (HfAl_xO_y ($x > 0, y > 0$)) 등의 고유전율(high-k) 재료를 이용하면 좋다. high-k 재료를 게이트 절연층(146)에 이용함으로써, 전기적 특성을 확보하면서, 게이트 리크를 억제하기 위해 막두께를 크게 하는 것이 가능하게 된다. 또한, high-k 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄 등의 어느 것인가를 포함하는 막과의 적층 구조로 해도 좋다.

- [0196] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하, 또는 산소 분위기 하에서 제 2 열처리를 행하는 것이 바람직하다. 열처리의 온도는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들면, 질소 분위기 하에서 250℃, 1시간의 열처리를 행하면 좋다. 제 2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소를 공급하고, 이 산화물 반도체층(144)의 산소 결손을 보충하여, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체층을 형성할 수도 있다.
- [0197] 또한, 본 실시형태에서는, 게이트 절연층(146)의 형성 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 이것에 한정되는 것은 아니다. 예를 들면, 게이트 전극의 형성 후에 제 2 열처리를 행하여도 좋다. 또한, 제 1 열처리에 이어 제 2 열처리를 행하여도 좋고, 제 1 열처리에 제 2 열처리를 겹치게 해도 좋고, 제 2 열처리에 제 1 열처리를 겹치게 해도 좋다.
- [0198] 위에서 설명한 바와 같이, 제 1 열처리와 제 2 열처리의 적어도 한쪽을 적용함으로써, 산화물 반도체층(144)을, 그 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화할 수 있다.
- [0199] 게이트 전극(148a) 및 전극(148b)은 게이트 절연층(146) 위에 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148a) 및 전극(148b)이 되는 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 상세한 것에 대해서는, 소스 전극(142a) 등의 경우와 마찬가지로, 이들의 기재를 참조할 수 있다.
- [0200] 다음에, 게이트 절연층(146), 게이트 전극(148a), 및 전극(148b) 위에, 절연층(150) 및 절연층(152)을 형성한다(도 15(A) 참조). 절연층(150) 및 절연층(152)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다.
- [0201] 또한, 절연층(150)이나 절연층(152)에는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 이용하는 것이 바람직하다. 절연층(150)이나 절연층(152)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 생기는 용량을 저감하여, 동작의 고속화를 도모할 수 있기 때문이다.
- [0202] 또한, 본 실시형태에서는, 절연층(150)과 절연층(152)의 적층 구조로 하고 있지만, 개시하는 발명의 일 양태는 이것에 한정되지 않는다. 1층으로 해도 좋고, 3층 이상의 적층 구조로 해도 좋다. 또한, 절연층을 형성하지 않는 구성으로 하는 것도 가능하다.
- [0203] 또한, 상기 절연층(152)은 그 표면이 평탄하게 되도록 형성하는 것이 바람직하다. 표면이 평탄하게 되도록 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에 있어서도, 절연층(152) 위에, 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다. 또한, 절연층(152)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 이용하여 행할 수 있다.
- [0204] 다음에, 게이트 절연층(146), 절연층(150), 절연층(152)에, 드레인 전극(142b)에까지 달하는 개구를 형성한다(도 15(B) 참조). 이 개구의 형성은 마스크 등을 이용한 선택적인 에칭에 의해 행해진다.
- [0205] 그 후, 상기 개구에 전극(154)을 형성하고, 절연층(152) 위에 전극(154)에 접하는 배선(156)을 형성한다(도 15(C) 참조).
- [0206] 전극(154)은, 예를 들면, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 이용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 이용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.
- [0207] 보다 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화 티탄막을 얇게 형성한 후에, 개구에 묻도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 피형성면의 산화막(자연 산화막 등)을 환원하여, 하부 전극 등(여기에서는 드레인

전극(142b))과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화 티탄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나 질화 티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.

[0208] 또한, 상기 도전층의 일부를 제거하여 전극(154)을 형성할 때에는, 그 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 예를 들면, 개구를 포함하는 영역에 티탄막이나 질화 티탄막을 얇게 형성한 후에, 개구에 묻도록 텅스텐막을 형성하는 경우에는, 그 후의 CMP 처리에 의해, 불필요한 텅스텐, 티탄, 질화 티탄 등을 제거함과 동시에, 그 표면의 평탄성을 향상시킬 수 있다. 이와 같이, 전극(154)을 포함하는 표면을 평탄화함으로써, 이후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.

[0209] 배선(156)은, 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 도전층을 형성한 후, 이 도전층을 패터닝함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐의 어느 것인가, 또는 이것들을 복수 조합한 재료를 이용해도 좋다. 상세한 것에 대해서는, 소스 전극(142a) 등과 마찬가지로이다.

[0210] 이상에 의해, 고순도화된 산화물 반도체층(144)을 이용한 트랜지스터(162), 및 용량 소자(168)가 완성된다(도 15(C) 참조).

[0211] 본 실시형태에서 나타내는 트랜지스터(162)에서는, 산화물 반도체층(144)이 고순도화되어 있기 때문에, 그 수소 농도는 5×10^{10} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는, 일반적인 실리콘 웨이퍼에서의 캐리어 밀도(1×10^{14} /cm³ 정도)와 비교하여, 충분히 작은 값(예를 들면, 1×10^{12} /cm³ 미만, 보다 바람직하게는, 1.45×10^{10} /cm³ 미만)을 취한다. 그리고, 트랜지스터(162)의 오프 전류도 충분히 작아진다. 예를 들면, 트랜지스터(162)의 실온(25℃)에서의 오프 전류(여기에서는, 단위 채널폭(1μm) 당의 값)은 100 zA(1 zA(zeptoampere)는 1×10^{-21} A) 이하, 바람직하게는 10 zA 이하, 보다 바람직하게는 1 zA 이하, 더욱 바람직하게는 100 yA 이하로 할 수 있다. 또한, 트랜지스터(162)의 오프 전류는 낮으면 낮을수록 좋지만, 트랜지스터(162)의 오프 전류의 하한치는 10^{-30} A이라고 추측된다.

[0212] 이와 같이 고순도화되고 진성화된 산화물 반도체층(144)을 이용함으로써, 트랜지스터의 오프 전류를 충분히 저감하는 것이 용이하게 된다. 그리고, 이러한 트랜지스터를 이용함으로써, 매우 장기에 걸쳐 기억 내용을 보유하는 것이 가능한 반도체 장치를 얻을 수 있다.

[0213] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0214] (실시형태 3)

[0215] 본 실시형태에서는, 상술한 실시형태에 설명한 반도체 장치를 전자기기에 적용하는 경우에 대하여, 도 17을 이용하여 설명한다. 본 실시형태에서는, 컴퓨터, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대 정보 단말(휴대형 게임기, 음향 재생장치 등도 포함함), 디지털 카메라, 디지털 비디오 카메라, 전자 페이지, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함) 등의 전자기기에, 상술한 반도체 장치를 적용하는 경우에 대하여 설명한다.

[0216] 도 17(A)은, 노트형의 퍼스널 컴퓨터이며, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등에 의해 구성되어 있다. 하우징(701)과 하우징(702)이 적어도 하나에는, 앞의 실시형태에 나타내는 반도체 장치가 설치되어 있다. 따라서, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 노트형의 퍼스널 컴퓨터가 실현된다.

[0217] 도 17(B)은, 휴대 정보 단말(PDA)이며, 본체(711)에는 표시부(713)와 외부 인터페이스(715)와 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 정보 단말을 조작하는 스타일러스(712) 등을 구비하고 있다. 본체(711) 내에는, 앞의 실시형태에 나타내는 반도체 장치가 설치되어 있다. 그 때문에, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 정보 단말이 실현된다.

- [0218] 도 17(C)은, 전자 페이퍼를 실장한 전자 서적이며, 전자 서적(720)은 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는, 각각 표시부(725) 및 표시부(727)가 형성되어 있다. 하우징(721)과 하우징(723)은 축부(737)에 의해 접속되어 있고, 이 축부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(721)은 전원(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721), 하우징(723)의 적어도 하나에는, 앞의 실시형태에 나타내는 반도체 장치가 설치되어 있다. 따라서, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0219] 도 17(D)은, 휴대전화기이며, 하우징(740)과 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)과 하우징(741)은 슬라이드하여, 도 17(D)과 같이 전개되어 있는 상태에서 서로 겹친 상태로 할 수 있어, 휴대폰에 적합한 소형화가 가능하다. 또한, 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 또한, 하우징(740)은 휴대전화기의 충전을 행하는 태양전지 셀(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 여기서, 표시 패널(742)은 터치 패널 기능을 구비하고 있고, 도 17(D)에는 영상 표시되어 있는 복수의 조작 키(745)를 점선으로 나타내고 있다. 또한, 안테나는 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741)의 적어도 하나에는, 앞의 실시형태에 나타내는 반도체 장치가 설치되어 있다. 따라서, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 휴대전화기가 실현된다.
- [0220] 도 17(E)은 디지털 카메라이며, 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등에 의해 구성되어 있다. 본체(761) 내에는, 앞의 실시형태에 나타내는 반도체 장치가 설치되어 있다. 그 때문에, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0221] 도 17(F)은 텔레비전 장치이며, 텔레비전 장치(770)는 하우징(771), 표시부(773), 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)의 조작은, 하우징(771)이 구비하는 스위치나, 리모콘 조작기(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘 조작기(780)에는 앞의 실시형태에 나타내는 반도체 장치가 탑재되어 있다. 따라서, 정보의 기입 및 판독이 고속이며, 장기간의 기억 보유가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0222] 이상과 같이, 본 실시형태에 나타내는 전자기기에는, 앞의 실시형태에 관한 반도체 장치가 탑재되어 있다. 따라서, 소비 전력을 저감한 전자기기가 실현된다.
- [0223] [실시예 1]
- [0224] 본 실시예에서는, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류를 구한 결과에 대하여 설명한다.
- [0225] 우선, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류가 충분히 작은 것을 고려하여, 채널폭(W)이 1 μm로 충분히 큰 트랜지스터를 준비하여 오프 전류의 측정을 행하였다. 채널폭(W)이 1 μm인 트랜지스터의 오프 전류를 측정할 결과를 도 18에 나타낸다. 도 18에 있어서, 횡축은 게이트 전압(VG), 종축은 드레인 전류(ID)이다. 드레인 전압(VD)이 +1 V 또는 +10 V인 경우, 게이트 전압(VG)이 -5 V에서 -20 V의 범위에서, 트랜지스터의 오프 전류는 검출 한계인 1×10^{-12} A 이하인 것을 알 수 있었다. 또한, 트랜지스터의 오프 전류(여기에서는, 단위 채널폭(1 μm) 당의 값)은 $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) 이하가 되는 것을 알 수 있었다.
- [0226] 다음에, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류를 더욱 정확하게 구한 결과에 대하여 설명한다. 상술한 바와 같이, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류는, 측정기의 검출 한계인 1×10^{-12} A 이하인 것을 알 수 있었다. 따라서, 특성 평가용 소자를 제작하여, 보다 정확한 오프 전류의 값(상기 측정에서의 측정기의 검출 한계 이하의 값)을 구한 결과에 대하여 설명한다.
- [0227] 처음에, 전류 측정 방법에 이용한 특성 평가용 소자에 대하여, 도 19를 참조하여 설명한다.
- [0228] 도 19에 나타내는 특성 평가용 소자는, 측정계(800)가 3개 병렬로 접속되어 있다. 측정계(800)는 용량 소자(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 가진다. 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)에는, 고순도화된 산화물 반도체를 이용한 트랜지스터를 적용했다.
- [0229] 측정계(800)에 있어서, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 한쪽

과, 트랜지스터(805)의 소스 단자 및 드레인 단자의 한쪽은 전원(V2를 부여하는 전원)에 전기적으로 접속되어 있다. 또한, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 다른 한쪽과, 트랜지스터(805)의 게이트 단자는 전기적으로 접속되어 있다. 또한, 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 게이트 단자는, 전원(V1를 부여하는 전원)에 전기적으로 접속되어 있다. 또한, 트랜지스터(805)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 다른 한쪽은, 전기적으로 접속되어 출력 단자로 되어 있다.

[0230] 또한, 트랜지스터(804)의 게이트 단자에는 트랜지스터(804)의 온 상태와 오프 상태를 제어하는 전위(Vext_b2)가 공급되고, 트랜지스터(808)의 게이트 단자에는, 트랜지스터(808)의 온 상태와 오프 상태를 제어하는 전위(Vext_b1)가 공급된다. 또한, 출력 단자로부터는 전위(Vout)가 출력된다.

[0231] 다음에, 상기의 특성 평가용 소자를 이용한 전류 측정 방법에 대하여 설명한다.

[0232] 우선, 오프 전류를 측정하기 위해 전위차를 부여하는 초기 기간의 개략에 대하여 설명한다. 초기 기간에는, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 온 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 다른 한쪽과 전기적으로 접속되는 노드(즉, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽, 용량 소자(802)의 단자의 다른 한쪽, 및 트랜지스터(805)의 게이트 단자에 전기적으로 접속되는 노드)인 노드(A)에 전위(V1)를 부여한다. 여기서, 전위(V1)는, 예를 들면 고전위로 한다. 또한, 트랜지스터(804)는 오프 상태로 해둔다.

[0233] 그 후, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 오프 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)를 오프 상태로 한 후에, 전위(V1)를 저전위로 한다. 여기에서도, 트랜지스터(804)는 오프 상태로 해둔다. 또한, 전위(V2)는 전위(V1)와 같은 전위로 한다. 이상에 의해, 초기 기간이 종료된다. 초기 기간이 종료된 상태에서는, 노드(A)와 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과의 사이에 전위차가 생기고, 또한, 노드(A)와 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과의 사이에 전위차가 생기게 되기 때문에, 트랜지스터(804) 및 트랜지스터(808)에는 약간 전하가 흐른다. 즉, 오프 전류가 발생한다.

[0234] 다음에, 오프 전류의 측정 기간의 개략에 대하여 설명한다. 측정 기간에 있어서는, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 한쪽의 단자의 전위(즉 V2), 및, 트랜지스터(808)의 소스 단자 또는 드레인 단자의 다른 한쪽의 단자의 전위(즉 V1)는 저전위로 고정해둔다. 한편, 측정 기간 중에는, 상기 노드(A)의 전위는 고정하지 않는다(플로팅 상태로 함). 이것에 의해, 트랜지스터(804)에 전하가 흘러, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동한다. 그리고, 노드(A)에 보유되는 전하량의 변동에 따라, 노드(A)의 전위가 변동한다. 즉, 출력 단자의 출력 전위(Vout)도 변동한다.

[0235] 상기 전위차를 부여하는 초기 기간, 및, 그 후의 측정 기간에서의 각 전위의 관계의 상세한 사항(타이밍 차트)를 도 20에 나타낸다.

[0236] 초기 기간에 있어서, 우선, 전위(Vext_b2)를, 트랜지스터(804)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V2 즉 저전위(VSS)가 된다. 또한, 노드(A)에 저전위(VSS)를 부여하는 것은 필수는 아니다. 그 후, 전위(Vext_b2)를, 트랜지스터(804)가 오프 상태가 되는 전위(저전위)로 하여, 트랜지스터(804)를 오프 상태로 한다. 그리고, 다음에, 전위(Vext_b1)를, 트랜지스터(808)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, Vext_b1를, 트랜지스터(808)가 오프 상태가 되는 전위로 한다. 이것에 의해, 노드(A)가 플로팅 상태가 되어, 초기 기간이 종료된다.

[0237] 그 후의 측정 기간에 있어서는, 전위(V1) 및 전위(V2)를, 노드(A)에 전하가 흘러들거나, 또는 노드(A)로부터 전하가 흘러나오는 전위로 한다. 여기에서는, 전위(V1) 및 전위(V2)를 저전위(VSS)로 한다. 단, 출력 전위(Vout)를 측정하는 타이밍에서는, 출력 회로를 동작시킬 필요가 생기기 때문에, 일시적으로 V1을 고전위(VDD)로 하는 일이 있다. 또한, V1를 고전위(VDD)로 하는 기간은, 측정에 영향을 주지 않을 정도의 단기간으로 한다.

[0238] 위에서 설명한 바와 같이 하여 전위차를 주어 측정 기간이 개시되면, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동하고, 이에 따라 노드(A)의 전위가 변동한다. 이것은, 트랜지스터(805)의 게이트 단자의 전위가 변동하는 것을 의미하기 때문에, 시간의 경과와 함께, 출력 단자의 출력 전위(Vout)의 전위도 변화하게 된다.

[0239] 얻어진 출력 전위(Vout)로부터, 오프 전류를 산출하는 방법에 대하여, 이하에 설명한다.

[0240] 오프 전류의 산출에 앞서, 노드(A)의 전위(V_A)와 출력 전위(V_{out})와의 관계를 구해준다. 이것에 의해, 출력 전위(V_{out})로부터 노드(A)의 전위(V_A)를 구할 수 있다. 상술한 관계로부터, 노드(A)의 전위(V_A)는 출력 전위(V_{out})의 함수로서 다음 식과 같이 나타낼 수 있다.

[0241] [수학식 1]

$$V_A = F(V_{out})$$

[0242] 또한, 노드(A)의 전하(Q_A)는, 노드(A)의 전위(V_A), 노드(A)에 접속되는 용량(C_A), 정수(const)를 이용하여, 다음 식과 같이 나타내어진다. 여기서, 노드(A)에 접속되는 용량(C_A)은, 용량 소자(802)의 용량과 다른 용량의 합이다.

[0243] [수학식 2]

$$Q_A = C_A V_A + const$$

[0244] 노드(A)의 전류(I_A)는, 노드(A)에 흘러들어오는 전하(또는 노드(A)로부터 흘러나오는 전하)의 시간 미분이기 때문에, 노드(A)의 전류(I_A)는 다음 식과 같이 나타내어진다.

[0245] [수학식 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0246] 이와 같이, 노드(A)에 접속되는 용량(C_A)과, 출력 단자의 출력 전위(V_{out})로부터, 노드(A)의 전류(I_A)를 구할 수 있다.

[0247] 이상에 나타내는 방법에 의해, 오프 상태에 있어서 트랜지스터의 소스와 드레인간을 흐르는 리크 전류(오프 전류)를 측정할 수 있다.

[0248] 본 실시예에서는, 채널 길이(L) = 10 μm , 채널폭(W) = 50 μm 의 고순도화한 산화물 반도체를 이용하여 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 제작했다. 또한, 병렬된 각 측정계(800)에서, 용량 소자(802)의 각 용량값을 100 fF, 1 pF, 3 pF로 했다.

[0249] 또한, 본 실시예에 관한 측정에서는, VDD = 5 V, VSS = 0 V로 했다. 또한, 측정 기간에서는, 전위(V_1)를 원칙으로서 VSS로 하고, 10 sec에서 300 sec의 범위마다, 100 msec의 기간만큼 VDD로 하여 V_{out} 를 측정했다. 또한, 소자에 흐르는 전류(I)의 산출에 이용되는 Δt 는 약 30000 sec로 했다.

[0250] 도 21에, 상기 전류 측정에 관한 경과 시간(Time)과 출력 전위(V_{out})와의 관계를 나타낸다. 도 21로부터, 시간의 경과에 따라, 전위가 변화하고 있는 양태를 확인할 수 있다.

[0251] 도 22에는, 상기 전류 측정에 의해 산출된 실온(25°C)에서의 오프 전류를 나타낸다. 또한, 도 22는 소스-드레인 전압(V)과 오프 전류(I)와의 관계를 나타내는 것이다. 도 22로부터, 소스-드레인 전압이 4 V의 조건에서, 오프 전류는 약 40 zA/ μm 인 것을 알 수 있었다. 또한, 소스-드레인 전압이 3.1 V의 조건에서, 오프 전류는 10 zA/ μm 이하인 것을 알 수 있었다. 또한, 1 zA는 10^{-21} A를 나타낸다.

[0252] 또한, 상기 전류 측정에 의해 산출된 85°C의 온도 환경 하에서의 오프 전류에 대하여 도 23에 나타낸다. 도 23은 85°C의 온도 환경 하에서의 소스-드레인 전압(V)과 오프 전류(I)와의 관계를 나타내는 것이다. 도 23으로부터, 소스-드레인 전압이 3.1 V의 조건에서, 오프 전류는 100 zA/ μm 이하인 것을 알 수 있었다.

[0253] 이상, 본 실시예에 의해, 고순도화된 산화물 반도체를 이용한 트랜지스터에서는, 오프 전류가 충분히 작아지는 것이 확인되었다.

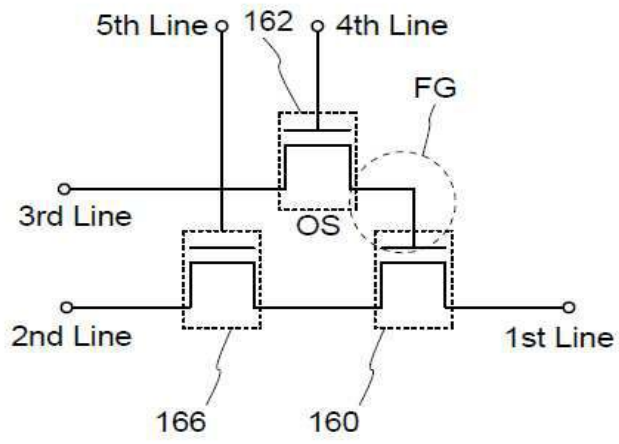
120a : 불순물 영역	120b : 불순물 영역
120c : 불순물 영역	122 : 금속층
124a : 금속 화합물 영역	124b : 금속 화합물 영역
124c : 금속 화합물 영역	130 : 절연층
142a : 소스 전극	142b : 드레인 전극
142c : 도전층	144 : 산화물 반도체층
146 : 게이트 절연층	148a : 게이트 전극
148b : 전극	150 : 절연층
152 : 절연층	154 : 전극
156 : 배선	160 : 트랜지스터
162 : 트랜지스터	166 : 트랜지스터
168 : 용량 소자	170 : 메모리 셀
180 : 전위 변환 회로	190 : 제 1 구동 회로
192 : 제 2 구동 회로	202 : 제어 회로
204 : 지연 회로	206 : 버퍼 회로
208 : 관독 회로	210 : 디코더
212 : 제어 회로	214 : 승압용 레벨 시프터
216 : 버퍼 회로	218 : 버퍼 회로
220 : 반도체층	222 : 반도체층
224 : 도전층	226 : 배선
240 : 도전층	242a : 소스 전극 또는 드레인 전극
242b : 소스 전극 또는 드레인 전극	242c : 소스 전극 또는 드레인 전극
542a : 소스 전극	542b : 드레인 전극
543 : 절연층	544 : 산화물 반도체층
546 : 게이트 절연층	548 : 게이트 전극
562 : 트랜지스터	701 : 하우징
702 : 하우징	703 : 표시부
704 : 키보드	711 : 본체
712 : 스타일러스	713 : 표시부
714 : 조작 버튼	715 : 외부 인터페이스
720 : 전자 서적	721 : 하우징
723 : 하우징	725 : 표시부
727 : 표시부	731 : 전원
733 : 조작 키	735 : 스피커
737 : 축부	740 : 하우징
741 : 하우징	742 : 표시 패널

- | | |
|---------------------|---------------------|
| 743 : 스피커 | 744 : 마이크로폰 |
| 745 : 조작 키 | 746 : 포인팅 디바이스 |
| 747 : 카메라용 렌즈 | 748 : 외부 접속 단자 |
| 749 : 태양전지 셀 | 750 : 외부 메모리 슬롯 |
| 761 : 본체 | 763 : 접안부 |
| 764 : 조작 스위치 | 765 : 표시부 |
| 766 : 배터리 | 767 : 표시부 |
| 770 : 텔레비전 장치 | 771 : 하우징 |
| 773 : 표시부 | 775 : 스탠드 |
| 780 : 리모콘 조작기 | 800 : 측정계 |
| 802 : 용량 소자 | 804 : 트랜지스터 |
| 805 : 트랜지스터 | 806 : 트랜지스터 |
| 808 : 트랜지스터 | 1200 : 제 1 p형 트랜지스터 |
| 1210 : 제 2 p형 트랜지스터 | 1220 : 제 1 n형 트랜지스터 |
| 1230 : 제 3 p형 트랜지스터 | 1240 : 제 4 p형 트랜지스터 |
| 1250 : 제 2 n형 트랜지스터 | 1260 : 제 1 p형 트랜지스터 |
| 1270 : 제 1 n형 트랜지스터 | 1280 : 제 2 p형 트랜지스터 |
| 1290 : 제 2 n형 트랜지스터 | 1300 : 제 1 트랜지스터 |
| 1310 : 제 2 트랜지스터 | 1320 : 제 3 트랜지스터 |
| 1330 : 제 4 트랜지스터 | 1340 : 제 5 트랜지스터 |
| 1350 : 제 1 용량 소자 | 1360 : 제 2 용량 소자 |
| 1370 : 제 3 용량 소자 | 1380 : 제 4 용량 소자 |
| 1390 : 트랜지스터 | |

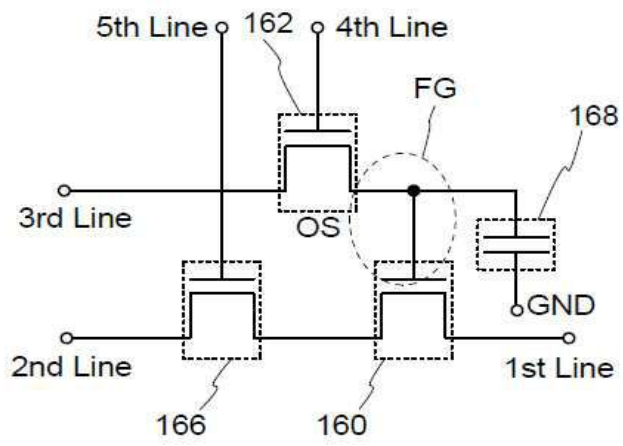
도면

도면1

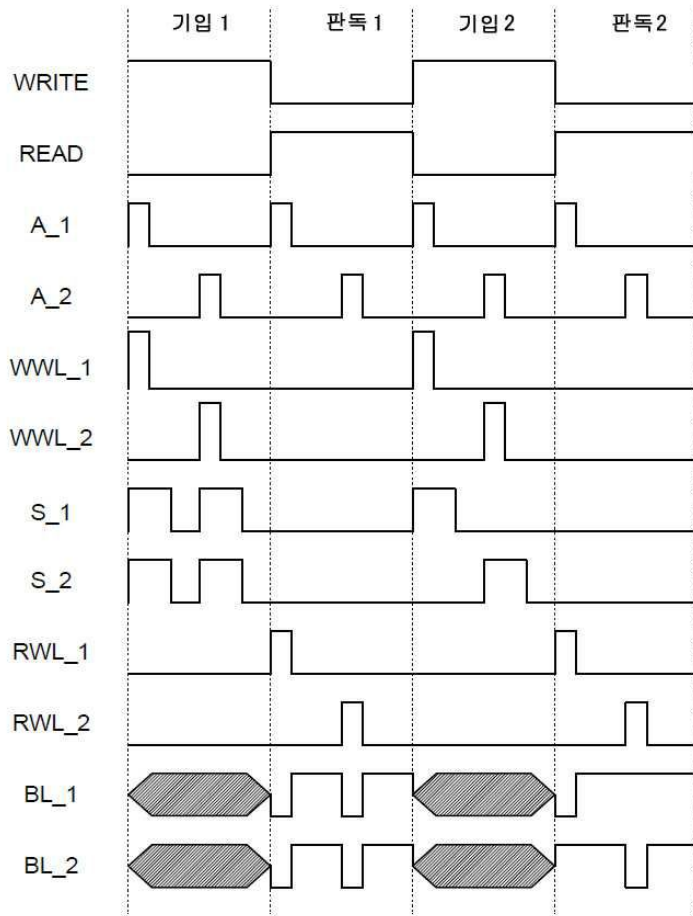
(A)



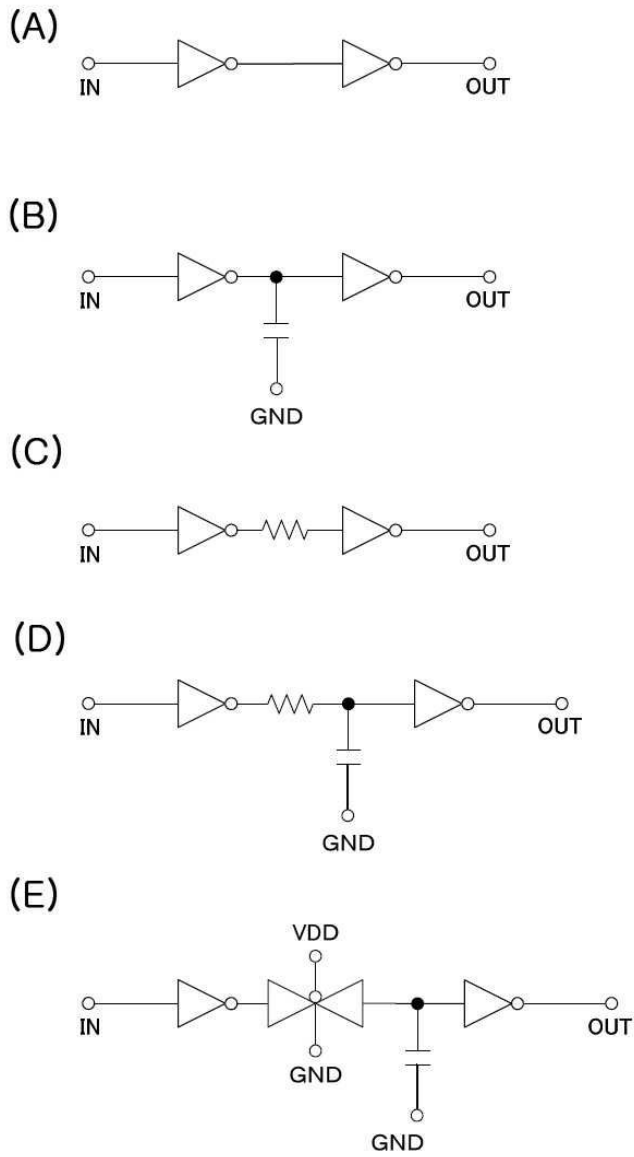
(B)



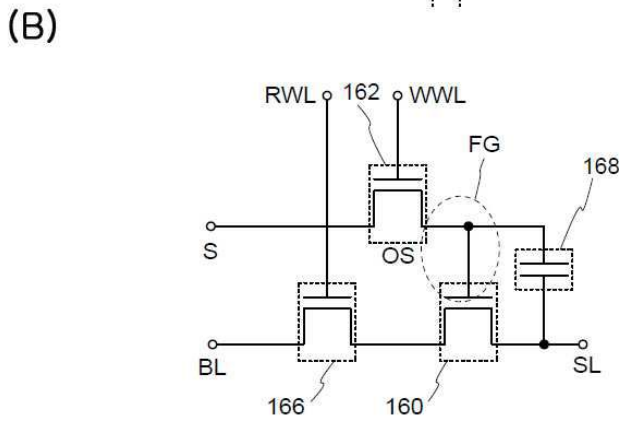
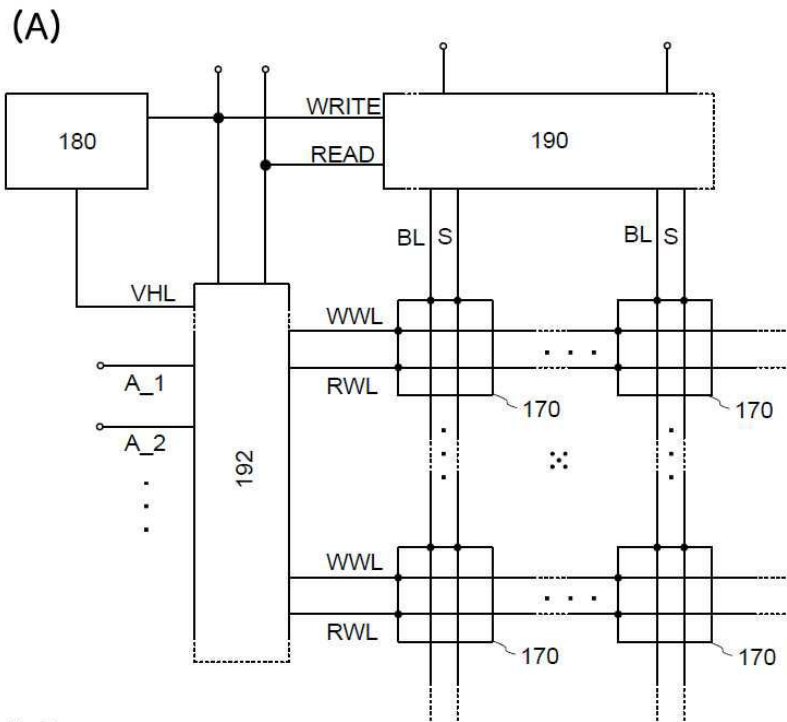
도면4



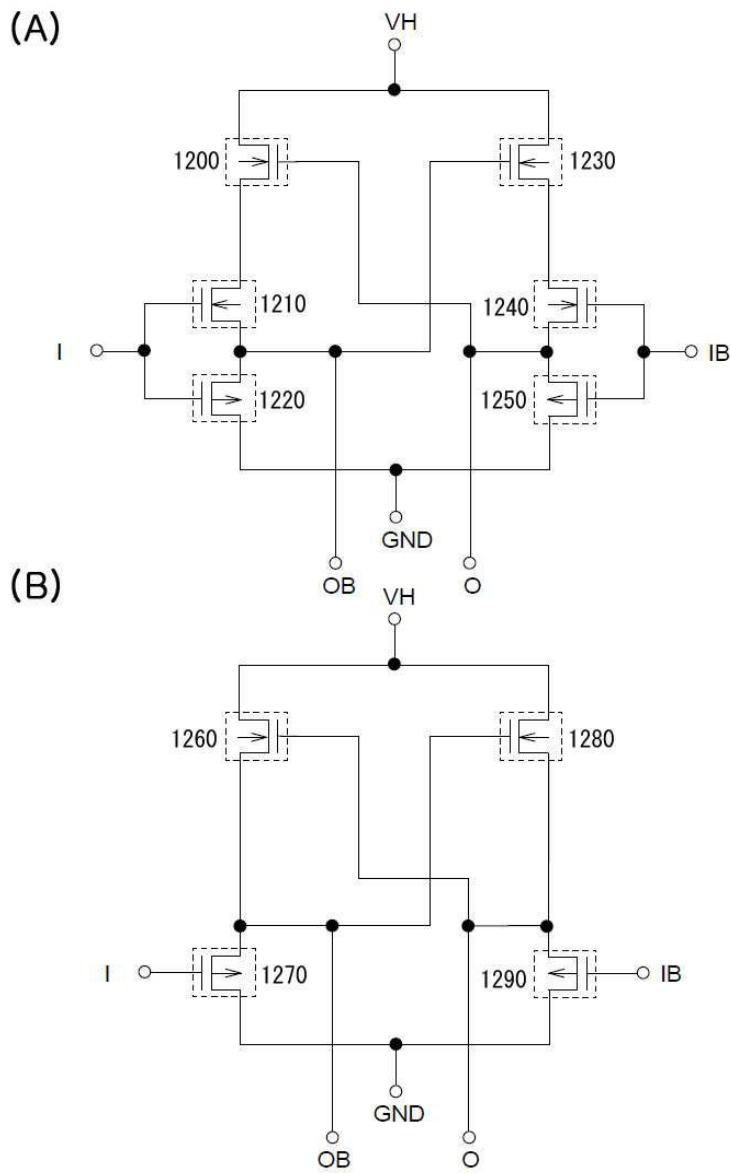
도면5



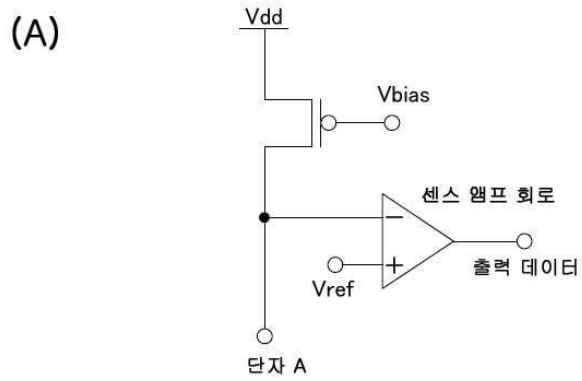
도면6



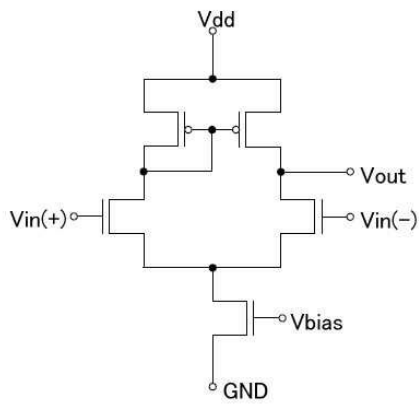
도면9



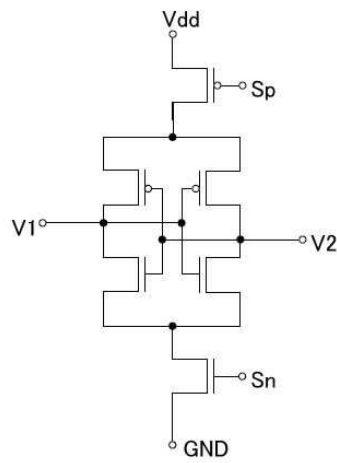
도면10



(B)

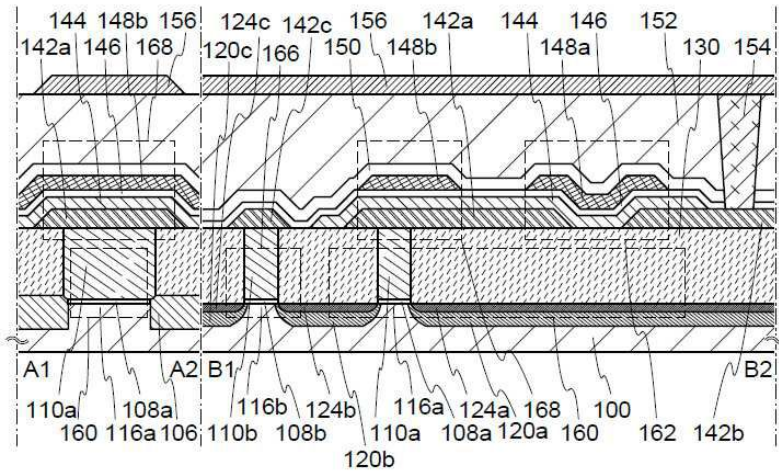


(C)

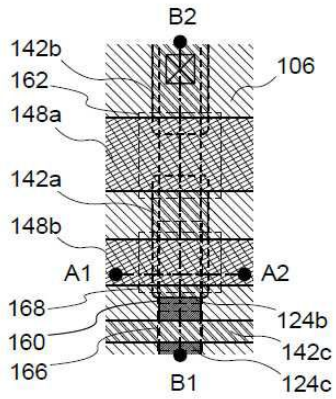


도면11

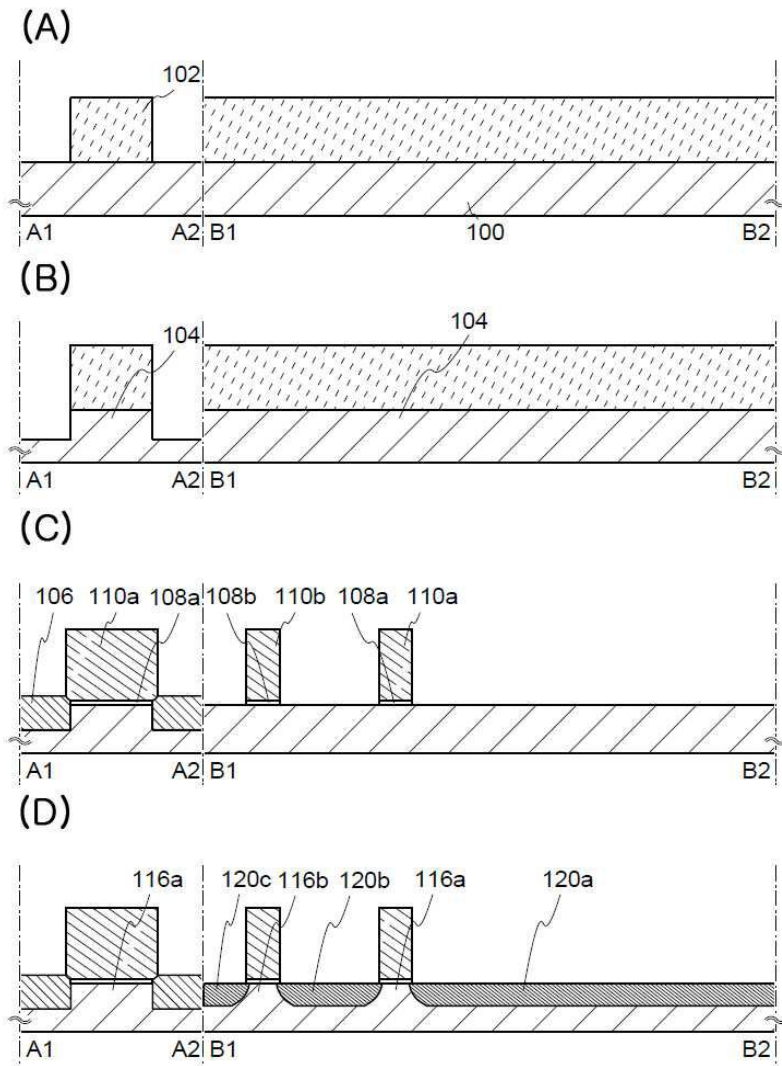
(A)



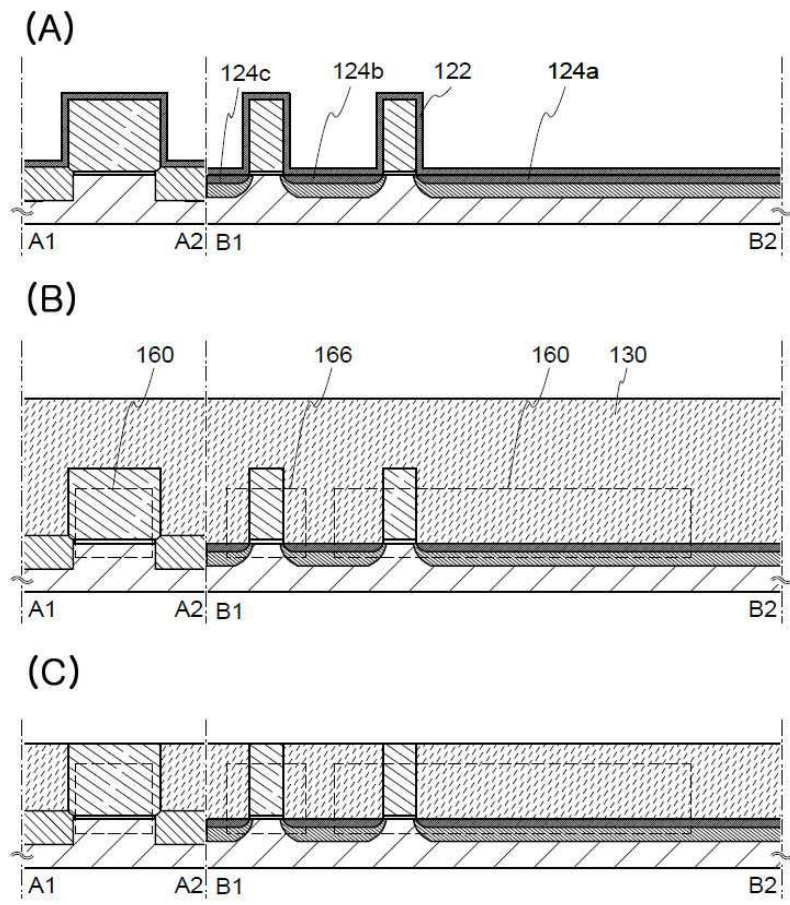
(B)



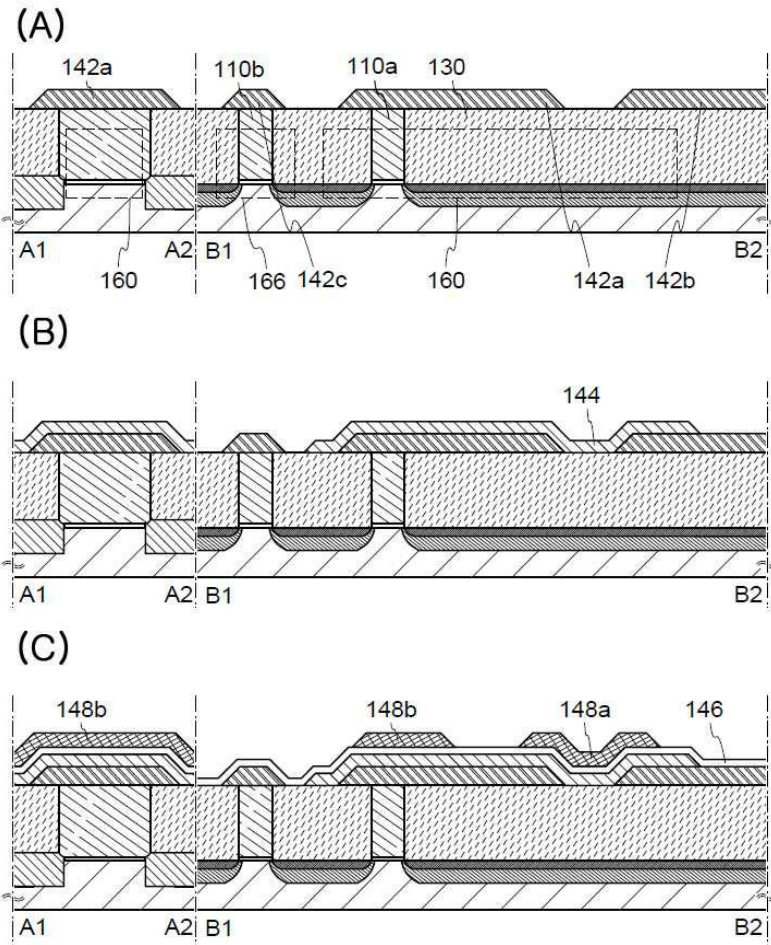
도면12



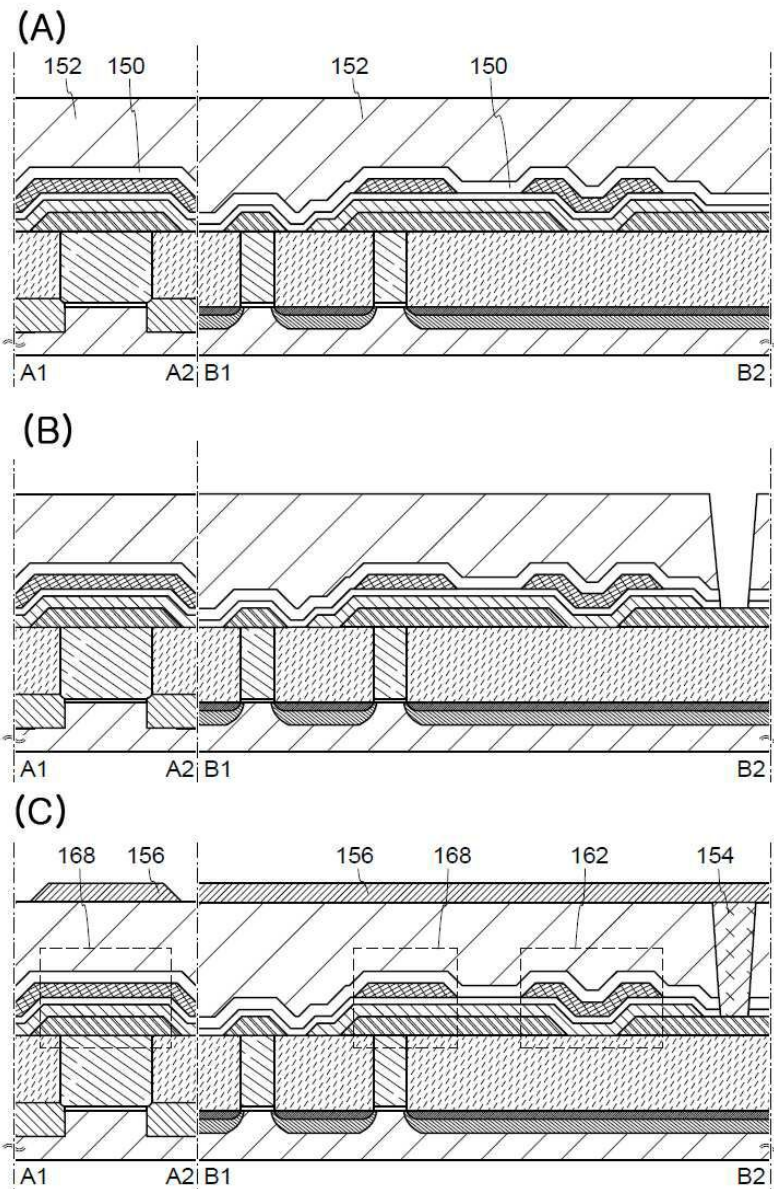
도면13



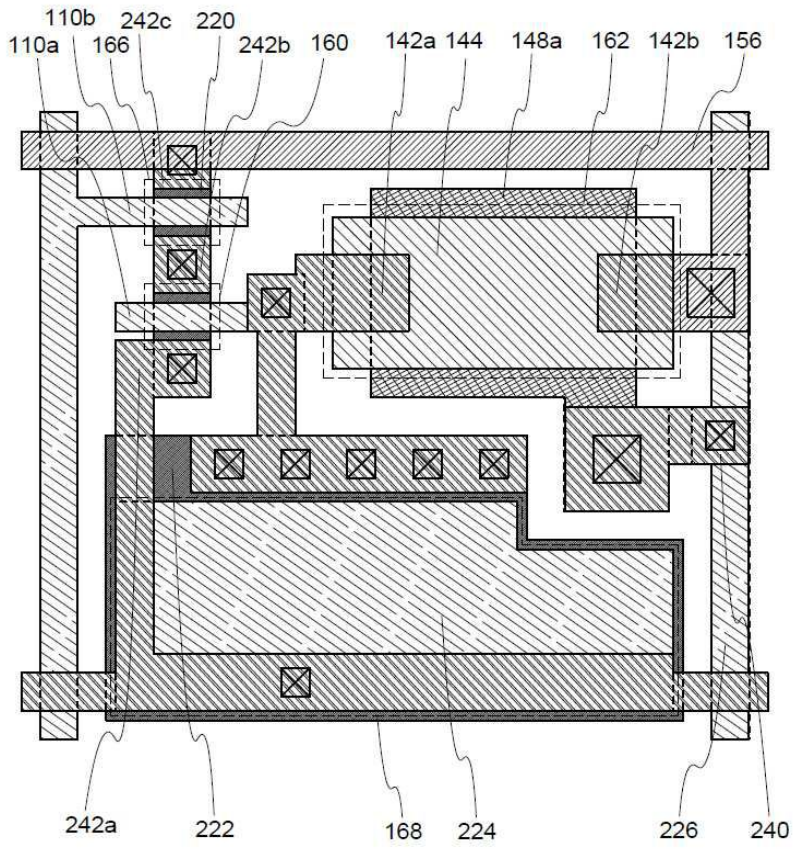
도면14



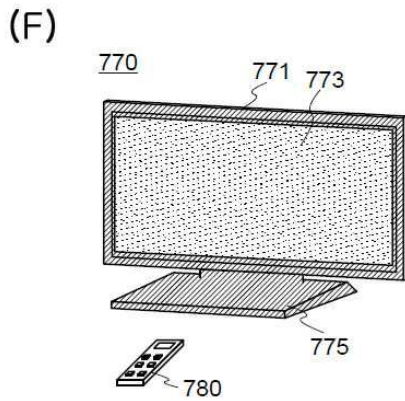
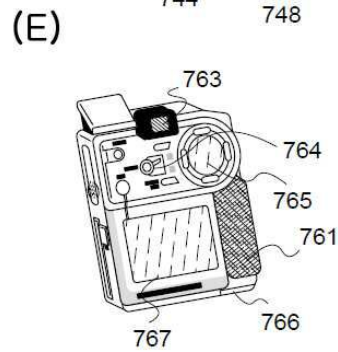
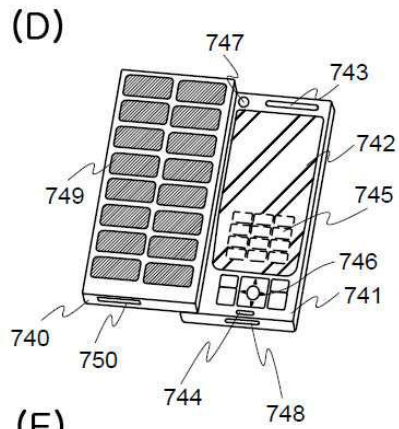
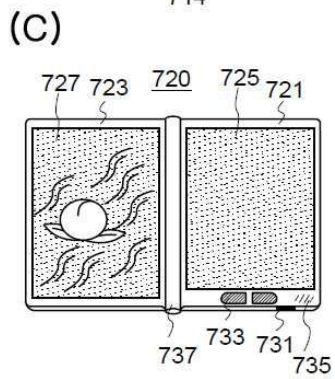
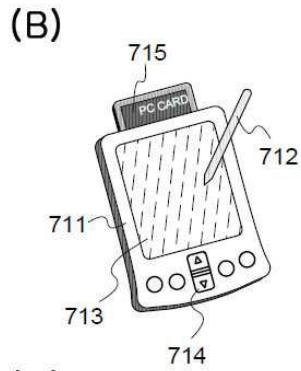
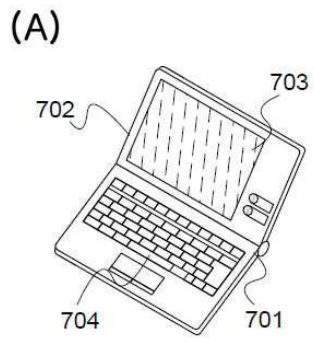
도면15



도면16

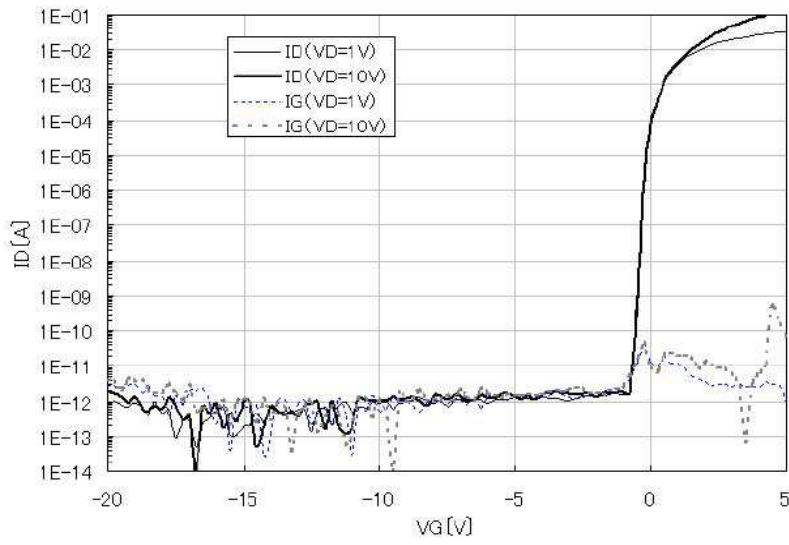


도면17

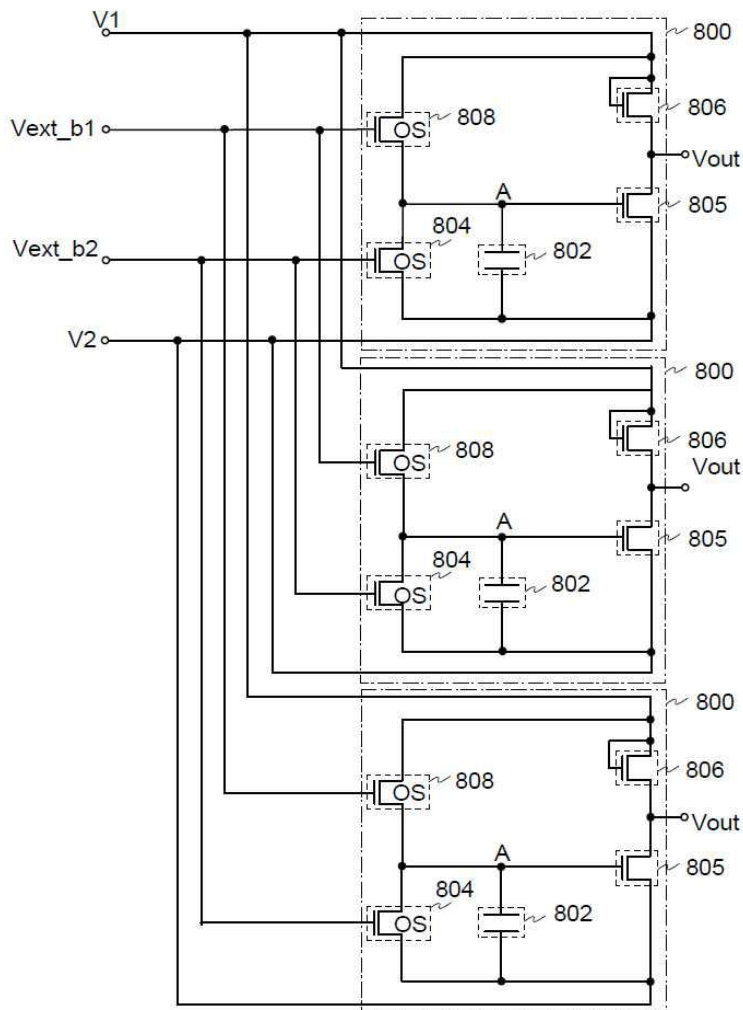


도면18

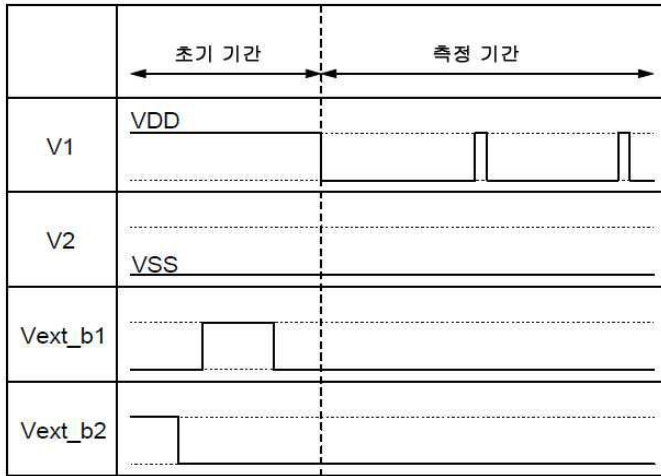
L/W1=10.0/1,000,000um(1m) 설계 TFT ID-VG 특성



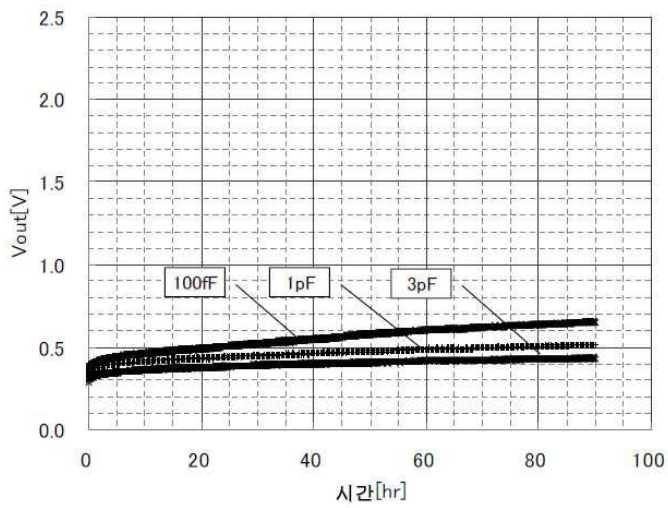
도면19



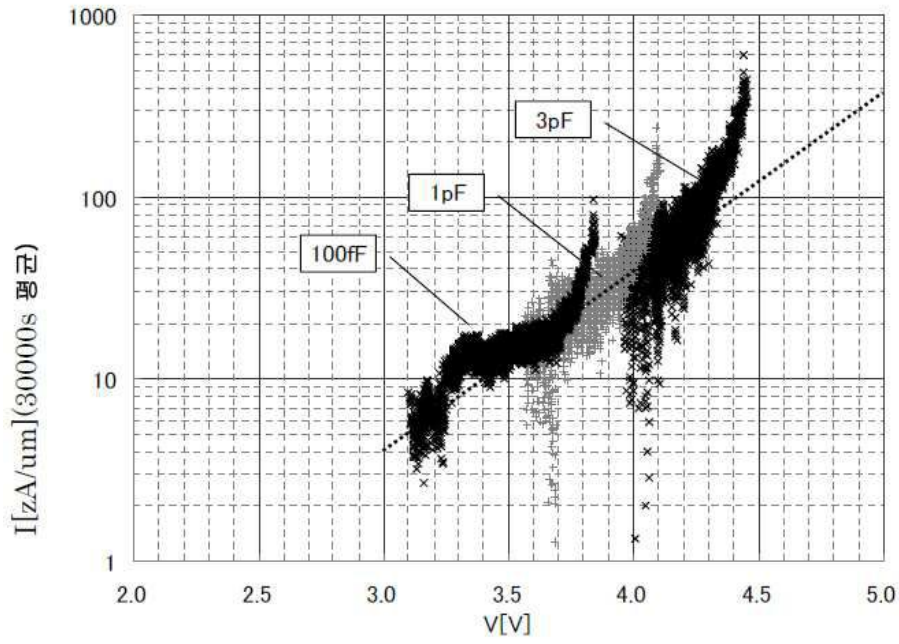
도면20



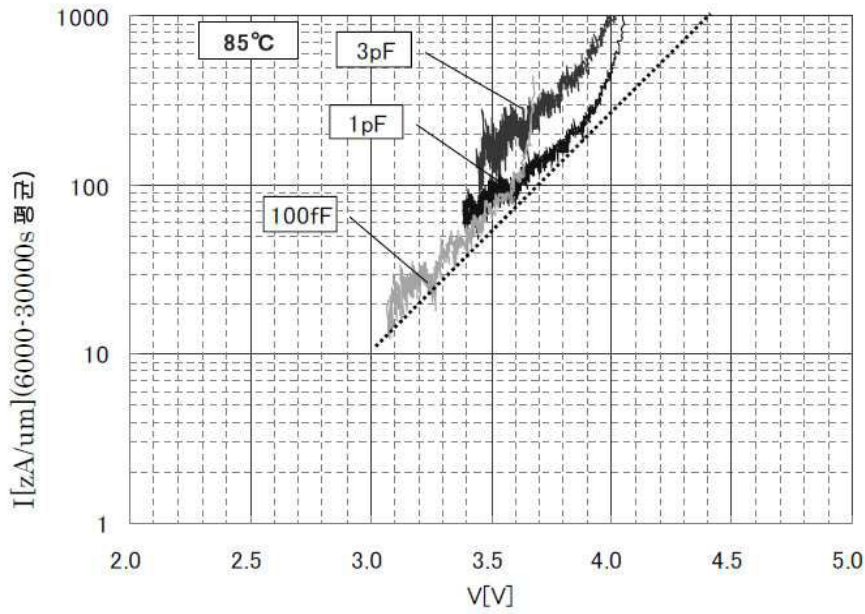
도면21



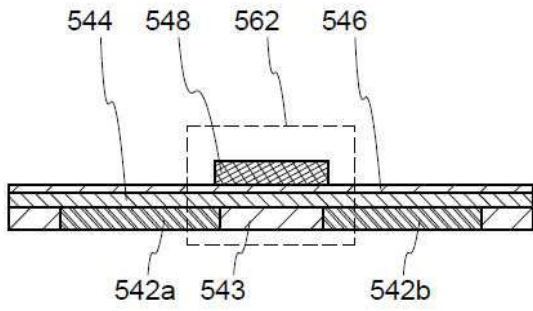
도면22



도면23



도면24



도면25

