



(12) 发明专利

(10) 授权公告号 CN 109147851 B

(45) 授权公告日 2020.12.25

(21) 申请号 201811014888.9

审查员 王晓春

(22) 申请日 2018.08.31

(65) 同一申请的已公布的文献号

申请公布号 CN 109147851 A

(43) 申请公布日 2019.01.04

(73) 专利权人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江高科技
园区高斯路568号

(72) 发明人 詹泽红 顾明

(74) 专利代理机构 上海思微知识产权代理事务

所(普通合伙) 31237

代理人 智云

(51) Int.Cl.

G11C 16/10 (2006.01)

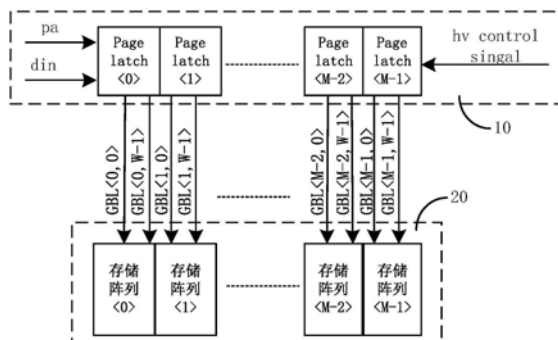
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种锁存电路

(57) 摘要

本发明公开了一种锁存电路,包括:存储阵列,为将原整体存储阵列区域按字节所划分得到的M个子存储区域<0:M-1>,用于按字节存储信息;锁存模块,用于给M个子存储区域<0:M-1>产生擦除、编程以及预编程所需的高压GBL<k,i>,本发明通过将锁存模块及存储阵列按字节划分,能够高效率使用锁存及存储阵列,降低存储阵列的使用频率,减缓其老化速率,从而提高其可靠性。



1. 一种锁存电路,包括

存储阵列,为将原整体存储阵列区域按字节所划分得到的M个子存储区域<0:M-1>,用于按字节存储信息;

锁存模块,包括地址译码器和M个页面锁存子电路;所述地址译码器用于根据地址信号产生字节选择信号 $pasel<k>$;各所述页面锁存子电路包括字节锁存电路、逻辑电路和高压产生电路;所述字节锁存电路,用于将所述地址译码器输出的字节选择信号 $pasel<k>$ 转换为同相字节选择信号 $paseld<k>$ 和互补字节选择信号 $paselb<k>$, $k=0,1,\dots,M-1$;所述逻辑电路,用于在字节选择信号和操作模式pre-program/erase/program的控制下产生不同工作模式所需的模式控制信号;所述高压产生电路,用于在所述模式控制信号的控制下给M个子存储区域<0:M-1>产生擦除、编程以及预编程所需的高压 $GBL<k,i>$,其中, $k=0,1,2,\dots,M-1,i=0,1,2,\dots,W-1,W$ 为字节的位数;

地址信号pa连接至所述地址译码器的输入端,其输出字节选择信号 $pasel<k>$ 分别连接至M个字节锁存电路的输入端,每个字节锁存电路的输出同相字节选择信号 $paseld<k>$ 和互补字节选择信号 $paselb<k>$ 连接至相应的逻辑电路的输入端,所述逻辑电路输出的模式控制信号连接至对应的高压产生电路的输入端,高压产生电路的输出高压 $GBL<k,i>$ 连接至对应的子存储区域k的W位。

2. 如权利要求1所述的一种锁存电路,其特征在于:所述所需的高压控制信号包括擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 。

3. 如权利要求2所述的一种锁存电路,其特征在于:高压模块产生的擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 连接至对应的高压产生电路的输入端,编程输入数据 din 和高压控制信号 $Hv_control_signal$ 连接至高压产生电路的输入端。

4. 如权利要求3所述的一种锁存电路,其特征在于:所述字节锁存电路包括第一反相器 $INV1$ 、第二反相器 $INV2$ 、第三反相器 $INV3$ 、第四反相器 $INV4$ 以及第一NMOS管 $MN1$ 和第二NMOS管 $MN2$ 。

5. 如权利要求4所述的一种锁存电路,其特征在于:所述第一NMOS管 $MN1$ 、第二NMOS管 $MN2$ 的源极和衬底连接至地 v_{gnd} ,所述第一NMOS管 $MN1$ 的栅极连接复位信号 $reset$,所述第二NMOS管 $MN2$ 的栅极连接字节选择信号 $pasel<k>$,所述第一NMOS管 $MN1$ 的漏极连接至第二反相器 $INV2$ 的输出端以及第一反相器 $INV1$ 和第四 $INV4$ 的输入端,所述第二NMOS管 $MN2$ 的漏极连接至第一反相器 $INV1$ 的输出端以及第二反相器 $INV2$ 和第三 $INV3$ 的输入端,所述第三反相器 $INV3$ 的输出即同相字节选择信号 $paseld<k>$,所述第四反相器 $INV4$ 的输出即互补字节选择信号 $paselb<k>$ 。

6. 如权利要求3所述的一种锁存电路,其特征在于:所述高压产生电路包括第一PMOS管 $MP1$ 、第二PMOS管 $MP2$ 、第三PMOS管 $MP3$ 、第三NMOS管 $MN3$ 、第四NMOS管 $MN4$ 以及第五NMOS管 $MN5$ 。

7. 如权利要求6所述的一种锁存电路,其特征在于:所述第三NMOS管 $MN3$ 的衬底以及第四NMOS管 $MN4$ 、第五NMOS管 $MN5$ 的源极和衬底连接至负高压 $hv_v_{neg_c}$,第二PMOS管 $MP2$ 和第三PMOS管 $MP3$ 的衬底以及第一PMOS管 $MP1$ 的源极和衬底连接至正高压 $hv_v_{pos_c}$,第四NMOS管 $MN4$ 的栅极连接高压编程输入数据 hv_data ,第三NMOS管 $MN3$ 的栅极连接编程高压控制信

号1dprg,第五NMOS管MN5的栅极连接高压预编程控制信号hv_pep,第三NMOS管MN3的源极连接第四NMOS管MN4的漏极,第二PMOS管MP2的漏极连接第三PMOS管MP3的源极,第二PMOS管MP2的源极连接高压vb1,第三NMOS管MN3的漏极与第五NMOS管MN5的漏极、第三PMOS管MP3的漏极以及第一PMOS管MP1的漏极相连组成输出高压GBL<k,i>节点。

一种锁存电路

技术领域

[0001] 本发明涉及非易失性存储器设计技术领域,特别是涉及一种新型闪存(Flash Memory)锁存电路。

背景技术

[0002] 嵌入式非易失性存储器(EFLASH MEMORY)在系统断电之后,可以很好地保存数据而广泛应用于汽车电子、智能家居等行业。随着这些行业的兴起,对flash的可靠性(擦写次数、使用年限)提出了更高的要求,因此研究如何提高可靠性flash具有十分重要的意义。

[0003] 一般来说,Flash的系统架构包括存储阵列和外围电路这两部分。外围电路包括行、列译码电路、逻辑控制电路、读出放大电路、数据锁存电路。Flash IP经过一定的使用年限会出现数据读出失效问题,原因在于随着擦写次数及使用年限的增加,会导致存储阵列的老化,降低其阈值电压,使得数据读出窗口下降无法正确读出。提高可靠性有两种方式:第一提高阈值电压窗口,这与读出放大电路的设计相关;第二降低存储阵列的老化速率,这与数据锁存电路的设计有关。本方案是基于如何降低存储阵列老化提出的设计方案,优化数据锁存电路,减少存储阵列使用的次数,从而提高其可靠性。

[0004] 图1是现有技术之flash IP存储阵列锁存架构示意图,如图1所示,其包括锁存模块(page latch)和存储数据阵列模块。锁存地址(page latch address)、输入数据(data in)、高压控制信号经过锁存模块产生GBL(global bit line,全局位线)信号作用于SONOS(silicon-oxide-nitride-oxide-silicon,硅-氧化物-氮化物-氧化物-硅)存储单元的BL(位线)上。

[0005] 在预编程(pre-program)、擦除(erase)、编程(program)高压模式下,产生的GBL电压如表1所示。

[0006] 表1 GBL增值表

| | Mode | GBL |
|--------|-------------|------|
| [0007] | pre_program | vneg |
| | erase | vpos |
| | program"0" | vbl |
| | program"1" | vneg |

[0008] 对存储单元进行高压操作分三个步骤,首先进行预编程(pre-program)操作,在位线BL上加负高压vneg,提高存储单元的阈值电压;然后进行擦除(erase)操作,清除历史存储数据,在位线BL上加正高压vpos,拉低存储单元的阈值电压,使擦除(erase)操作后,存储单元清除为“0”;最后进行编程(program)操作,根据锁存din的0/1两种状态,在位线BL上分别加正压vbl/负高压vneg,其中vbl的值在0~vdd(电源电压)之间,这使得存储单元的阈值电压会被不同程度的拉升。这样就完成对存储单元的高压编写操作,把数据存储到存储阵列中,通过读操作就可以读出存储阵列中的数据。

[0009] 上述锁存电路通过对GBL进行高压操作把数据锁存到GBL<(n-1):0>,这意味着每次高压操作都会选中存储阵列的所有列。但在实际应用中,客户每次修改的数据容量远小

于全部存储阵列的容量,这样会造成未修改部分的重复擦写,加速存储阵列的老化,存储阵列使用的次数减小,从而降低其可靠性。

发明内容

[0010] 为克服上述现有技术存在的不足,本发明之目的在于提供一种锁存电路,分以实现一种字节操作的锁存电路,避免一次性对所有存储阵列进行高压擦写操作,降低存储阵列的老化速率,从而提高flash IP存储数据的可靠性。

[0011] 为达上述及其它目的,本发明提出一种锁存电路,包括

[0012] 存储阵列,为将原整体存储阵列区域按字节所划分得到的M个子存储区域 $\langle 0:M-1 \rangle$,用于按字节存储信息;

[0013] 锁存模块,用于给M个子存储区域 $\langle 0:M-1 \rangle$ 产生擦除、编程以及预编程所需的高压 $GBL\langle k,i \rangle$, $k=0,1,2,\dots,M-1$, $i=0,1,2,\dots,W-1$,W为字节word的位数。

[0014] 优选地,所述锁存模块包括:

[0015] 地址译码器,用于根据地址信号产生字节选择信号 $pasel\langle k \rangle$;

[0016] M个页面锁存子电路,用于根据字节选择信号 $pasel\langle k \rangle$ 给M个子存储区域 $\langle 0:M-1 \rangle$ 产生擦除、编程以及预编程所需的高压 $GBL\langle k,i \rangle$ 。

[0017] 优选地,各页面锁存子电路包括:

[0018] 字节锁存电路,用于将所述地址译码器输出的字节选择信号 $pasel\langle k \rangle$ 转换为同相字节选择信号 $paseld\langle k \rangle$ 和互补字节选择信号 $paselb\langle k \rangle$, $k=0,1,\dots,M-1$;

[0019] 逻辑电路,用于在字节选择信号和操作模式(pre-program/erase/program)的控制下产生不同工作模式所需的模式控制信号;

[0020] 高压产生电路,用于产生不同工作模式所需的高压。

[0021] 优选地,所述所需的高压控制信号包括擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 。

[0022] 优选地,所述不同工作模式所需的高压包括擦除、编程和预编程所需的高压。

[0023] 优选地,地址信号pa连接至所述地址译码器的输入端,其输出字节选择信号 $pasel\langle k \rangle$ 分别连接至M个字节锁存电路的输入端,每个字节锁存电路的输出同相字节选择信号 $paseld\langle k \rangle$ 和互补字节选择信号 $paselb\langle k \rangle$ 以及操作模式(pre-program/erase/program)连接至相应的逻辑电路的输入端,所述逻辑电路输出的模式控制信号和高压模块(未示出)产生的擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 连接至对应的高压产生电路的输入端,高压产生电路的输出高压 $GBL\langle k,i \rangle$ 连接至对应的子存储区域k的W位,编程输入数据din和高压控制信号Hv control signal连接至高压产生电路的输入端。

[0024] 优选地,所述字节锁存电路包括第一反相器INV1、第二反相器INV2、第三反相器INV3、第四反相器INV4以及第一NMOS管MN1和第二NMOS管MN2。

[0025] 优选地,所述第一NMOS管MN1、第二NMOS管MN2的源极和衬底连接至地v_{gnd},所述第一NMOS管MN1的栅极连接复位信号reset,所述第二NMOS管MN2的栅极连接字节选择信号 $pasel\langle k \rangle$,所述第一NMOS管MN1的漏极连接至第二反相器INV2的输出端以及第一反相器

INV1和第四INV4的输入端,所述第二NMOS管MN2的漏极连接至第一反相器INV1的输出端以及第二反相器INV2和第三INV3的输入端,所述第三反相器INV3的输出即同相字节选择信号 $paselb\langle k \rangle$,所述第四反相器INV4的输出即互补字节选择信号 $paselb\langle k \rangle$ 。

[0026] 优选地,所述高压产生电路包括第一PMOS管MP1、第二PMOS管MP2、第三PMOS管MP3、第三NMOS管MN3、第四NMOS管MN4以及第五NMOS管MN5。

[0027] 优选地,所述第三NMOS管MN3的衬底以及第四NMOS管MN4、第五NMOS管MN5的源极和衬底连接至负高压 hv_vneg_c ,第二PMOS管MP2和第三PMOS管MP3的衬底以及第一PMOS管MP1的源极和衬底连接至正高压 hv_vpos_c ,第四NMOS管MN4的栅极连接高压编程输入数据 hv_data ,第三NMOS管MN3的栅极连接编程高压控制信号 $ldprg$,第五NMOS管MN5的栅极连接高压预编程控制信号 hv_pep ,第三NMOS管MN3的源极连接第四NMOS管MN4的漏极,第二PMOS管MP2的漏极连接第三PMOS管MP3的源极,第二PMOS管MP2的源极连接高压 $vb1$,第三NMOS管MN3的漏极与第五NMOS管MN5的漏极、第三PMOS管MP3的漏极以及第一PMOS管MP1的漏极相连组成输出高压 $GBL\langle k, i \rangle$ 节点。

[0028] 与现有技术相比,本发明一种锁存电路通过将锁存模块及存储阵列按字节划分,客户可以根据需求合理利用字节,能够高效率使用锁存及存储阵列,降低存储阵列的使用频率,减缓其老化速率,从而提高其可靠性。

附图说明

[0029] 图1是现有技术之flash IP存储阵列锁存架构示意图;

[0030] 图2为本发明一种锁存电路的结构示意图;

[0031] 图3为本发明具体实施例中锁存模块(Page Latch)的结构图;

[0032] 图4为本发明具体实施例中字节(Word)锁存电路的结构示意图;

[0033] 图5为本发明具体实施例高压产生电路的结构示意图。

具体实施方式

[0034] 以下通过特定的具体实例并结合附图说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点与功效。本发明亦可通过其它不同的具体实例加以施行或应用,本说明书中的各项细节亦可基于不同观点与应用,在不背离本发明的精神下进行各种修饰与变更。

[0035] 图2为本发明一种锁存电路的结构示意图。如图2所示,本发明一种锁存电路包括锁存模块(Page Latch)10和存储阵列20。

[0036] 其中,存储阵列20为将原整体存储阵列区域按字节(word)所划分得到的M个子存储区域 $\langle 0:M-1 \rangle$,用于按字节存储信息;锁存模块(page latch)10,用于给M个子存储区域 $\langle 0:M-1 \rangle$ 产生擦除、编程以及预编程所需的高压 $GBL\langle k, i \rangle$, $k=0,1,2,\dots,M-1$, $i=0,1,2,\dots,W-1$,W为字节word的位数。

[0037] 如图3所示,锁存模块(page latch)10由地址译码器110和M个页面锁存(Page Latch $\langle 0:M-1 \rangle$)子电路120组成,其中页面锁存(Page Latch $\langle 0:M-1 \rangle$)子电路120包括字节(Word)锁存电路121、逻辑电路122和高压产生电路123,其中,字节(Word)锁存电路121,用于将地址译码器110输出的字节选择信号 $pasel\langle k \rangle$ 转换为同相字节选择信号 $paseld\langle k \rangle$ 和

互补节选择信号 $paselb\langle k \rangle$ ($k=0,1,\dots,M-1$), 逻辑电路122, 用于在字节选择信号和操作模式 (pre-program/erase/program) 的控制下产生不同工作模式如预编程、擦除和编程所需的模式控制信号, 高压产生电路123, 用于在逻辑电路122输出的模式控制信号和高压模块 (未示出) 输出的高压控制信号如擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 的控制下产生不同工作模式如擦除、编程和预编程所需的高压。

[0038] 具体地, 地址信号 pa 连接至地址译码器110的输入端, 其输出字节选择信号 $pasel\langle k \rangle$ ($k=0,1,\dots,M-1$) 分别连接至 M 个字节 (Word) 锁存电路121的输入端, 每个字节 (Word) 锁存电路121的输出同相字节选择信号 $paseld\langle k \rangle$ 和互补节选择信号 $paselb\langle k \rangle$ ($k=0,1,\dots,M-1$) 以及操作模式 (pre-program/erase/program) 连接至相应的逻辑电路122的输入端, 逻辑电路122输出的模式控制信号和高压模块 (未示出) 输出的擦除高压控制信号 $ldersb$ 、编程高压控制信号 $ldprg$ 、互补编程高压控制信号 hv_ldprgb 、高压编程输入数据 hv_data 、高压预编程控制信号 hv_pep 连接至对应的高压产生电路123的输入端, 高压产生电路123的输出高压 $GBL\langle k, i \rangle$ 连接至对应的子存储区域 k 的 W 位 ($k=0,1,\dots,M-1; i=0,1,2,\dots,W-1, W$ 为子存储区域 k 的字节 $word$ 的位数, 图2所示 $W=2$, 位数 $W*M$ 即为图2的 n), 编程输入数据 din 和高压控制信号 $Hv_control_signal$ 连接至高压产生电路123的输入端。

[0039] 具体地, 如图4所示, 字节 (Word) 锁存电路121包括反相器 $INV1$ 、 $INV2$ 、 $INV3$ 、 $INV4$ 以及NMOS管 $MN1$ 和 $MN2$, NMOS管 $MN1$ 、 $MN2$ 的源极和衬底连接至地 $vgnd$, NMOS管 $MN1$ 的栅极连接复位信号 $reset$, NMOS管 $MN2$ 的栅极连接字节选择信号 $pasel\langle k \rangle$, NMOS管 $MN1$ 的漏极连接至反相器 $INV2$ 的输出端以及反相器 $INV1$ 和 $INV4$ 的输入端, NMOS管 $MN2$ 的漏极连接至反相器 $INV1$ 的输出端以及反相器 $INV2$ 和 $INV3$ 的输入端, 反相器 $INV3$ 的输出即同相字节选择信号 $paseld\langle k \rangle$, 反相器 $INV4$ 的输出即互补节选择信号 $paselb\langle k \rangle$, 图4中忽略了每个信号的位序 k ($k=0,1,\dots,M-1$)

[0040] 如图5所示, 高压产生电路123包括PMOS管 $MP1$ 、 $MP2$ 、 $MP3$ 、NMOS管 $MN3$ 、 $MN4$ 、 $MN5$, NMOS管 $MN3$ 的衬底以及NMOS管 $MN4$ 、 $MN5$ 的源极和衬底连接至负高压 hv_vneg_c , PMOS管 $MP2$ 和 $MP3$ 的衬底以及PMOS管 $MP1$ 的源极和衬底连接至正高压 hv_vpos_c , NMOS管 $MN4$ 的栅极连接高压编程输入数据 hv_data , NMOS管 $MN3$ 的栅极连接编程高压控制信号 $ldprg$, NMOS管 $MN5$ 的栅极连接高压预编程控制信号 hv_pep , NMOS管 $MN3$ 的源极连接NMOS管 $MN4$ 的漏极, PMOS管 $MP2$ 的漏极连接PMOS管 $MP3$ 的源极, PMOS管 $MP2$ 的源极连接高压 vbl , NMOS管 $MN3$ 的漏极与NMOS管 $MN5$ 的漏极、PMOS管 $MP3$ 的漏极以及PMOS管 $MP1$ 的漏极相连组成输出高压 $GBL\langle k, i \rangle$ 节点。

[0041] 客户可以根据需要选择所需的锁存模块 (page latch) 和存储阵列区域, 进行擦写操作, 未选中的区域则无需进行擦写操作, 这样可以有效利用存储阵列, 降低其老化的速度, 从而提高其可靠性。

[0042] 按字节划分后的锁存电路产生的 $GBL\langle k, i \rangle$ 电压如表2 (后续忽略位序 $\langle k, i \rangle$) 所示, 选中 $word$, 锁存电路产生的 GBL 电压与传统锁存电路产生的 GBL 相同; 同时未选中 $word$ 产生的 GBL 在高压模式都被拉至“0” ($vgnd$)。

[0043] 表2分字节锁存电路产生的 GBL 增值表

| | word | mode | GBL |
|--------|-------------|-------------|------------|
| | | pre_program | vneg |
| [0044] | Select | erase | vpos |
| | | program"0" | vbl |
| | | program"1" | vneg |
| | Unselect | X | vgnd |

[0045] 电路具体工作如下所示：

[0046] (1) 锁存地址 (pa) 译码确认锁存模块 (page latch) 按字节划分的个数M

[0047] (2) 锁存地址 (pa) 确定选中word, 如图4所示, word选择锁存电路。当pasel为“1”, word选中; pasel为“0”, word未选中

[0048] (3) pasel与高压模式之间的逻辑控制及输入数据锁存确认选中word, GBL在不同高压模式下的电压; 未选中word, GBL被拉至“0”

[0049] 可见, 本发明一种锁存电路通过将锁存模块及存储阵列按字节划分, 客户可以根据需求合理利用字节, 能够高效率使用锁存及存储阵列, 降低存储阵列的使用频率, 减缓其老化速率, 从而提高其可靠性。

[0050] 上述实施例仅例示性说明本发明的原理及其功效, 而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下, 对上述实施例进行修饰与改变。因此, 本发明的权利保护范围, 应如权利要求书所列。

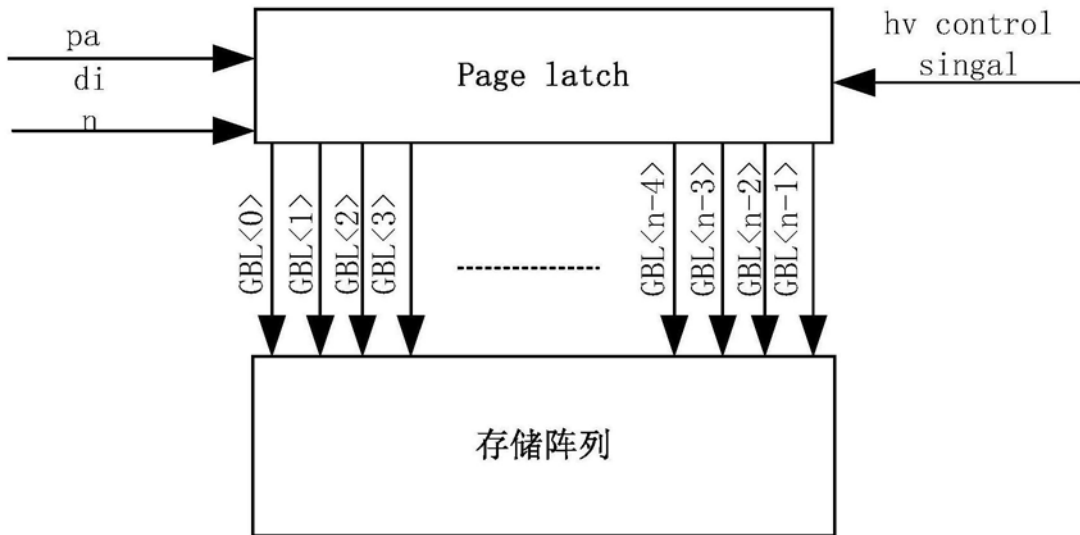


图1

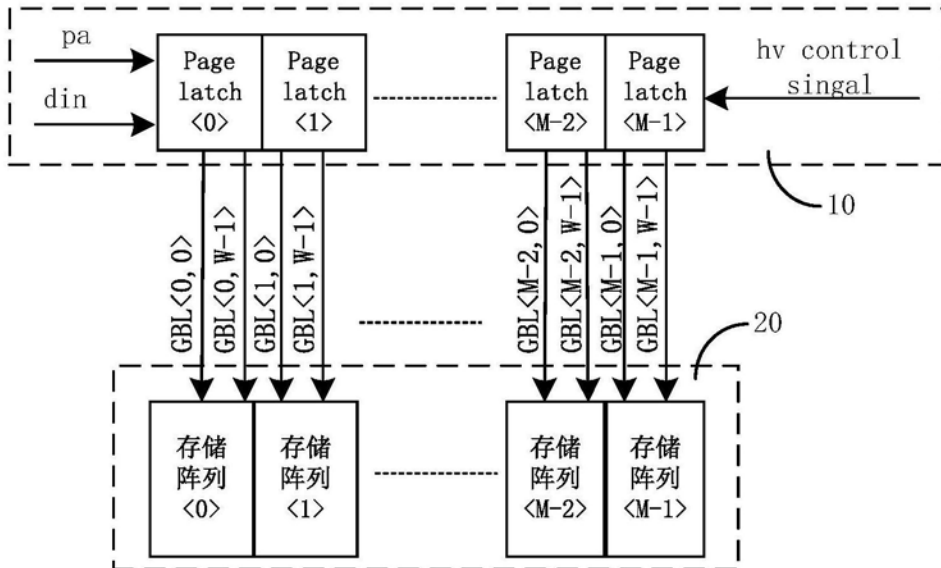


图2

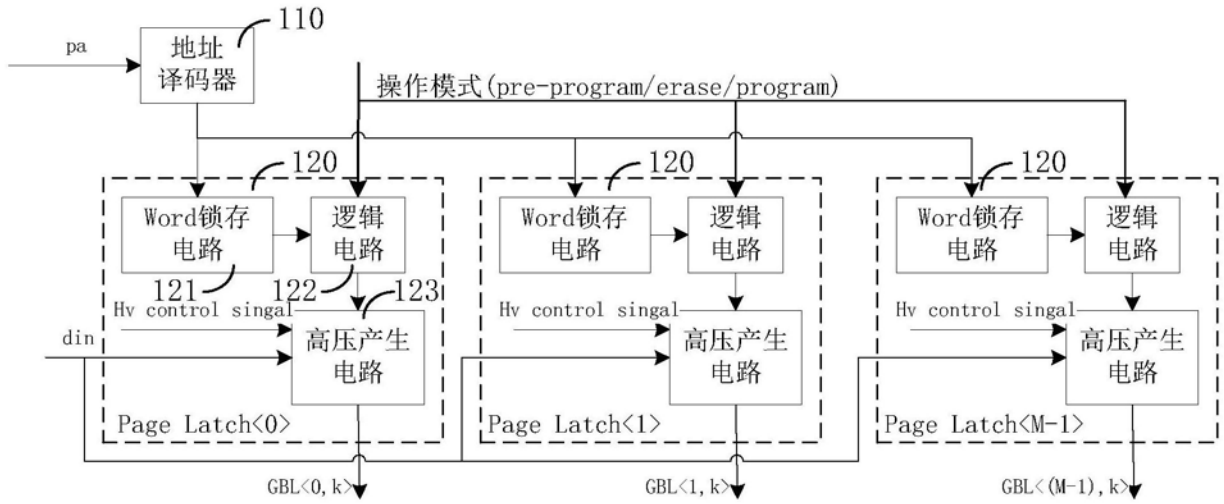


图3

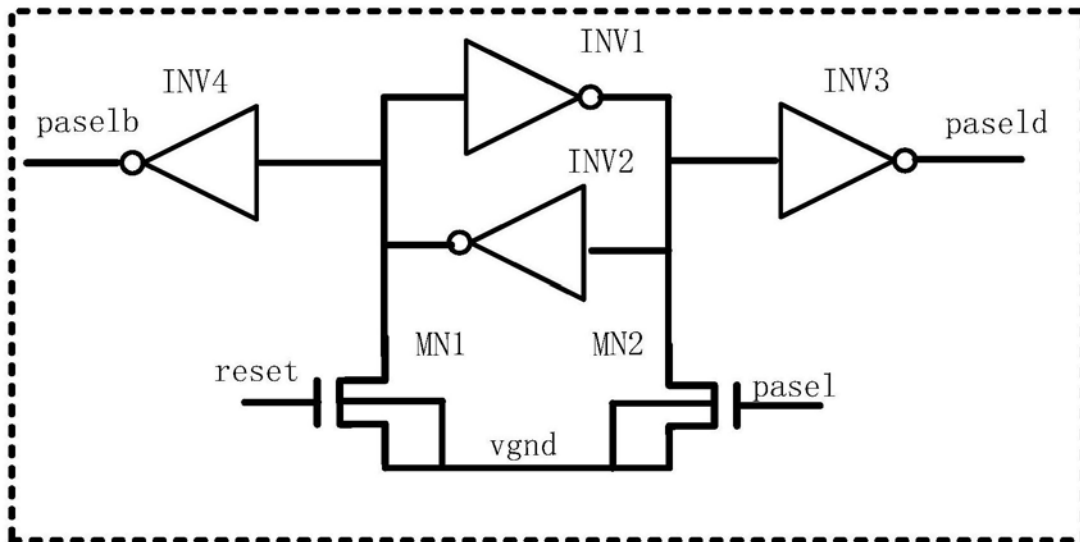


图4

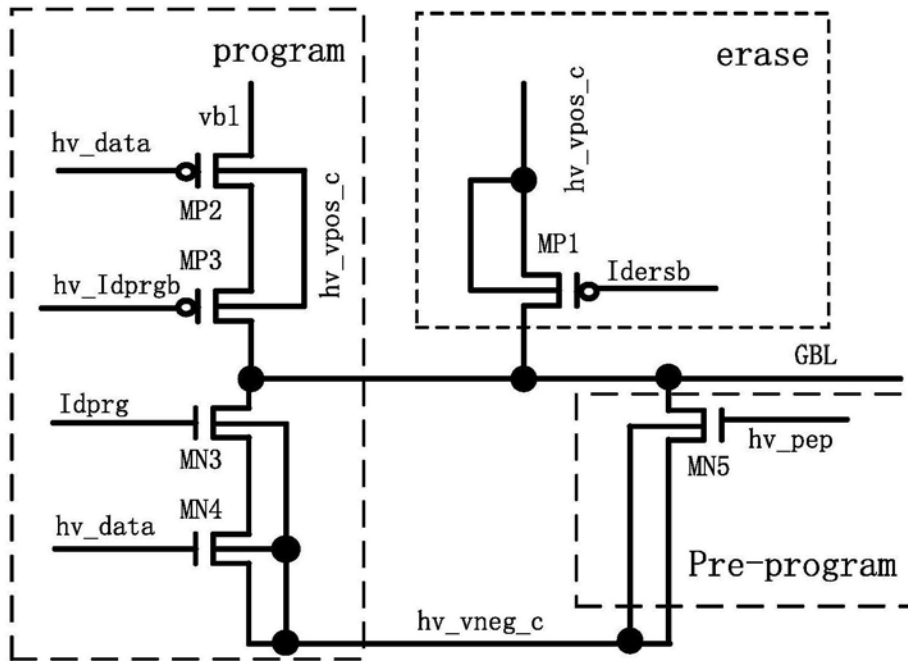


图5