



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 23/48 (2006.01)

H01L 23/12 (2006.01)

(11) 공개번호 10-2007-0048952

(43) 공개일자 2007년05월10일

(21) 출원번호 10-2005-0106068

(22) 출원일자 2005년11월07일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 신화수
충남 천안시 신방동 성지아파트 205동 702호
김희석
충남 천안시 쌍용동 1923 용암마을 동아벽산아파트 111동 1402호
김상준
충남 천안시 청수동 LG.SK APT 102동 1504호
고준영
충남 천안시 쌍용동 주공10단지아파트 507동 1204호

(74) 대리인 윤동열

전체 청구항 수 : 총 5 항

(54) 내부 접속 단자를 갖는 멀티 칩 패키지

(57) 요약

본 발명은 내부 접속 단자를 갖는 멀티 칩 패키지에 관한 것으로, 본딩 와이어를 이용하여 반도체 칩들을 연결하는 경우, 피적층 반도체 칩에 비해서 크기가 동일하거나 큰 적층 반도체 칩과 피적층 반도체 칩의 사이에는 고가의 스페이서가 개재되어야 하기 때문에, 제조 비용을 절감하기 위해서는 피적층 반도체 칩이 적층 반도체 칩보다 큰 경우에만 멀티 칩 패키지의 구현이 가능하다. 또한, 반도체 칩에 비아 홀을 형성시킨 다음 반도체 칩을 적층하는 경우, 제조 공정이 복잡하고, 반도체 칩들의 크기가 동일한 경우에만 멀티 칩 패키지의 구현이 가능하다. 이와 같은 문제점을 해결하기 위해서, 본 발명은 반도체 칩의 칩 패드로부터 연장되어 반도체 칩들을 연결시키는 복수개의 내부 접속 단자들과, 칩 패드와 내부 접속 단자들의 연결 부분에 각각 형성되는 도금막을 이용하여 반도체 칩들을 전기적으로 접속시키는 내부 접속 단자를 갖는 멀티 칩 패키지를 제공한다. 본 발명에 따르면, 내부 접속 단자는 어떠한 크기의 반도체 칩에도 용이하게 적용 가능하기 때문에, 반도체 칩들의 크기와 무관하게 적층하여 멀티 칩 패키지를 구현할 수 있으며, 개별적으로 형성된 내부 접속 단자를 이용하여 반도체 칩들을 연결시키기 때문에, 제조 공정이 단순해질 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

일면의 가장자리 영역을 따라서 복수개의 칩 패드들이 형성된 복수개의 반도체 칩들;

상기 반도체 칩들을 전기적으로 접속시키며 서로 연결되는 복수개의 내부 접속 단자들; 및

상기 칩 패드와 상기 내부 접속 단자들의 연결 부분에 각각 형성되는 도금막;을 포함하며,

상기 도금막은,

상기 칩 패드의 상부면에 형성되는 제 1 도금막; 및

상기 내부 접속 단자의 상기 제 1 도금막과 연결되는 부분 및 수직으로 이웃하는 상기 내부 접속 단자와 연결되는 부분에 형성되는 제 2 도금막;을 포함하는 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지.

청구항 2.

제 1항에 있어서,

상기 내부 접속 단자는 상기 칩 패드로부터 상기 반도체 칩의 측면을 따라서 연장되어 상기 반도체 칩의 타면을 향하여 노출되는 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지.

청구항 3.

제 2항에 있어서,

상기 내부 접속 단자의 형태는 "ㄱ, ㄴ, ㄷ 또는 S" 자형 중에 어느 하나인 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지.

청구항 4.

제 1항에 있어서,

상기 내부 접속 단자는 구리(Cu) 또는 합금(alloy) 중에 어느 하나인 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지.

청구항 5.

제 1항에 있어서,

상기 제 1 및 제 2 도금막은 금(Au), 은(Ag), 주석(Sn), 주석-납(SnPb) 합금 또는 주석-비스무트(SnBi) 합금 중에 어느 하나인 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는 복수개의 반도체 칩들을 수직으로 연결하는 내부 접속 단자를 갖는 멀티 칩 패키지에 관한 것이다.

최근 전자 휴대기기의 크기가 소형화됨에 따라, 전자 휴대기기 내에 장착되는 반도체 패키지도 점차 소형화, 박형화 및 경량화되고 있다. 한편, 반도체 패키지에 실장되는 반도체 칩의 용량은 증대되고 있다. 이에 따라, 기존에는 하나의 기능을 담당하는 반도체 칩이 실장된 싱글 칩 패키지(single chip package)가 제조되었으나, 최근에는 하나의 패키지 내에 두 개 이상의 반도체 칩이 실장된 멀티 칩 패키지(Multi Chip Package;MCP)가 제조되고 있는 추세이다.

멀티 칩 패키지 기술은 배선 기판에 두 개 이상의 반도체 칩을 실장해 하나의 패키지로 만들어 크기를 축소할 수 있는 반도체 패키징 기술로서, 동일한 종류의 반도체 칩들을 실장하거나 다른 종류의 반도체 칩들을 실장한 혼합형(hybrid type) 등 다양한 방향으로 기술이 발전하고 있다. 이 때, 반도체 칩들은 배선 기판 위에 평면적으로 실장될 수도 있고 수직적으로 실장될 수도 있는데, 반도체 패키지의 소형화, 박형화 및 경량화의 요구에 따라 반도체 칩을 수직적으로 적층시키는 형태가 많이 사용되고 있다.

종래기술에 따른 멀티 칩 패키지(100a)는, 도 1에 도시된 바와 같이, 배선 기판(10) 상부면에 크기가 다른 복수개의 반도체 칩들(20, 30, 40)이 적층된 구조로 구현된다. 배선 기판(10)과 반도체 칩들(20, 30, 40)은 본딩 와이어(bonding wire;50)에 의해 전기적으로 연결된다. 배선 기판(10) 상부면에 적층된 반도체 칩들(20, 30, 40)과 본딩 와이어(50)는 성형 공정을 통하여 일괄적으로 성형되어 형성된 수지 봉합부(80)에 의해 외부 환경으로부터 보호된다. 그리고 배선 기판(10)의 하부면에는 솔더 볼(solder ball;60)이 형성되어 있다.

이 때, 피적층 반도체 칩에 비해서 적층 반도체 칩의 크기가 동일하거나 클 경우, 피적층 반도체 칩에서 인출된 본딩 와이어가 적층 반도체 칩의 하부면과 접촉하여 전기적 쇼트(short)가 발생할 수 있다.

이에 따라, 상하 반도체 칩(30, 40) 사이에 스페이서(spacer;70)를 개재하여 피적층 반도체 칩(30)에서 인출된 본딩 와이어(50)가 적층 반도체 칩(40)의 하부면과 기계적으로 접촉하는 것을 방지한다. 물론 스페이서(70)는 피적층 반도체 칩(30)에서 인출된 본딩 와이어(50)가 적층 반도체 칩(40)의 하부면과 접촉하지 않을 정도의 두께를 갖도록 형성된다.

그런데, 스페이서로 사용되는 칩 접착 필름(chip attach film)이 고가(高價)이기 때문에, 스페이서를 사용하여 멀티 칩 패키지를 제조하는 데 있어서 고비용이 요구된다.

한편, 종래기술에 따른 다른 멀티 칩 패키지(100b)는, 도 2에 도시된 바와 같이, 비아 홀(via hole;90)이 형성된 복수개의 반도체 칩들(20, 30, 40)이 적층된 구조로 구현된다. 비아 홀(90)은 반도체 칩(20, 30, 40)을 관통하여 반도체 칩(20, 30, 40)의 활성면과 비활성면을 연결시킨다. 비활성면의 비아 홀(90) 일단부에는 솔더 볼(95)이 형성되어 있다. 그리고, 피적층 반도체 칩의 솔더 볼(95)이 적층 반도체 칩의 활성면의 비아 홀(90) 타단부에 부착됨으로써, 반도체 칩들(20, 30, 40)이 전기적으로 연결된다.

그런데, 이와 같은 종래기술에 따른 다른 멀티 칩 패키지(10b)는 반도체 칩(20, 30, 40)에 비아 홀(90)이 형성되어야 하기 때문에 제조 공정이 복잡하다. 또한, 피적층 반도체 칩의 비아 홀(90)과 적층 반도체 칩의 비아 홀(90)이 각각의 반도체 칩(20, 30, 40)의 동일한 위치에 형성되어야 하기 때문에, 동일한 크기의 반도체 칩들(20, 30, 40)을 적층하는 경우에만 적용이 가능하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 제조 공정이 단순하고, 반도체 칩의 크기와 무관하게 복수개의 반도체 칩들을 적층할 수 있는 내부 접속 단자를 갖는 멀티 칩 패키지를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 일면의 가장자리 영역을 따라서 복수개의 칩 패드들이 형성된 복수개의 반도체 칩들과, 반도체 칩들을 전기적으로 접속시키며 서로 연결되는 복수개의 내부 접속 단자들과, 칩 패드와 내부 접속 단자들의 연결 부분에 각각 형성되는 도금막을 포함하며, 도금막은, 칩 패드의 상부면에 형성되는 제 1 도금막과, 내부 접속 단자의 제 1 도금막과 연결되는 부분 및 수직으로 이웃하는 내부 접속 단자와 연결되는 부분에 형성되는 제 2 도금막을 포함하는 것을 특징으로 하는 내부 접속 단자를 갖는 멀티 칩 패키지를 제공한다.

본 발명에 따른 멀티 칩 패키지에 있어서, 내부 접속 단자는 칩 패드로부터 반도체 칩의 측벽을 따라서 연장되어 반도체 칩의 타면을 향하여 노출된다.

본 발명에 따른 멀티 칩 패키지에 있어서, 내부 접속 단자의 형태는 "┌", "┐", "└" 또는 "S" 자형 중에 어느 하나인 것이 바람직하다.

본 발명에 따른 멀티 칩 패키지에 있어서, 내부 접속 단자는 구리(Cu), 또는 합금(alloy) 중에 어느 하나인 것이 바람직하다.

본 발명에 따른 멀티 칩 패키지에 있어서, 제 1 및 제 2 도금막은 금(Au), 은(Ag), 주석(Sn), 주석-납(SnPb) 합금 또는 주석-비스무트(SnBi) 합금 중에 어느 하나인 것이 바람직하다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 제 1 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다. 도 4는 도 3의 "A" 부분을 나타내는 확대도이다.

도 3 및 도 4를 참조하면, 제 1 실시예에 따른 멀티 칩 패키지(200)는 복수개의 반도체 칩들(120, 130, 140)이 3차원으로 적층되어 있으며, 반도체 칩들(120, 130, 140)이 내부 접속 단자(152)에 의해 연결된 구조를 갖는다.

본 발명의 제 1 실시예에 따른 멀티 칩 패키지(200)에 대해서 구체적으로 설명하면, 멀티 칩 패키지(200)는 반도체 칩들(120, 130, 140), 내부 접속 단자(152) 및 도금막(154)을 포함한다.

반도체 칩들(120, 130, 140)의 상부면에는 가장자리 영역을 따라서 복수개의 칩 패드들(122, 132, 142)이 형성되어 있다. 칩 패드(122, 132, 142)는 일반적으로 알루미늄(Al)으로 되어 있다. 이 때, 반도체 칩들(120, 130, 140)은 크기가 모두 동일하며, 칩 패드(122, 132, 142)의 개수 및 배치 간격도 모두 동일하다.

내부 접속 단자(152)는 이러한 반도체 칩들(120, 130, 140)의 사이를 연결시킨다. 내부 접속 단자(152)는 반도체 칩(120, 130, 140) 상부면의 각각의 칩 패드(122, 132, 142)로부터 반도체 칩(120, 130, 140)의 측벽을 따라서 연장되어 반도체 칩(120, 130, 140)의 하부면을 향하여 노출된다. 반도체 칩(120, 130, 140)의 하부면을 향하여 노출된 내부 접속 단자(152)의 단부는 수직으로 이웃하는 반도체 칩(120, 130, 140)의 대응하는 위치의 내부 접속 단자(152)와 연결된다. 이러한 내부 접속 단자(152)의 형태는 "┌" 자형으로 이루어진다.

이 때, 이러한 내부 접속 단자(152)는 반도체 칩들(120, 130, 140)을 연결시켜 전기적으로 접속시키는 경로로 이용되기 때문에, 전기 전도성이 우수한 물질, 예컨대, 구리(Cu) 또는 합금(alloy) 중에 어느 하나로 형성되는 것이 바람직하다.

도금막(154)은 반도체 칩들(120, 130, 140)과 내부 접속 단자들(152)의 연결 부분에 각각 도금되어 형성된다. 이러한 도금막(154)은 형성 위치에 따라 분류되는 제 1 도금막(155) 및 제 2 도금막(157)을 포함한다. 제 1 도금막(155)은 반도체 칩들(120, 130, 140)의 칩 패드(122, 132, 142) 상부면에 형성된다. 또한, 제 2 도금막(157)은 내부 접속 단자(152)의 제 1 도금막(155)과 연결되는 부분 및 수직으로 이웃하는 다른 내부 접속 단자(152)와 연결되는 부분, 예컨대, 상부의 반도체 칩으로부터 연장된 내부 접속 단자 및 하부의 반도체 칩으로부터 연장된 내부 접속 단자와 연결되는 부분에 형성된다.

이러한 도금막(154)은 열 압착 또는 리플로우(reflow)에 의해 서로 접촉되어 칩 패드들(122, 132, 142)과 내부 접속 단자들(152)을 연결시킨다.

이 때, 도금막(154)은 칩 패드들(122, 132, 142)과 내부 접속 단자들(152) 사이의 접합력을 향상시키는 용도로 이용되기 때문에, 내부 접속 단자들(152)에 비하여 저융점을 갖는 금속, 예컨대, 금(Au), 은(Ag), 주석(Sn), 주석-납(SnPb) 합금 또는 주석-비스무트(SnBi) 합금 중에 어느 하나로 형성되는 것이 바람직하다.

한편, 최하부 반도체 칩(120)의 칩 패드(122)로부터 연장된 내부 접속 단자(152)는 솔더링(soldering)을 통해 모 기판(mother board; 도시되지 않음)에 연결된다. 이에 따라, 최하부 반도체 칩(120)의 하부면을 향하여 노출된 내부 접속 단자(152)의 단부가 모 기판에 연결됨으로써, 반도체 칩들(120, 130, 140)과 모 기판이 전기적으로 접속된다.

한편, 전술한 실시예에서는 "ㄱ" 자형의 내부 접속 단자를 갖는 멀티 칩 패키지에 대해서만 개시하였지만, 다양한 형태의 내부 접속 단자를 이용하여 본 발명의 멀티 칩 패키지를 구현할 수 있다. 도 5는 그러한 예로서, 도 5는 본 발명의 제 2 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다.

도 5를 참조하면, 멀티 칩 패키지(300)의 기본 구조는 전술한 실시예의 멀티 칩 패키지(200)와 동일하다. 다만, 본 실시예의 멀티 칩 패키지(300)는 반도체 칩(220, 230, 240)의 하부면에 칩 패드(222, 232, 242)가 형성되며, "ㄴ" 자형의 내부 접속 단자(252)에 의해 반도체 칩들(220, 230, 240)이 연결된 구조를 갖는다.

즉, 본 발명의 제 2 실시예에 따르면, 반도체 칩들(220, 230, 240)은 복수개의 칩 패드들(222, 232, 242)이 하부면의 가장자리 영역을 따라서 형성된 구조를 갖는다. 이는 상부면에 칩 패드들이 형성된 반도체 칩을 상부면이 하부를 향하도록 회전시킨 경우에 구현 가능하다. 이러한 경우, 내부 접속 단자(252)는 반도체 칩(220, 230, 240) 하부면의 각각의 칩 패드(222, 232, 242)로부터 반도체 칩(220, 230, 240)의 측벽을 따라서 연장되어 반도체 칩(220, 230, 240)의 상부면을 향하여 노출된다. 반도체 칩(220, 230, 240)의 상부면을 향하여 노출된 내부 접속 단자(252)의 단부는 수직으로 이웃하는 반도체 칩(220, 230, 240)의 대응하는 위치의 내부 접속 단자(252)와 도금막(254)을 매개로 연결된다. 이러한 내부 접속 단자(252)의 형태는 "ㄴ" 자형으로 이루어진다.

또한, 전술한 실시예들의 "ㄱ" 또는 "ㄴ" 자형 내부 접속 단자들 이외에도 "ㄷ" 또는 "S" 자형의 내부 접속 단자를 이용하여 본 발명의 멀티 칩 패키지를 구현할 수 있다.

한편, 전술한 실시예에서는 크기가 모두 동일한 반도체 칩들을 적층한 멀티 칩 패키지에 대해서만 개시하였지만, 크기가 각기 다른 반도체 칩들을 적층하여 본 발명의 멀티 칩 패키지를 구현할 수 있다. 도 6은 그러한 예로서, 도 6은 본 발명의 제 3 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다.

도 6을 참조하면, 멀티 칩 패키지(400)의 기본 구조는 전술한 실시예들의 멀티 칩 패키지와 동일하다. 다만, 본 실시예의 멀티 칩 패키지(400)는 다양한 형태의 내부 접속 단자(352a, 352b)에 의해 반도체 칩들(320, 330, 340)이 연결된 구조를 갖는다.

즉, 본 발명의 제 3 실시예에 따르면, 반도체 칩들(320, 330, 340)은 각기 다른 크기를 갖는다. 적층 반도체 칩(340)의 크기가 피적층 반도체 칩(330)보다 클 수도 있고, 적층 반도체 칩(330)의 크기가 피적층 반도체 칩(320)의 크기보다 작을 수도 있다. 이러한 경우, "ㄱ", "ㄴ", "ㄷ" 또는 "S" 자형 중에 어느 하나의 형태를 갖는 내부 접속 단자(352a, 352b)를 이용하여 반도체 칩들(320, 330, 340)을 연결시킴으로써, 본 발명의 멀티 칩 패키지(400)를 구현할 수 있다. 또한, 하나의 멀티 칩 패키지(400)에 형태가 각기 다른 둘 이상의 내부 접속 단자(352a, 352b)가 이용될 수도 있다.

예컨대, 최하부 반도체 칩(320)에는 "ㄷ" 자형의 내부 접속 단자(352a)를 연결하고, 최하부 반도체 칩(320)에 비하여 작은 크기를 갖는 중간 반도체 칩(330)에는 "S" 자형의 내부 접속 단자(352b)를 연결시킴으로써, 적층 반도체 칩(330)의 크기가 피적층 반도체 칩(320)보다 작은 두 개의 반도체 칩들(320, 330)을 적층시킬 수 있다. 그리고, 중간 반도체 칩(330)에 비하여 큰 크기를 갖는 최상부 반도체 칩(340)에는 "ㄷ" 자형의 내부 접속 단자(352a)를 연결시킴으로써, 적층 반도체 칩(340)의 크기가 피적층 반도체 칩(330)보다 큰 두 개의 반도체 칩들(330, 340)을 적층시킬 수 있다.

한편, 전술한 실시예들은 세 개의 반도체 칩들이 적층된 구조를 갖는 멀티 칩 패키지를 개시하였지만, 둘 또는 셋 이상의 반도체 칩들을 적층하여 본 발명의 멀티 칩 패키지를 구현할 수 있다.

발명의 효과

따라서, 본 발명의 구조를 따르면, "ㄱ, ㄴ, ㄷ 또는 S" 자형 중에 어느 하나의 형태를 갖는 내부 접속 단자를 이용하여 반도체 칩들을 연결시킴으로써, 어떠한 크기의 반도체 칩에도 용이하게 적용하는 것이 가능하기 때문에, 반도체 칩들의 크기와 무관하게 복수개의 반도체 칩들을 적층하여 멀티 칩 패키지를 구현할 수 있다.

또한, 개별적으로 형성된 내부 접속 단자를 반도체 칩의 칩 패드에 연결시키고, 각각의 반도체 칩들로부터 연장된 내부 접속 단자를 수직으로 이웃하는 내부 접속 단자들에 연결시켜, 복수개의 반도체 칩들을 수직으로 적층시킴으로써, 반도체 칩에 비아 홀을 형성한 다음 반도체 칩들을 적층하는 종래기술에 따른 멀티 칩 패키지의 제조 공정에 비하여 단순한 제조 공정에 따라서 본 발명에 따른 멀티 칩 패키지를 제조할 수 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 멀티 칩 패키지를 나타내는 단면도이다.

도 2는 종래기술에 따른 다른 멀티 칩 패키지를 나타내는 단면도이다.

도 3은 본 발명의 제 1 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다.

도 4는 도 3의 "A" 부분을 나타내는 확대도이다.

도 5는 본 발명의 제 2 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다.

도 6은 본 발명의 제 3 실시예에 따른 멀티 칩 패키지를 나타내는 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

120, 130, 140, 220, 230, 240, 320, 330, 340 : 반도체 칩

122, 132, 142, 222, 232, 242, 322, 332, 342 : 칩 패드

152, 252, 352a, 352b : 내부 접속 단자

154, 254, 354 : 도금막

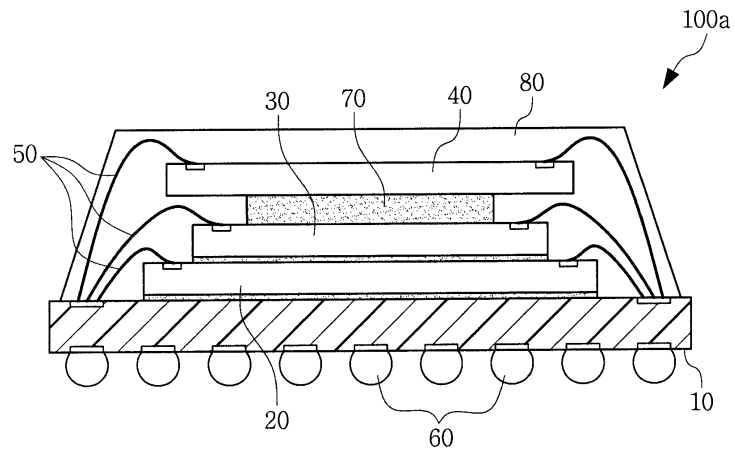
155, 255, 355 : 제 1 도금막

157, 257, 357a, 357b : 제 2 도금막

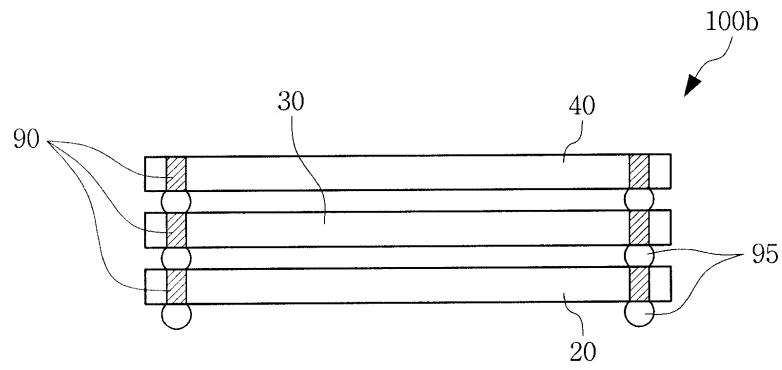
200, 300, 400 : 멀티 칩 패키지

도면

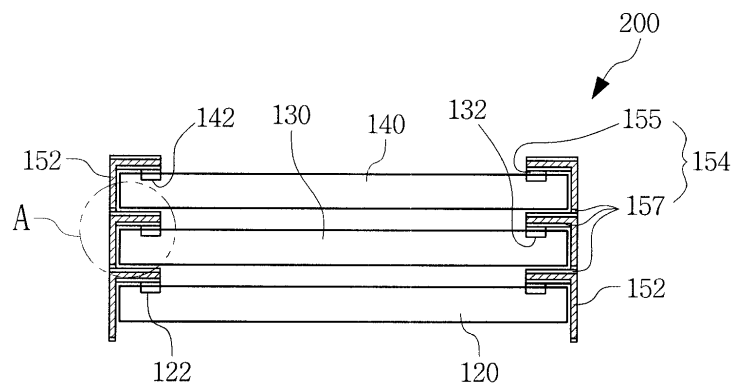
도면1



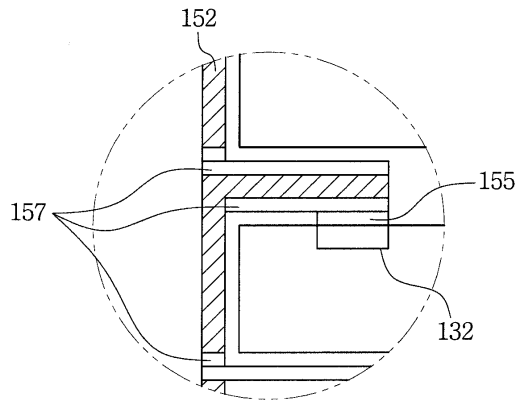
도면2



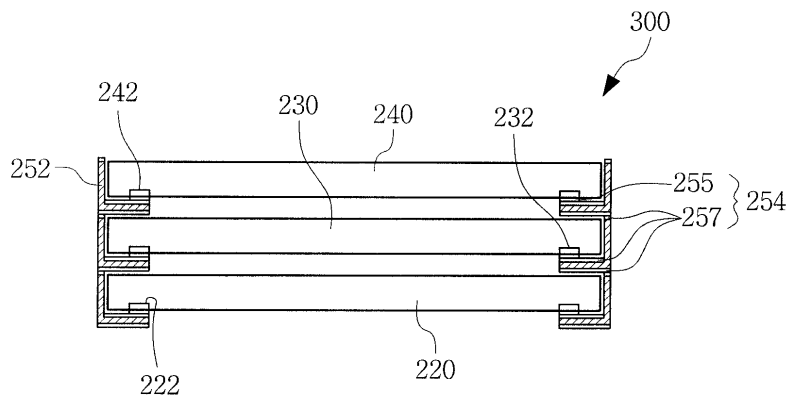
도면3



도면4



도면5



도면6

