

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6978893号  
(P6978893)

(45) 発行日 令和3年12月8日(2021.12.8)

(24) 登録日 令和3年11月16日(2021.11.16)

(51) Int.Cl. F I  
H O 1 L 31/10 (2006.01) H O 1 L 31/10 A

請求項の数 22 (全 15 頁)

<p>(21) 出願番号 特願2017-208513 (P2017-208513)                  (22) 出願日 平成29年10月27日 (2017.10.27)                  (65) 公開番号 特開2019-83230 (P2019-83230A)                  (43) 公開日 令和1年5月30日 (2019.5.30)                  審査請求日 令和2年8月4日 (2020.8.4)</p>	<p>(73) 特許権者 000001007                  キヤノン株式会社                  東京都大田区下丸子3丁目30番2号                  (74) 代理人 110003281                  特許業務法人大塚国際特許事務所                  (72) 発明者 遠藤 信之                  東京都大田区下丸子3丁目30番2号 キヤノン株式会社内                  審査官 吉岡 一也</p>
--	--

最終頁に続く

(54) 【発明の名称】 光電変換装置、その製造方法及び機器

(57) 【特許請求の範囲】

【請求項1】

光電変換装置であって、  
 光電変換部を有する半導体基板と、  
 前記光電変換部の上に配された酸化シリコン膜と、  
 前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、  
 前記半導体基板の中には、前記光電変換部の一部を構成するn型の第1不純物領域と、  
 前記絶縁膜と前記第1不純物領域との間に配されたp型の第2不純物領域と、が設けられており、

前記絶縁膜のうちの前記第2不純物領域の上の部分及び前記第2不純物領域は、ボロンを含み、

前記半導体基板の表面に交差し前記第2不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記第2不純物領域においてボロン濃度が極小値をとる位置を第1位置として、前記半導体基板の前記表面から前記第1位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きいことを特徴とする光電変換装置。

【請求項2】

前記第2不純物領域の前記第1位置と前記半導体基板の前記表面との間の距離が、20nm以下であることを特徴とする請求項1に記載の光電変換装置。

【請求項3】

10

20

光電変換装置であって、  
 光電変換部を有する半導体基板と、  
 前記光電変換部の上に配された酸化シリコン膜と、  
 前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、  
 前記半導体基板の中には、前記光電変換部の一部を構成する n 型の第 1 不純物領域と、  
 前記絶縁膜と前記第 1 不純物領域との間に配された p 型の第 2 不純物領域と、が設けられており、

前記絶縁膜のうちの前記第 2 不純物領域の上の部分及び前記第 2 不純物領域は、ボロンを含み、

前記半導体基板の表面に交差し前記第 2 不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記半導体基板の前記表面におけるボロン濃度が、前記半導体基板の前記表面と前記酸化シリコン膜の上面との中間点におけるボロン濃度の 10 倍以上であることを特徴とする光電変換装置。

10

【請求項 4】

前記プロファイルに関して、前記半導体基板の前記表面と前記酸化シリコン膜の上面との間の距離と同じだけ前記半導体基板の表面から前記半導体基板の深さ方向に離れた位置を第 2 位置として、前記半導体基板の前記表面から前記第 2 位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きいことを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の光電変換装置。

【請求項 5】

20

前記プロファイルに関して、前記半導体基板の表面から深さ方向に 20 nm 離れた位置を第 3 位置として、前記半導体基板の前記表面から前記第 3 位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きいことを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の光電変換装置。

【請求項 6】

前記半導体基板の上に配された層間絶縁膜と、  
 前記光電変換部の上に配され、前記層間絶縁膜で囲まれた誘電体領域と、を更に備え、  
 前記酸化シリコン膜は前記光電変換部と前記誘電体領域との間に配されていることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の光電変換装置。

【請求項 7】

30

光電変換装置であって、  
 光電変換部を有する半導体基板と、  
 前記半導体基板の上に配された層間絶縁膜と、  
 前記光電変換部の上に配され、前記層間絶縁膜で囲まれた誘電体領域と、  
 前記光電変換部と前記誘電体領域との間に配された酸化シリコン膜と、  
 前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、  
 前記半導体基板の中には、前記光電変換部の一部を構成する n 型の第 1 不純物領域と、  
 前記絶縁膜と前記第 1 不純物領域との間に配された p 型の第 2 不純物領域と、が設けられており、

前記絶縁膜のうちの前記第 2 不純物領域の上の部分及び前記第 2 不純物領域は、ボロンを含み、

40

前記半導体基板の表面に交差し前記第 2 不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記半導体基板の前記表面と前記酸化シリコン膜の上面との間の距離と同じだけ前記半導体基板の前記表面から前記半導体基板の深さ方向に離れた位置を所定の位置として、前記半導体基板の前記表面から前記所定の位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きく、 $5.0 \text{ E } 12 / \text{ cm }^2$  以上であることを特徴とする光電変換装置。

【請求項 8】

前記誘電体領域の材料は水素を含有したシリコン化合物であることを特徴とする請求項 6 又は 7 に記載の光電変換装置。

50

## 【請求項 9】

前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値が、 $5.0 \times 10^{12} / \text{cm}^2$ 以下であることを特徴とする請求項 1 乃至 8 の何れか 1 項に記載の光電変換装置。

## 【請求項 10】

前記半導体基板の前記表面におけるボロン濃度が、 $1.0 \times 10^{19} / \text{cm}^3$ 以上であることを特徴とする請求項 1 乃至 9 の何れか 1 項に記載の光電変換装置。

## 【請求項 11】

前記半導体基板のうち前記第 1 不純物領域に隣接した部分の上にゲート電極を更に備え、  
前記絶縁膜は、前記ゲート電極と前記半導体基板との間まで延びていることを特徴とする請求項 1 乃至 10 の何れか 1 項に記載の光電変換装置。

10

## 【請求項 12】

前記絶縁膜は、酸化シリコン膜であることを特徴とする請求項 1 乃至 11 の何れか 1 項に記載の光電変換装置。

## 【請求項 13】

前記酸化シリコン膜の上に配された窒化シリコン膜を更に備え、  
前記窒化シリコン膜と前記酸化シリコン膜とは互いに接していることを特徴とする請求項 1 乃至 12 の何れか 1 項に記載の光電変換装置。

## 【請求項 14】

前記絶縁膜と前記第 2 不純物領域とは互いに接している、ことを特徴とする請求項 1 乃至 13 の何れか 1 項に記載の光電変換装置。

20

## 【請求項 15】

前記酸化シリコン膜と絶縁膜とは互いに接している、ことを特徴とする請求項 1 乃至 14 の何れか 1 項に記載の光電変換装置。

## 【請求項 16】

前記酸化シリコン膜の一部におけるボロン濃度が、 $1.0 \times 10^{17} / \text{cm}^3$ 以上であることを特徴とする請求項 1 乃至 15 の何れか 1 項に記載の光電変換装置。

## 【請求項 17】

前記酸化シリコン膜の前記一部におけるボロン濃度が、 $1.0 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする請求項 16 に記載の光電変換装置。

30

## 【請求項 18】

請求項 1 乃至 17 の何れか 1 項に記載の光電変換装置と、  
前記光電変換装置から出力された信号を処理する処理装置と、  
を備えることを特徴とする機器。

## 【請求項 19】

光電変換装置の製造方法であって、  
半導体基板に、光電変換部の一部を構成する n 型の第 1 不純物領域を形成する工程と、  
前記半導体基板の上に絶縁膜を形成する工程と、  
前記半導体基板に前記絶縁膜を通じてボロンを含む不純物を注入することによって、前記第 1 不純物領域の上に p 型の第 2 不純物領域を形成する工程と、  
ピスターシャリプチルアミノシラン (BTBAS) ガスを用いた熱化学気相成長 (熱 CVD) によって、 $600$  以下の成膜温度で前記絶縁膜の上に酸化シリコン膜を形成する工程と、を有することを特徴とする製造方法。

40

## 【請求項 20】

前記第 2 不純物領域を形成する工程において、 $10 \text{ KeV}$ 以下のエネルギーで前記不純物を注入することを特徴とする請求項 19 に記載の製造方法。

## 【請求項 21】

絶縁膜を形成する工程の後であって、前記酸化シリコン膜を形成する工程の前に、前記半導体基板のうち前記第 1 不純物領域に隣接した部分の上にゲート電極を形成する工程を

50

更に有することを特徴とする請求項 19 又は 20 に記載の製造方法。

【請求項 22】

前記酸化シリコン膜を形成する工程の後に、前記酸化シリコン膜に接するように窒化シリコン膜を形成する工程を更に有することを特徴とする請求項 19 乃至 21 の何れか 1 項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、その製造方法及び機器に関する。

【背景技術】

10

【0002】

固体光電変換装置では、界面準位や結晶欠陥に起因して発生する白点キズや暗電流を抑制するため、ボロンなどの不純物を有する p 型不純物領域が光電変換部の表面領域に形成される。光電変換部の表面領域にボロンで p 型不純物領域を形成した場合、光電変換部を覆う酸化シリコン膜などの絶縁膜中に、熱拡散などによってボロンが取り込まれてしまうことがある。特許文献 1 では、光電変換部と酸化シリコン膜との間に窒化シリコン膜などの拡散抑制層を形成する手法が提案されている。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献 1】特開 2007 - 208052 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

プロセスの微細化に伴い、光電変換装置の製造工程で低温化が進んでいる。このような製造工程では結晶欠陥回復を目的とした高温熱処理を行えないので、ボロンを半導体基板の表面近くに注入することになる。そうすると、酸化シリコン膜にボロンが取り込まれやすくなり、光電変換装置のセンサ特性が低減する（例えば、白点キズや暗電流が増加する）。本発明は、光電変換装置のセンサ特性を向上させるための技術を提供することを目的とする。

30

【課題を解決するための手段】

【0005】

上記課題に鑑みて、第 1 側面では、光電変換装置であって、光電変換部を有する半導体基板と、前記光電変換部の上に配された酸化シリコン膜と、前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、前記半導体基板の中には、前記光電変換部の一部を構成する n 型の第 1 不純物領域と、前記絶縁膜と前記第 1 不純物領域との間に配された p 型の第 2 不純物領域と、が設けられており、前記絶縁膜のうちの前記第 2 不純物領域の上の部分及び前記第 2 不純物領域は、ボロンを含み、前記半導体基板の表面に交差し前記第 2 不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記第 2 不純物領域においてボロン濃度が極小値をとる位置を第 1 位置として、前記半導体基板の前記表面から前記第 1 位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きいことを特徴とする光電変換装置が提供される。第 2 側面では、光電変換装置であって、光電変換部を有する半導体基板と、前記光電変換部の上に配された酸化シリコン膜と、前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、前記半導体基板の中には、前記光電変換部の一部を構成する n 型の第 1 不純物領域と、前記絶縁膜と前記第 1 不純物領域との間に配された p 型の第 2 不純物領域と、が設けられており、前記絶縁膜のうちの前記第 2 不純物領域の上の部分及び前記第 2 不純物領域は、ボロンを含み、前記半導体基板の表面に交差し前記第 2 不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記半導体基板の前記表面におけるボロン濃度が、前記半導体基板の前記表面と前記酸化シリコン膜の上

40

50

面との中間点におけるボロン濃度の10倍以上であることを特徴とする光電変換装置が提供される。第3側面では、光電変換装置であって、光電変換部を有する半導体基板と、前記半導体基板の上に配された層間絶縁膜と、前記光電変換部の上に配され、前記層間絶縁膜で囲まれた誘電体領域と、前記光電変換部と前記誘電体領域との間に配された酸化シリコン膜と、前記光電変換部と前記酸化シリコン膜との間に配された絶縁膜と、を備え、前記半導体基板の中には、前記光電変換部の一部を構成するn型の第1不純物領域と、前記絶縁膜と前記第1不純物領域との間に配されたp型の第2不純物領域と、が設けられており、前記絶縁膜のうちの前記第2不純物領域の上の部分及び前記第2不純物領域は、ボロンを含み、前記半導体基板の表面に交差し前記第2不純物領域を通る直線上のボロン濃度のプロファイルに関して、前記半導体基板の前記表面と前記酸化シリコン膜の上面との間の距離と同じだけ前記半導体基板の前記表面から前記半導体基板の深さ方向に離れた位置を所定の位置として、前記半導体基板の前記表面から前記所定の位置までのボロン濃度の積分値が、前記半導体基板の前記表面から前記酸化シリコン膜の上面までのボロン濃度の積分値よりも大きく、 $5.0 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする光電変換装置が提供される。

10

【発明の効果】

【0006】

上記手段により、光電変換装置のセンサ特性が向上させる。

【図面の簡単な説明】

【0007】

20

【図1】本発明の実施形態の光電変換装置の構成例を説明する図。

【図2】本発明の実施形態の光電変換装置の断面構造例を説明する図。

【図3】本発明の実施形態の光電変換装置の製造方法例を説明する図。

【図4】本発明の実施形態の光電変換装置の製造方法例を説明する図。

【図5】本発明の実施形態の光電変換装置のボロン・プロファイルを説明する図。

【発明を実施するための形態】

【0008】

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付し、重複する説明を省略する。また、各実施形態は適宜変更、組み合わせが可能である。

30

【0009】

図1(a)を参照して一部の実施形態に係る光電変換装置APの構成例について説明する。光電変換装置APは固体光電変換装置と呼ばれてもよい。光電変換装置APの構成は既存のものであってもよいので、その一例を以下に簡単に説明する。光電変換装置APは、半導体基板SUBに様々な回路が形成されることによって構成される。光電変換装置APはパッケージに搭載されていてもよい。

【0010】

半導体基板SUBは、画素領域PXRと、オプティカルブラック領域OBRと、周辺回路領域PRRとを含む。画素領域PXRには、複数の画素UNTが2次元アレイ状に配されている。各画素UNTは、光を電荷に変換するための光電変換部と、変換された電荷を後続の回路に転送するための転送トランジスタとを含む。転送トランジスタは例えばMOSトランジスタである。各画素UNTは、そのほかに入射光に応じた電気信号を生成するための既存の回路を含んでもよい。

40

【0011】

オプティカルブラック領域OBRは、画素領域PXRの周囲に配されている。オプティカルブラック領域OBRにも複数の画素UNTが配されている。オプティカルブラック領域OBRに配された画素UNTは、画素領域UNTに配された画素UNTと同じ構造であってもよい。画素領域PXRの各画素UNTには光電変換装置APへの入射光が到達するのに対して、オプティカルブラック領域OBRの各画素UNTは遮光されており、入射光が到達しない。

50

## 【 0 0 1 2 】

周辺回路領域 P R R には、垂直駆動回路 V D C と、制御回路 C C と、水平走査回路 H S C と、信号処理回路 S P C と、出力処理回路 O P C とが配されている。垂直駆動回路 V D C は、各画素 U N T に駆動信号を供給することによって、各画素 U N T の動作を制御する。制御回路 C C は、光電変換装置 A P の全体的な動作を制御する。水平走査回路 H S C は、各画素 U N T からの信号を順次読み出す。信号処理回路 S P C は、画素 U N T から読み出された信号を増幅する。出力処理回路 O P C は、信号処理回路 S P C から供給された信号を光電変換装置 A P の外部へ出力するための処理を行う。

## 【 0 0 1 3 】

図 1 ( b ) を参照して一部の実施形態に係る光電変換装置 A P を搭載した機器 S Y S の構成例について説明する。機器 S Y S の構成は既存のものであってもよいので、その一例を以下に簡単に説明する。機器 S Y S は例えばカメラやスマートフォンなどの撮影機能を有する電子機器であってもよいし、自動車やドローン（無人飛行体）のような輸送機器であってもよい。機器 S Y S は、光学系 O U と、光電変換装置 A P と、制御装置 C U と、処理装置 P U と、機械装置 M U と、表示装置 D U とを備える。機器 S Y S の形態に応じてこれらの構成要素の一部が省略されてもよい。光学系 O U は例えばレンズなどであり、機器 S Y S の外部からの入射光を光電変換装置 A P に集光する。制御装置 C U は、光電変換装置 A P を含む機器 S Y S 内の各コンポーネントの動作を制御する。処理装置 P U は、例えば画像処理エンジンを含み、光電変換装置 A P から供給された画像を処理する。表示装置 D U は、処理後の画像を表示する。機械装置 M U は、レンズ駆動やシャッター動作を行う。機器 S Y S が輸送装置である場合に、機械装置 M U はエンジンやモータを含んでもよく、制御装置 C U は光電変換装置 A P で得られた画像を用いて機器 S Y S の運転制御を行う。

## 【 0 0 1 4 】

図 2 を参照して光電変換装置 A P の断面構造の例について説明する。説明のために、これらの図面では画素領域 P X R と周辺回路領域 P R R とが隣接するように記載されている。図 2 では、画素領域 P X R に含まれる光電変換部及び転送トランジスタと周辺回路領域 P R R に含まれるトランジスタとに着目する。周辺回路領域 P R R のトランジスタは例えば M O S トランジスタであり、上述の何れかの回路の一部を構成する。

## 【 0 0 1 5 】

シリコンなどの半導体基板 1 0 0 は、p 型の不純物領域 1 0 2 と p 型の不純物領域 1 0 3 とを有する。半導体基板 1 0 0 は図 1 の半導体基板 S U B に対応する。不純物領域 1 0 2 は、画素領域 P X R に形成されたウェルである。不純物領域 1 0 3 は、周辺回路領域 P R R に形成されたウェルである。半導体基板 1 0 0 に S T I 又は選択酸化法 ( L O C O S ) などにより絶縁体で形成された素子分離領域 1 0 1 が配されている。

## 【 0 0 1 6 】

半導体基板 1 0 0 の中には、不純物領域 1 0 2 と半導体基板 1 0 0 の表面とに囲まれるように、n 型の不純物領域 1 0 4 ( 第 1 不純物領域 ) と、p 型の不純物領域 1 1 2 ( 第 2 不純物領域 ) と、n 型の不純物領域 1 1 3 とが配されている。不純物領域 1 1 2 はボロン ( B : ホウ素 ) を含んでいる。不純物領域 1 0 4 と不純物領域 1 0 2 とによって光電変換部が形成される。不純物領域 1 1 2 は不純物領域 1 0 4 の上に配されており、光電変換部を埋め込み構造とするための表面領域である。不純物領域 1 1 2 の上面と半導体基板 1 0 0 の表面とは互いに一致する。不純物領域 1 1 3 は、フローティング・ディフュージョン ( F D ) として機能する。

## 【 0 0 1 7 】

画素領域 P X R において、半導体基板 1 0 0 の上にゲート絶縁膜 1 0 6 が配されている。半導体基板 1 0 0 のうち不純物領域 1 0 4 と不純物領域 1 1 3 との間の領域の上にゲート電極 1 1 0 が配されている。言い換えると、半導体基板 1 0 0 のうち不純物領域 1 0 4 に隣接した部分に上にゲート電極が配されている。不純物領域 1 0 4 、不純物領域 1 1 3 、ゲート絶縁膜 1 0 6 及びゲート電極 1 1 0 によって転送トランジスタが構成される。n 型の不純物領域 1 0 4 は、光電変換部の一部を構成し、電荷を蓄積する機能を有する。ゲ

10

20

30

40

50

ート電極 110 の上面はハードマスクとなる酸化膜 109 が配されている。ゲート絶縁膜 106 は、ゲート電極 110 と半導体基板 100 との間にあるだけでなく、不純物領域 112 及び不純物領域 113 の上にも存在する。言い換えると、不純物領域 112 の上にあるゲート絶縁膜 106 は、ゲート電極 110 と半導体基板 100 との間まで延びている。ゲート絶縁膜 106 の下面は半導体基板 100 の表面に接している。不純物領域 104 は半導体基板 100 の表面に位置しているので、ゲート絶縁膜 106 と不純物領域 104 とは互いに接している。ゲート絶縁膜 106 は例えば酸化シリコン膜や窒化シリコン膜である。

#### 【0018】

画素領域 PXR において、半導体基板 100、ゲート絶縁膜 106 及びゲート電極 110 の上に酸化シリコン膜 116 が配され、酸化シリコン膜 116 の上に窒化シリコン膜 117 が配され、窒化シリコン膜 117 の上に酸化シリコン膜 118 が配されている。酸化シリコン膜 116 の下面は、ゲート絶縁膜 106 の上面と、ゲート電極 110 の側面と、酸化膜 109 の上面とに接している。窒化シリコン膜 117 の下面は、酸化シリコン膜 116 の上面に接している。酸化シリコン膜 118 の下面は、窒化シリコン膜 117 の上面に接している。すなわち、ゲート絶縁膜 106 と酸化シリコン膜 116 とは互いに接しており、酸化シリコン膜 116 と窒化シリコン膜 117 とは互いに接しており、窒化シリコン膜 117 と酸化シリコン膜 118 とは互いに接している。窒化シリコン膜 117 は反射防止層として機能する。酸化シリコン膜 116 は光電変換部の上に配され、ゲート絶縁膜 106 は光電変換部と酸化シリコン膜 116 との間に配されている。ゲート絶縁膜 106 のうちの p 型の不純物領域 112 の上の部分はボロンを含みうる。酸化シリコン膜 116 のうちの p 型の不純物領域 112 の上の部分もボロンを含みうる。これらゲート絶縁膜 106 や酸化シリコン膜 116 に含まれるボロンは、典型的には不純物領域 112 から拡散したボロンでありうるが、成膜時のガスに含有されている場合もある。

#### 【0019】

不純物領域 103 に、低濃度の n 型の不純物領域 115 と、n 型の不純物領域 121 とが配されている。半導体基板 100 のうち 2 つの不純物領域 115 の間にある部分の上にゲート絶縁膜 107 が配され、その上にゲート電極 111 が配されている。ゲート電極 111 の側面はサイドウォール 120 で覆われている。これらの構成要素によって、LDD 構造を有する MOS トランジスタが構成されている。MOS トランジスタの不純物領域 121 の上とゲート電極 111 の上にはコバルトシリサイドやニッケルシリサイドなどのシリサイド層（不図示）が設けられている。

#### 【0020】

半導体基板 100 の上にはゲート電極 110 とゲート電極 111 とを覆う絶縁体膜 210 が設けられている。絶縁体膜 210 には不図示のコンタクトホールが設けられており、このコンタクトホールの中には MOS トランジスタに接続されたコンタクトプラグが設けられる。絶縁体膜 210 の上には複数の配線層 310、320、330 が設けられる。一例としては、配線層 310 はシングルダマシ構造を有し、銅を主成分とする配線層であり、配線層 320 はデュアルダマシ構造を有し、銅を主成分とする配線層であり、配線層 330 はアルミニウムを主成分とする配線層である。配線層 310、320、330 の間には層間絶縁膜 220 が設けられている。層間絶縁膜 220 は複数の絶縁層からなる複層膜であり得る。層間絶縁膜 220 には光電変換部の上（不純物領域 104、112 の上）に位置する開口が設けられており、この開口の中には誘電体材料からなる誘電体領域 200 が配されている。そのため、誘電体領域 200 は層間絶縁膜 220 で囲まれていることになる。本例では、開口は絶縁体膜 210 にも設けられており、誘電体領域 200 は絶縁体膜 210 に囲まれた部分を有している。誘電体領域 200 の誘電体材料は層間絶縁膜 220 を構成する少なくとも 1 つの絶縁層の材料と異なっている。誘電体領域 200 を構成する誘電体材料としては、水素を含むシリコン化合物が好ましく、シリコン化合物としては窒化シリコンや酸化シリコンが好ましい。誘電体材料が水素を含有することで、半導体基板 100 の表面を水素終端することができ、暗電流を低減できる。誘電体領域 20

10

20

30

40

50

0の屈折率を層間絶縁膜220の屈折率よりも高くすることで、誘電体領域200がコア、層間絶縁膜220がクラッドとして機能する光導波路構造を構成することができる。層間絶縁膜220の上、および、層間絶縁膜220の上に設けられた配線層330の上には絶縁部材230が設けられている。絶縁部材230にはパッシベーション膜や層内レンズなどが含まれる。絶縁部材230の上には光学部材240が設けられている。光学部材240にはカラーフィルタやマイクロレンズが含まれる。

#### 【0021】

図3及び図4を参照して光電変換装置APの製造方法について説明する。図3及び図4には図2に対応する位置が描かれている。シリコンなどの半導体基板100の表面にパッド酸化膜105を形成した後、STI又は選択酸化法(LOCOS)などにより素子分離領域101を形成する。その後、イオン注入を行うことによって、画素領域PXRにp型の不純物領域102、周辺回路領域PRRにp型の不純物領域102をそれぞれ形成する。これらの不純物領域はウェル領域として機能する。さらに、イオン注入を行うことによって、不純物領域102内にn型の不純物領域104を形成する。不純物領域104は光電変換部の一部を構成する。以上によって、図3(a)に示す構造が形成される。

10

#### 【0022】

続いて、パッド酸化膜105を除去する。その後、画素領域PXR及び周辺回路領域PRRのうちの対象領域にゲート酸化膜を形成し、このゲート酸化膜を窒化処理又は酸窒化処理を行うことによって、半導体基板100の上にゲート絶縁膜106及びゲート絶縁膜107を形成する。例えば、ベースとなるゲート酸化膜を形成した後、ウェット法による熱酸窒化やプラズマ窒化などによる400程度の窒素プラズマ雰囲気にてゲート酸化膜を曝すことにより窒化を形成する。ゲート絶縁膜106及びゲート絶縁膜107は酸窒化シリコン膜である。ゲート絶縁膜106及びゲート絶縁膜107の窒素濃度は例えば0.1~1.0%程度である。その後、ゲート絶縁膜106及びゲート絶縁膜107の上に、ゲート電極の材料となるポリシリコン膜108を形成し、その一部分(ゲート電極が形成されるべき部分)の上にハードマスクとなる酸化膜109を形成する。以上によって、図3(b)に示す構造が形成される。

20

#### 【0023】

続いて、酸化膜109(ハードマスク)及びレジストマスクを用いてポリシリコン膜108をエッチングすることによって、ポリシリコン膜108からゲート電極110及びゲート電極111を形成する。以上によって、図3(c)に示す構造が形成される。この構造では、不純物領域104の上にゲート絶縁膜106の一部が残っている。

30

#### 【0024】

続いて、ゲート絶縁膜106を通じて、半導体基板100にp型の不純物をイオン注入することによって、不純物領域104の上にp型の不純物領域112を形成する。また、ゲート絶縁膜106を通じて、半導体基板100にn型の不純物をイオン注入することによって、n型の不純物領域113を形成する。不純物領域112を生成するためのイオン注入は、例えば二フッ化ホウ素( $\text{BF}_2$ )又はホウ素(B)のようなボロンを含む不純物として使用し、ドーズ量を $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ に設定して行われる。加速エネルギーは、不純物がホウ素の場合に例えば0.5~9KeVなど10KeV以下に設定される。このような比較的低いエネルギーでイオン注入を行うことによって、不純物が半導体基板100の表面付近に注入される。以上によって、図3(d)に示す構造が形成される。

40

#### 【0025】

続いて、画素領域PXRをレジスト114で覆う。その後、周辺回路領域PRRに形成されたゲート絶縁膜107のうちゲート電極111で覆われていない部分と、ゲート電極111の上にある酸化膜109とをウェット処理などによって除去する。以上によって、図4(a)に示す構造が形成される。

#### 【0026】

続いて、周辺回路領域PRRにLDD構造となる不純物領域115を形成する。不純物

50

領域 115 が PMOS トランジスタのソース又はドレインである場合に、不純物として二フッ化ホウ素 ( $\text{BF}_2$ ) 又はホウ素 (B) 又はインジウム (In) を用いる。不純物領域 115 が NMOS トランジスタのソース又はドレインである場合に、不純物としてヒ素 (As) 又はリン (P) を用いる。このように、画素領域 PXR においてゲート電極 110 の周辺にゲート絶縁膜 106 を残しつつ、周辺回路領域 PRR においてゲート電極 111 の周囲からゲート絶縁膜 107 を除去している。さらに、周辺回路領域 PRR では浅い LDD 注入を行っている。これによって、高い駆動力を有する高速トランジスタを周辺回路領域 PRR で実現するとともに、画素領域 PXR ではセンサ特性が向上する。以上によって、図 4 (b) に示す構造が形成される。

#### 【0027】

続いて、半導体基板 100 及びゲート電極 110、111 に接するように酸化シリコン膜 116 を成膜し、酸化シリコン膜 116 に接するように窒化シリコン膜 117 を成膜し、窒化シリコン膜 117 に接するように酸化シリコン膜 118 を成膜する。酸化シリコン膜 118 は 600 以下の処理温度を用いて形成することが好ましい。酸化シリコン膜 116 は、例えばソースガスとしてピスターシャリブチルアミノシラン (BTBAS) ガスを使用し、520~550 などの 600 よりも低い処理温度を用いた低圧化学気相成長 (LPCVD) を行うことによって成膜される。低圧化学気相成長 (LPCVD) は化学気相成長 (CVD) の一種であり、特に熱 CVD に分類される。BTBAS ガスのほか、シラン系ガスを用いた熱 CVD によって、600 よりも低い成膜温度で酸化シリコン膜 116 を形成することができる。シラン系ガスを用いたプラズマ CVD によって、600 よりも低い成膜温度で酸化シリコン膜 116 を形成することもできる。CVD 法以外の気相成長で酸化シリコン膜 116 を形成することもでき、例えばスパッタ法のような物理気相成長、あるいは、原子層堆積 (ALD) を用いて酸化シリコン膜 116 を形成することができる。ALD における成膜ガスとしては、例えば、トリジメチルアミノシラン ( $3\text{DMA S} : \text{Si}(\text{NMe}_2)_3$ )、あるいは、テトラジメチルアミノシラン ( $4\text{DMA S} : \text{Si}(\text{NMe}_2)_4$ ) を用いることができる。以上によって、図 4 (c) に示す構造が形成される。

#### 【0028】

続いて、画素領域 PXR をレジスト 119 で覆い、周辺回路領域 PRR の酸化シリコン膜 116、窒化シリコン膜 117 及び酸化シリコン膜 118 をエッチバックする。これによって、ゲート電極 111 の側面にサイドウォール 120 が形成される。その後、周辺回路領域 PRR において半導体基板 100 に、高濃度の不純物領域 121 を形成する。この不純物領域 121 は、サイドウォール 120 の側面に自己整合している。以上によって、図 4 (d) に示す構造が形成される。その後、レジスト 119 を除去し、その他の構成要素を形成する。例えば、絶縁体膜 210、層間絶縁膜 220 および配線層 310、320 を形成する。この後に、層間絶縁膜 220 と絶縁体膜 210 のうちの光電変換部の上に位置する部分をプラズマエッチングなどにより除去して、開口を形成する。この開口の中にプラズマ CVD によって誘電体材料を埋め込むことによって、誘電体領域 200 を形成する。その後、配線層 330、絶縁部材 230、光学部材 240 を形成する。このようにして、図 2 の光電変換装置 AP が製造される。

#### 【0029】

上記の製造方法では、酸化シリコン膜 116 を低温 (600 以下) で形成する。そのため、半導体基板 100 の表面付近に形成された不純物領域 112 内のボロンの拡散が抑制されるので、ボロンが酸化シリコン膜 116 に取り込まれることが抑制される。その結果、不純物領域 112 のボロン濃度を高くすることができ、光電変換装置 AP のセンサ特性が向上する。特に白点キズや暗電流が低減する。比較のために、酸化シリコン膜 118 を例えば熱酸化法を用いて 700 以上の成膜温度で形成すると、不純物領域 112 のボロンの拡散が顕著になり、不純物領域 112 のボロンの濃度が下がってしまう。不純物領域 112 のボロンの濃度が下がると、白点キズや暗電流が増加する。ボロンの濃度を高めるためにドーズ量を上げるだけでは、ドーズ量の増加に伴う白点キズや暗電流が増加しう

10

20

30

40

50

るため、十分な対策ではない。また、誘電体領域 200 を形成する際には、プラズマエッチングやプラズマ CVD によるプラズマダメージが半導体基板 100 に生じる。このプラズマダメージも白点キズや暗電流が増加する要因となる。そのため、誘電体領域 200 を設ける場合には特に不純物領域 112 のボロン濃度を高くして、白点キズや暗電流を低減する必要がある。

#### 【0030】

図 5 を参照して、半導体基板 100 の表面に交差し（例えば直交し）不純物領域 112 を通る直線上（図 2 の X - X' 線上）のボロン濃度のプロファイルに関して説明する。光電変換部の表面領域を構成する不純物領域 112 は、不純物としてボロンを含む。また、ゲート絶縁膜 106 及び酸化シリコン膜 116 は、不純物領域 112 を覆う位置においてボロンを含む。図 5 において、実線のグラフは上述の方法で製造された光電変換装置 AP におけるプロファイル 501 を示し、破線のグラフは比較対象のプロファイル 502 を示す。比較対象では、不純物領域 112 を例えば 13 ~ 15 KeV 程度の 10 KeV 以上のイオン注入で形成し、620 ~ 660 の成膜温度で酸化シリコン膜 116 を成膜する。図 5 のグラフの横軸は X - X' 線における位置を示し、縦軸は各位置における対数表示によるボロン濃度を示す。横軸の右向きが半導体基板 100 の深さ方向であり、縦軸の上向きが濃度の増加方向である。横軸、縦軸共に単位は a . u . （任意単位）である。各元素の濃度は、X 線光電子分光法（XPS）、二次イオン質量分析法（SIMS）、誘導結合プラズマ質量分析法（ICP-MS）、ラザフォード後方散乱分析法（RBS）などを用いて測定することが可能であるが、図 5 は SIMS による測定結果を示している。

#### 【0031】

図 5 において、位置 A は酸化シリコン膜 116 の上面である。言い換えると、位置 A は酸化シリコン膜 116 と窒化シリコン膜 117 との界面である。位置 C は半導体基板 100 の表面である。言い換えると、位置 C は、半導体基板 100 とゲート絶縁膜 106 との界面である。半導体基板 100 とゲート絶縁膜 106 との界面は、SIMS 測定において検出される酸素の二次イオン強度が、最高強度（ピーク強度）の 1 / 2 を示す位置として定義される。図 5 から理解されるように、ボロン濃度のピークの位置は、プロファイル 501、502 の双方で、位置 C である。そのため、位置 C を基準位置として、位置 C に対して酸化シリコン膜 116 側のボロン濃度と、位置 C に対して不純物領域 112 側のボロン濃度と、を比較することで、ボロン分布を評価することができる。位置 A と位置 C との間の距離は約 12 nm である。位置 B は、位置 A および位置 C から等距離（距離 m）となる、位置 A と位置 C との中間点である。位置 B は半導体基板 100 の上の酸化シリコン（ゲート絶縁膜 106 と酸化シリコン膜 116）のうち、位置 C におけるボロンの偏析の影響が比較的小さい。一方、位置 B は半導体基板 100 からのボロンの拡散の影響が十分にあり、そのため、位置 B は、半導体基板 100 の上の酸化シリコンへのボロンの拡散に起因した、酸化シリコン中でのボロン濃度を象徴する象徴位置である。位置 A と位置 C の距離 t は、ゲート絶縁膜 106 の膜厚と酸化シリコン膜 116 の膜厚の和に相当する。位置 E は、位置 A と位置 C との間の距離 t と同じだけ位置 C から深さ方向に離れた所定の位置である。すなわち、位置 C は、位置 A および位置 E から等距離（距離 t）となる、位置 A と位置 E との中間点である。位置 E は半導体基板 100 内と酸化シリコン内とでのボロンの拡散のしやすさを考慮した上で、位置 C に対するボロンの分布の対称性を評価するための位置である。位置 D、G は不純物領域 112 においてボロン濃度の極小値を取る位置である。そのため、位置 C から位置 D、G までの範囲は半導体基板 100 の表面近傍において、特にボロン濃度が高い範囲であるといえる。より詳細には、位置 D は、プロファイル 501 が、位置 C から深さ方向に進んで最初に極小値を取る位置である。位置 G は、プロファイル 502 が位置 C から深さ方向に進んで最初に極小値を取る位置である。位置 C と位置 D との間の距離は約 6 nm であり、位置 C と位置 G との間の距離は約 4 nm である。位置 F は、位置 C から深さ方向に 20 nm 離れた位置である。位置 C から深さ 20 nm の位置 F までの範囲は、典型的な光電変換装置において、暗電流や白点キズなどが生じやすい部分である。

10

20

30

40

50

## 【 0 0 3 2 】

第 1 例のプロファイル 5 0 1 における各位置でのボロン濃度は以下のとおりである。

位置 B :  $5.5 \text{ E } 17 / \text{ cm }^3$

位置 C :  $1.0 \text{ E } 19 / \text{ cm }^3$

## 【 0 0 3 3 】

第 2 例のプロファイル 5 0 2 における各位置でのボロン濃度は以下のとおりである。

位置 B :  $1.5 \text{ E } 18 / \text{ cm }^3$

位置 C :  $7.5 \text{ E } 18 / \text{ cm }^3$

## 【 0 0 3 4 】

第 1 例のプロファイル 5 0 1 における特定の 2 点間のボロン濃度の積分値は以下のとおりである。 10

位置 A ~ 位置 C :  $2.5 \text{ E } 12 / \text{ cm }^2$

位置 C ~ 位置 D :  $4.2 \text{ E } 12 / \text{ cm }^2$

位置 C ~ 位置 E :  $7.6 \text{ E } 12 / \text{ cm }^2$

位置 C ~ 位置 F :  $1.2 \text{ E } 13 / \text{ cm }^2$

## 【 0 0 3 5 】

第 2 例のプロファイル 5 0 2 における特定の 2 点間のボロン濃度の積分値は以下のとおりである。

位置 A ~ 位置 C :  $2.6 \text{ E } 12 / \text{ cm }^2$

位置 C ~ 位置 G :  $1.8 \text{ E } 12 / \text{ cm }^2$  20

位置 C ~ 位置 E :  $4.6 \text{ E } 12 / \text{ cm }^2$

位置 C ~ 位置 F :  $8.3 \text{ E } 12 / \text{ cm }^2$

## 【 0 0 3 6 】

第 2 例のプロファイル 5 0 2 に比べて、第 1 例のプロファイル 5 0 1 を採用すると暗電流や白点キズ、特に白点キズを大幅に減らすことができる。これは、上述した誘電体領域 2 0 0 を光電変換部の上に配置した場合に特に有利となる。誘電体領域 2 0 0 を配置すること自体が、暗電流や白点キズの原因となりうるためである。第 2 例のプロファイル 5 0 2 と第 1 例のプロファイル 5 0 1 との違いに基づいて、好ましい形態を説明する。

## 【 0 0 3 7 】

基準位置としての位置 C から極小値とる位置 D までのボロン濃度の積分値が、位置 C から酸化シリコン膜 1 1 6 の上面 (位置 A) までのボロン濃度の積分値よりも大きいことが好ましい。これは、不純物領域 1 1 2 からのボロンの拡散が抑制され、不純物領域 1 1 2 の中でも、半導体基板 1 0 0 の表面近傍でボロン濃度が高くなっている状態を意味している。そのため、半導体基板 1 0 0 の表面近傍を発生源とする白点キズや暗電流を十分に抑制できる。位置 C から位置 D までのボロン濃度の積分値は、 $2.0 \text{ E } 12 / \text{ cm }^2$  以上であることが好ましく、 $3.0 \text{ E } 12 / \text{ cm }^2$  以上であることがより好ましい。位置 C から位置 A までのボロン濃度の積分値は、 $5.0 \text{ E } 12 / \text{ cm }^2$  以下であることが好ましい。位置 C から位置 A までのボロン濃度の積分値は  $1.0 \text{ E } 12 \text{ cm }^2$  以上であってもよい。第 2 例に対して第 1 例では、ボロンの注入位置が半導体基板 1 0 0 の表面に近いのにも関わらず、酸化シリコン膜 1 1 6 のボロン濃度の積分値が小さくなっている。第 1 例では、位置 C と位置 D と間のボロン濃度の積分値が位置 A と位置 C と間のボロン濃度の積分値よりも大きいのにに対して、第 2 例では、位置 C と位置 G と間のボロン濃度の積分値が位置 A と位置 C と間のボロン濃度の積分値よりも小さい。 40

## 【 0 0 3 8 】

基準位置としての位置 C におけるボロン濃度が、象徴位置である位置 B におけるボロン濃度の 5 倍よりも大きいことが好ましく、10 倍以上であることがより好ましい。このことは、ボロンの酸化シリコンへの拡散が抑制され、位置 C に十分な量のボロンが位置していることを意味する。第 1 例では、位置 C におけるボロン濃度が位置 B におけるボロン濃度の約 1.8 倍であり、5 倍よりも大きく、10 倍以上となっている。一方、第 2 例では、位置 C におけるボロン濃度が位置 B におけるボロン濃度の約 5 倍である。位置 B における 50

ボロン濃度は、 $1.0 \times 10^{18} / \text{cm}^3$ 以下であることが好ましい。位置Bにおけるボロン濃度は、 $1.0 \times 10^{17} / \text{cm}^3$ 以上であってもよい。位置Cにおけるボロン濃度は、 $1.0 \times 10^{19} / \text{cm}^3$ 以上であることが好ましい。位置Cにおけるボロン濃度は、 $1.0 \times 10^{20} / \text{cm}^3$ 以下であってもよい。

【0039】

また、半導体基板100の表面(位置C)から位置Eまでのボロン濃度の積分値が、半導体基板の表面(位置C)から酸化シリコン膜の上面(位置A)までのボロン濃度の積分値よりも大きいことが好ましい。第1例では、位置Cと位置Eと間のボロン濃度の積分値が位置Aと位置Cと間のボロン濃度の積分値よりも大きく、さらには位置Aと位置Cと間のボロン濃度の積分値の2倍以上である。位置Cから位置Eまでのボロン濃度の積分値は  $5.0 \times 10^{12} / \text{cm}^2$ 以上であることが好ましく、 $6.0 \times 10^{12} / \text{cm}^2$ 以上であることが好ましい。位置Cから位置Eまでのボロン濃度の積分値は  $1.0 \times 10^{13} / \text{cm}^2$ 以下であってもよい。

10

【0040】

また、位置Cから位置Fまでのボロン濃度の積分値が、位置Cから位置Aまでのボロン濃度の積分値よりも大きいことも好ましい。このようにすれば、白点キズや暗電流の典型的な発生源となる位置Cから位置Fまでの領域で白点キズや暗電流が発生しても、光電変換部への影響を抑制する上で有利となる。第1例では、位置Cと位置Fと間のボロン濃度の積分値が位置Aと位置Cと間のボロン濃度の積分値よりも大きく、さらには位置Aと位置Cと間のボロン濃度の積分値の4倍以上である。位置Cから位置Fまでのボロン濃度の積分値は、 $1.0 \times 10^{13} / \text{cm}^2$ 以上であることが好ましい。位置Cから位置Fまでのボロン濃度の積分値は、 $1.0 \times 10^{14} / \text{cm}^2$ 以下であってもよい。

20

【0041】

このように第1例ではゲート絶縁膜106や酸化シリコン膜116にボロンが取り込まれることを抑制できていることがわかる。ゲート絶縁膜106や酸化シリコン膜116へのボロンの濃度を低くし、不純物領域112のボロン濃度を高くしたプロファイルを採用することで、白点キズや暗電流を低減することができる。特に、上述したボロン濃度あるいはボロン濃度の積分値の大小関係や範囲を満足することで、従来知られていた光電変換装置から、大幅に白点キズや暗電流を低減することができる。

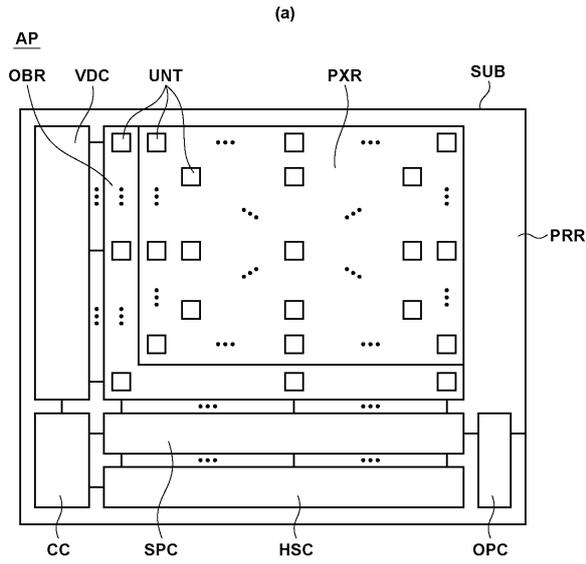
【符号の説明】

30

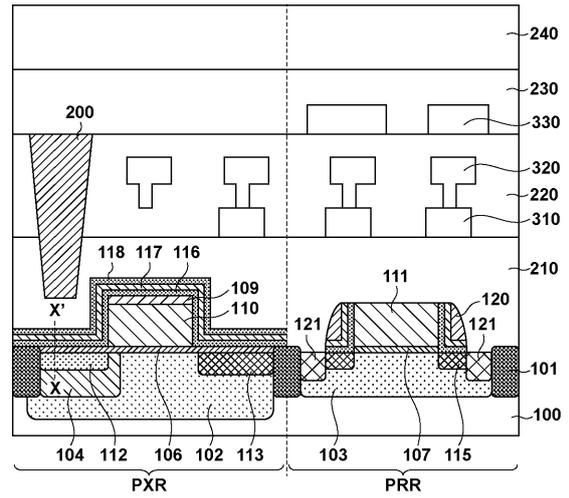
【0042】

100 半導体基板、106、ゲート絶縁膜、112 不純物領域、116 酸化シリコン膜、117 窒化シリコン膜

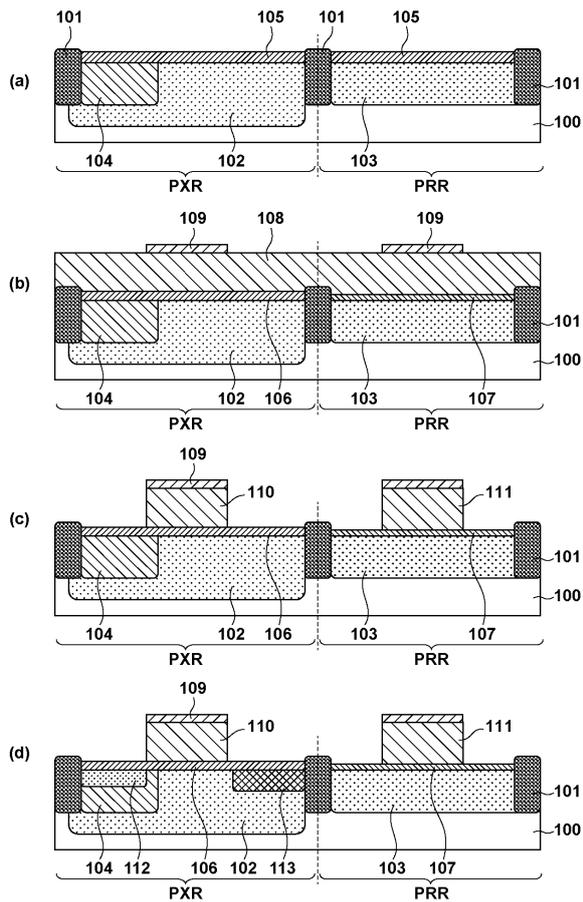
【 図 1 】



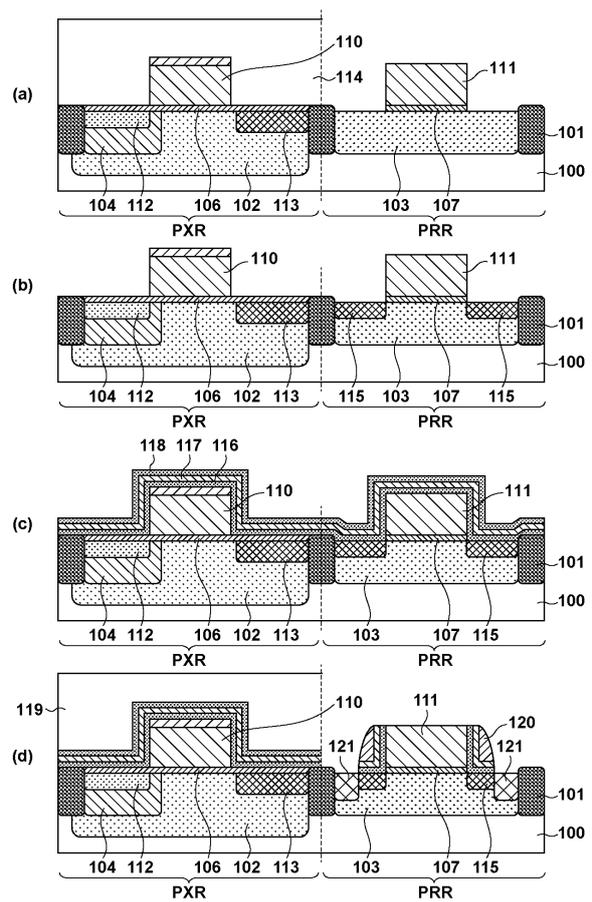
【 図 2 】



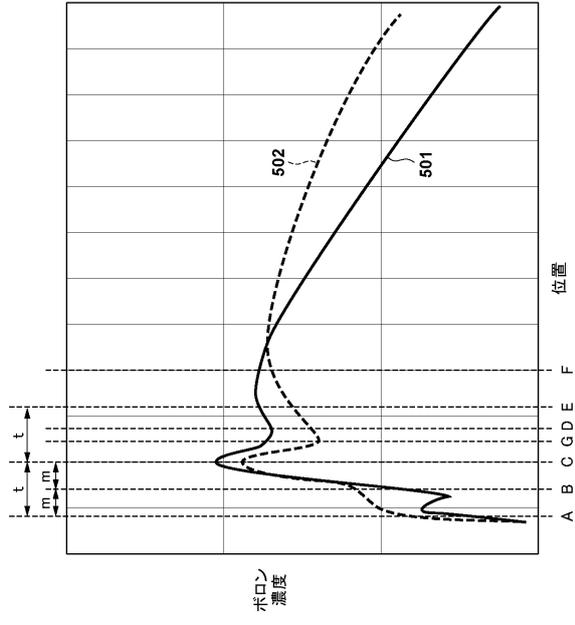
【 図 3 】



【 図 4 】



【図5】



---

フロントページの続き

- (56)参考文献 特開2011-216639(JP,A)  
特開2016-018920(JP,A)  
特開2007-134581(JP,A)  
米国特許出願公開第2003/0049896(US,A1)

(58)調査した分野(Int.Cl., DB名)

- H01L 31/08 - 31/119  
H01L 27/14 - 27/148