



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월03일
(11) 등록번호 10-2393272
(24) 등록일자 2022년04월27일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 27/14612 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2017-7006737
- (22) 출원일자(국제) 2015년08월25일
심사청구일자 2020년07월17일
- (85) 번역문제출일자 2017년03월10일
- (65) 공개번호 10-2017-0047273
- (43) 공개일자 2017년05월04일
- (86) 국제출원번호 PCT/IB2015/056414
- (87) 국제공개번호 WO 2016/034983
국제공개일자 2016년03월10일
- (30) 우선권주장
JP-P-2014-178212 2014년09월02일 일본(JP)
- (56) 선행기술조사문헌
JP2011119711 A
JP2013009294 A
US20110108836 A1
US20130070133 A1

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
이노우에 히로키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
구로카와 요시유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 3 항

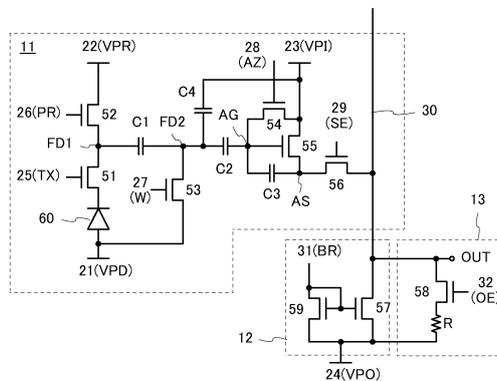
심사관 : 심병로

(54) 발명의 명칭 **활상 장치 및 전자 기기**

(57) 요약

본 발명은 고품질의 활상 데이터를 얻을 수 있는 활상 장치를 제공한다. 활상 장치는 제 1 회로, 제 2 회로, 및 제 3 회로를 포함한다. 제 1 회로는 광전 변환 소자, 증폭 트랜지스터를 포함하는 복수의 트랜지스터, 및 복수의 용량 소자를 포함한다. 제 2 회로는 트랜지스터를 포함한다. 제 3 회로는 저항 소자 및 이 저항 소자를 흐르는 전류를 제어하는 트랜지스터를 포함한다. 활상 장치의 출력 신호는 저항 소자를 흐르는 전류에 따라 결정된다. 제 1 회로에 포함되는 증폭 트랜지스터의 전기적 특성의 편차를 보정할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/14609 (2013.01)

H01L 27/14636 (2013.01)

H01L 27/14689 (2013.01)

H01L 27/14692 (2013.01)

H01L 29/7869 (2013.01)

(72) 발명자

이케다 다카유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

오카모토 유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

활상 장치에 있어서,

제 1 내지 제 6 트랜지스터와, 제 1 내지 제 4 용량 소자와, 광전 변환 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 1 용량 소자의 한쪽 단자는 서로 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽과 상기 광전 변환 소자는 서로 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 1 용량 소자의 다른 쪽 단자와 상기 제 2 용량 소자의 한쪽 단자와 상기 제 3 용량 소자의 한쪽 단자는 서로 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 5 트랜지스터의 게이트와 상기 제 2 용량 소자의 다른 쪽 단자와 상기 제 4 용량 소자의 한쪽 단자는 서로 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽과 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 3 용량 소자의 다른 쪽 단자는 서로 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽과 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 4 용량 소자의 다른 쪽 단자는 서로 전기적으로 접속되는, 활상 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 내지 제 6 트랜지스터 중 하나는, 채널 형성 영역을 산화물 반도체층에 포함하는, 활상 장치.

청구항 3

제 2 항에 있어서,

상기 산화물 반도체층은 In, Ga, 및 Zn을 이용하는, 활상 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 촬상 장치에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로는, 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야의 예에는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들 중 어느 것의 구동 방법, 및 이들 중 어느 것의 제작 방법이 포함된다.
- [0003] 본 명세서 등에서 반도체 장치란 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 및 반도체 회로는 반도체 장치의 형태이다. 기억 장치, 표시 장치, 촬상 장치, 또는 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경 기술

- [0004] 포토센서가 제공된 화소 각각이 매트릭스로 배열되어 있는 반도체 장치로서, CMOS(complementary metal oxide semiconductor) 이미지 센서가 알려져 있다. CMOS 이미지 센서는 촬상 소자로서 디지털 카메라 또는 휴대 전화 등 많은 휴대용 장치에 제공되어 있다.
- [0005] 일반적으로 CMOS 이미지 센서 등에 포함되는 트랜지스터에 적용할 수 있는 반도체 재료로서 실리콘이 널리 알려져 있다. 다른 재료로서는, 산화물 반도체가 주목을 받고 있다.
- [0006] 예를 들어, 특허문헌 1에는, 산화물 반도체를 포함하고 오프 상태 전류가 매우 낮은 트랜지스터를 화소 회로의 일부에 사용하고, CMOS 회로를 형성할 수 있는 실리콘 반도체를 포함하는 트랜지스터를 주변 회로에 사용하면, 동작이 고속이며 소비전력이 낮은 촬상 장치를 제작할 수 있다는 것이 개시되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본국 특개 제 2011-119711호 공보

발명의 내용

해결하려는 과제

- [0008] CMOS 이미지 센서는 각 화소에 데이터를 출력하는 증폭 트랜지스터를 포함한다. 고품질의 촬상 데이터를 얻기 위해서는, 모든 화소에서의 상기 트랜지스터의 전기적 특성이 균일한 것이 바람직하다. 그러나, 미세화가 진행될수록 트랜지스터 제작 공정의 난도가 증가하고, 전기적 특성의 편차를 저감하기 어렵다.
- [0009] 전기적 특성의 편차를 보정하는 데이터를 용량 소자 등에 유지함으로써 출력 데이터를 보정할 수 있다. 그러나, 촬상할 때마다 데이터가 용량 소자에 기록되면, 전체의 촬상 시간이 길어진다. 또한, 소비전력의 증가도 문제가 된다.
- [0010] 따라서, 본 발명의 일 형태의 목적은 고품질의 촬상 데이터를 얻을 수 있는 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 화소 회로에 포함되는 증폭 트랜지스터의 전기적 특성의 편차를 보정할 수 있는 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 저소비전력의 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 고속 동작에 적합한 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 감도가 높은 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 다이내믹 레인지가 넓은 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 해상도가 높은 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 낮은 비용으로 형성되는 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신뢰성이 높은 촬상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신규 촬상 장치 등을 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신규 반도체 장치 등을 제공하는 것이다.
- [0011] 이들 목적의 기재는 다른 목적의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 달성할 필요는 없다. 다른 목적은 명세서, 도면, 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 화소 회로에 포함되는 증폭 트랜지스터의 전기적 특성의 편차를 보정할 수 있는 촬상 장치에 관한 것이다.
- [0013] 본 발명의 일 형태는 제 1 회로 및 제 2 회로를 포함하는 촬상 장치이다. 제 1 회로는 광전 변환 소자, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 제 3 용량 소자를 포함한다. 제 2 회로는 제 7 트랜지스터를 포함한다. 광전 변환 소자의 한쪽 단자는 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 용량 소자의 한쪽 단자와 전기적으로 접속된다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 다른 쪽 단자와 전기적으로 접속된다. 제 1 용량 소자의 다른 쪽 단자는 제 2 용량 소자의 한쪽 단자와 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 용량 소자의 다른 쪽 단자와 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 3 용량 소자의 한쪽 단자는 제 2 용량 소자의 다른 쪽 단자와 전기적으로 접속된다. 제 3 용량 소자의 다른 쪽 단자는 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 제 5 트랜지스터의 게이트는 제 3 용량 소자의 한쪽 단자와 전기적으로 접속된다. 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 7 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속된다.
- [0014] 상기 촬상 장치는 제 3 회로를 포함하여도 좋다. 제 3 회로는 제 8 트랜지스터 및 저항 소자를 포함하여도 좋다. 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어도 좋다. 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 저항 소자의 한쪽 단자와 전기적으로 접속되어도 좋다.

[0015] 제 2 회로는 제 9 트랜지스터를 더 포함하여도 좋다. 제 9 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어도 좋다. 제 9 트랜지스터의 게이트는 제 7 트랜지스터의 게이트와 전기적으로 접속되어도 좋다. 제 9 트랜지스터의 게이트는 제 9 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어도 좋다.

[0016] 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 광전 변환 소자의 다른 쪽 단자와 전기적으로 접속되어도 좋다.

[0017] 제 1 회로는 제 4 용량 소자를 더 포함하여도 좋다. 제 4 용량 소자의 한쪽 단자는 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되어도 좋다. 제 4 용량 소자의 다른 쪽 단자는 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어도 좋다.

[0018] 제 1 내지 제 9 트랜지스터 각각은 활성층에 산화물 반도체를 포함하는 것이 바람직하고, 상기 산화물 반도체는 In, Zn, 및 M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는 것이 바람직하다.

발명의 효과

[0019] 본 발명의 일 형태에 따르면, 고품질의 촬상 데이터를 얻을 수 있는 촬상 장치를 제공할 수 있다. 화소 회로에 포함되는 증폭 트랜지스터의 전기적 특성의 편차를 보정할 수 있는 촬상 장치를 제공할 수 있다. 저소비전력의 촬상 장치를 제공할 수 있다. 고속 동작에 적합한 촬상 장치를 제공할 수 있다. 감도가 높은 촬상 장치를 제공할 수 있다. 다이내믹 레인지가 넓은 촬상 장치를 제공할 수 있다. 해상도가 높은 촬상 장치를 제공할 수 있다. 낮은 비용으로 형성되는 촬상 장치를 제공할 수 있다. 신뢰성이 높은 촬상 장치를 제공할 수 있다. 신규 촬상 장치 등을 제공할 수 있다. 신규 반도체 장치 등을 제공할 수 있다.

[0020] 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 효과 모두를 얻을 필요는 없다. 다른 효과는 명세서, 도면, 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

도면의 간단한 설명

[0021] 첨부 도면에 있어서:

- 도 1은 촬상 장치의 회로를 도시한 것.
- 도 2의 (A) 내지 (C) 각각은 촬상 장치의 회로를 도시한 것.
- 도 3은 보정 동작을 도시한 타이밍 차트.
- 도 4는 보정 동작을 도시한 것.
- 도 5는 보정 동작을 도시한 것.
- 도 6은 보정 동작을 도시한 것.
- 도 7은 보정 동작을 도시한 것.
- 도 8은 보정 동작을 도시한 것.
- 도 9의 (A) 및 (B)는 촬상 장치의 회로를 도시한 것.
- 도 10의 (A) 및 (B)는 회로부를 포함하는 촬상 장치의 단면도.
- 도 11의 (A1), (A2), (A3), (B1), (B2), 및 (B3)은 휘어진 촬상 장치를 도시한 것.
- 도 12는 촬상 장치의 구조를 도시한 것.
- 도 13의 (A) 및 (B)는 각각 글로벌 셔터 시스템 및 롤링 셔터 시스템의 동작을 도시한 타이밍 차트.
- 도 14의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 15의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 16의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 17의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.

- 도 18의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 19의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 20의 (A) 내지 (D)는 각각 채널 폭 방향에서의 트랜지스터의 단면을 도시한 것.
- 도 21의 (A) 내지 (F)는 각각 채널 길이 방향에서의 트랜지스터의 단면을 도시한 것.
- 도 22의 (A) 내지 (C)는 반도체층을 도시한 상면도 및 단면도.
- 도 23의 (A) 내지 (C)는 반도체층을 도시한 상면도 및 단면도.
- 도 24의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 25의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 26의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 27의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 28의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 29의 (A) 및 (B)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 30의 (A) 내지 (D)는 각각 채널 폭 방향에서의 트랜지스터의 단면을 도시한 것.
- 도 31의 (A) 내지 (F)는 각각 채널 길이 방향에서의 트랜지스터의 단면을 도시한 것.
- 도 32의 (A) 및 (B)는 트랜지스터를 도시한 상면도.
- 도 33의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 34의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 35의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 36의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 37의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 38의 (A) 내지 (C)는 트랜지스터를 제작하는 방법을 도시한 것.
- 도 39의 (A) 내지 (F)는 전자 기기를 도시한 것.
- 도 40은 촬상 장치의 동작을 도시한 타이밍 차트.
- 도 41은 촬상 장치의 동작을 도시한 타이밍 차트.
- 도 42는 촬상 장치의 회로를 도시한 것.

발명을 실시하기 위한 구체적인 내용

- [0022] 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 또한, 본 발명은 이하의 설명에 한정되지 않는다. 본 발명의 취지 및 범위에서 벗어날 일 없이 본 발명의 형태 및 자세한 사항을 다양한 방식으로 변경할 수 있다는 것은 통상의 기술자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되지 말아야 한다. 이하에 설명하는 발명의 구조에서는, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호에 의하여 나타내어지고, 이의 설명을 반복하지 않는 경우가 있다. 같은 구성 요소는 상이한 도면에서 상이한 해칭 패턴에 의하여 나타내어지거나 또는 해칭 패턴이 생략되는 경우가 있다.
- [0023] 예를 들어, 본 명세서 등에서, 'X와 Y가 접속된다'라는 명시적인 기재는 X와 Y가 전기적으로 접속되고, X와 Y가 기능적으로 접속되고, X와 Y가 직접 접속되는 것을 의미한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 다른 접속 관계가 도면 또는 문장에 포함된다.
- [0024] 여기서, X 및 Y 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.
- [0025] X와 Y가 직접 접속되는 경우의 예에는, X와 Y 사이의 전기적 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X와 Y 사이에 접속되

지 않는 경우, 및 X와 Y 사이의 전기적 접속을 가능하게 하는 상기 소자를 개재(介在)하지 않고 X와 Y가 접속되는 경우가 포함된다.

[0026] 예를 들어, X와 Y가 전기적으로 접속되는 경우에는, X와 Y 사이의 전기적 접속을 가능하게 하는 하나 이상의 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X와 Y 사이에 접속될 수 있다. 또한, 스위치는 온 또는 오프가 되도록 제어된다. 즉, 스위치는 도통 또는 비도통(온 또는 오프)이 되어, 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하고 변경하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우에는 X와 Y가 직접 접속되는 경우가 포함된다.

[0027] 예를 들어, X와 Y가 기능적으로 접속되는 경우에는, X와 Y 사이의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터, NAND 회로, 또는 NOR 회로 등의 논리 회로; D/A 변환 회로, A/D 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어, 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변경하는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 전환 회로; 신호 진폭, 전류의 양 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 또는 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 기억 회로; 또는 제어 회로)가 X와 Y 사이에 접속될 수 있다. 또한, 예를 들어, 다른 회로가 X와 Y 사이에 제공되더라도 X로부터 출력된 신호가 Y로 전송되는 경우에는 X와 Y는 기능적으로 접속된다. X와 Y가 기능적으로 접속되는 경우에는 X와 Y가 직접 접속되는 경우 및 X와 Y가 전기적으로 접속되는 경우가 포함된다.

[0028] 또한, 본 명세서 등에서, 'X와 Y가 전기적으로 접속된다'라는 명시적인 기재는, X와 Y가 전기적으로 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X와 Y가 기능적으로 접속되는 것(즉, X와 Y가 다른 회로를 개재하여 기능적으로 접속되는 경우), 및 X와 Y가 직접 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)을 의미한다. 즉, 본 명세서 등에서, 'X와 Y가 전기적으로 접속된다'라는 명시적인 기재는, 'X와 Y가 접속된다'라는 명시적인 기재와 동일하다.

[0029] 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되는 경우, 또는 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되는 동안에 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되는 경우는, 이하의 표현 중 어느 것을 사용하여 표현될 수 있다.

[0030] 표현에는, 예를 들어, 'X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속된다', '트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속되다', 및 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 접속된다'가 포함된다. 회로 구조에서의 접속 순서를 상술한 예와 비슷한 표현에 의하여 규정하면, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 특정할 수 있다.

[0031] 표현의 다른 예에는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, Z1은 제 1 접속 경로 상에 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않고, Z2는 제 3 접속 경로 상에 있다'가 포함된다. '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 Z1을 통하여 제 1 접속 경로에서 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 포함하고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 Z2를 통하여 제 3 접속 경로에서 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않는다'라는 표현을 사용할 수도 있다. '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 Z1을 통하여 제 1 전기적 경로에서 X와 전기적으로 접속되고, 제 1 전기적 경로는 제 2 전기적 경로를 포함하지 않고, 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)까지의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 Z2를 통하여 제 3 전기적

경로에서 Y와 전기적으로 접속되고, 제 3 전기적 경로는 제 4 전기적 경로를 포함하지 않고, 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)까지의 전기적 경로이다'가 표현의 또 다른 예이다. 회로 구조에서의 접속 경로를 상술한 예와 비슷한 표현에 의하여 규정하면, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 특정할 수 있다.

- [0032] 또한, 이들 표현은 예이고, 이 표현에 제한은 없다. 여기서, X, Y, Z1, 및 Z2 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.
- [0033] 회로도에서 독립적인 구성 요소가 서로 전기적으로 접속되어 있더라도, 하나의 요소가 복수의 구성 요소의 기능을 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우, 하나의 도전막은 배선 및 전극으로서 기능한다. 그러므로, 본 명세서에서 '전기적 접속'이라는 용어는 하나의 도전막이 복수의 구성 요소의 기능을 갖는 이러한 경우도 의미한다.
- [0034] 또한, '막' 및 '층'이라는 용어는 상황 또는 조건에 따라 서로 교체될 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있는 경우가 있다. 또한, '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있는 경우가 있다.
- [0035] (실시형태 1)
- [0036] 본 실시형태에서는, 본 발명의 일 형태인 활상 장치에 대하여 도면을 참조하여 설명한다.
- [0037] 본 발명의 일 형태의 활상 장치는, 소스 폴로어에 의하여 신호 전하(데이터)를 출력하는 활상 장치의 화소에서, 소스 폴로어 증폭 트랜지스터의 전기적 특성의 편차를 보정할 수 있는 화소 회로를 포함한다. 상기 화소 회로는 트랜지스터의 문턱 전압 및 이동도의 편차뿐만 아니라 트랜지스터의 채널 형성 영역의 크기(L, W) 또는 이의 게이트 절연막의 두께(용량)의 편차로 인한 전류의 편차도 보정할 수 있다.
- [0038] 도 1은 본 발명의 일 형태의 활상 장치에 포함되는, 화소 회로로서 기능할 수 있는 회로(11), 기준 전류 소스 회로로서 기능할 수 있는 회로(12), 및 출력 회로로서 기능할 수 있는 회로(13)의 회로도이다. 도 1 등에서는, 트랜지스터는 n채널형 트랜지스터이지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 42에 도시된 바와 같이, 전위의 대소 관계를 반전시킴으로써 상기 트랜지스터를 p채널형 트랜지스터로 하여도 좋다. 또는, n채널형 트랜지스터의 일부를 p채널형 트랜지스터와 치환하여도 좋다.
- [0039] 회로(11)는 광전 변환부 및 신호 생성부로 크게 나누어진다. 광전 변환부는 포토다이오드(60), 트랜지스터(51), 및 트랜지스터(52)를 포함한다. 신호 생성부는 트랜지스터(53), 트랜지스터(54), 트랜지스터(55), 트랜지스터(56), 용량 소자(C1), 용량 소자(C2), 용량 소자(C3), 및 용량 소자(C4)를 포함한다. 또한, 용량 소자(C4)는 생략될 수 있다.
- [0040] 회로(12)는 트랜지스터(57) 및 트랜지스터(59)를 포함한다.
- [0041] 회로(13)는 트랜지스터(58), 저항 소자(R), 및 출력 단자(OUT)를 포함한다.
- [0042] 배선(30)에 접속되는 회로(12) 및 회로(13)는 도 2의 (A) 내지 (C)에 도시된 구조를 가질 수 있다. 도 2의 (A)는 회로(12)에서 트랜지스터(59)를 생략한 구조를 도시한 것이다. 도 2의 (B)는 회로(13)를 생략하고 출력 단자(OUT)를 배선(30)에 제공한 구조를 도시한 것이다. 도 2의 (C)는 회로(13), 및 회로(12)의 트랜지스터(59)를 생략하고, 출력 단자(OUT)를 배선(30)에 제공한 구조를 도시한 것이다.
- [0043] 도 1의 회로(11)에서는, 포토다이오드(60)의 한쪽 단자가 트랜지스터(51)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 용량 소자(C1)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(53)의 소스 및 드레인 중 한쪽은 용량 소자(C1)의 다른 쪽 단자와 전기적으로 접속된다. 용량 소자(C1)의 다른 쪽 단자는 용량 소자(C2)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(54)의 소스 및 드레인 중 한쪽은 용량 소자(C2)의 다른 쪽 단자와 전기적으로 접속된다. 트랜지스터(54)의 소스 및 드레인 중 다른 쪽은 트랜지스터(55)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 용량 소자(C3)의 한쪽 단자는 용량 소자(C2)의 다른 쪽 단자와 전기적으로 접속된다. 용량 소자(C3)의 다른 쪽 단자는 트랜지스터(55)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(55)의 게이트는 용량 소자(C3)의 한쪽 단자와 전기적으로 접속된다. 용량 소자(C4)의 한쪽 단자는 용량 소자(C2)의 한쪽 단자와 전기적으로 접속된다. 용량 소자(C4)의 다른 쪽 단자는 트랜지스터(55)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(5

5)의 소스 및 드레인 중 다른 쪽은 트랜지스터(56)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다.

- [0044] 포토다이오드(60)의 다른 쪽 단자는 배선(21)(VPD)과 전기적으로 접속된다. 트랜지스터(52)의 소스 및 드레인 중 다른 쪽은 배선(22)(VPR)과 전기적으로 접속된다. 트랜지스터(55)의 소스 및 드레인 중 한쪽은 배선(23)(VPI)과 전기적으로 접속된다. 트랜지스터(51)의 게이트는 배선(25)(TX)과 전기적으로 접속된다. 트랜지스터(52)의 게이트는 배선(26)(PR)과 전기적으로 접속된다. 트랜지스터(53)의 게이트는 배선(27)(W)과 전기적으로 접속된다. 트랜지스터(54)의 게이트는 배선(28)(AZ)과 전기적으로 접속된다. 트랜지스터(56)의 게이트는 배선(29)(SE)과 전기적으로 접속된다. 트랜지스터(56)의 소스 및 드레인 중 다른 쪽은 배선(30)과 전기적으로 접속된다.
- [0045] 회로(12)에서는, 트랜지스터(57)의 소스 및 드레인 중 한쪽은 배선(30)과 전기적으로 접속되고, 트랜지스터(57)의 소스 및 드레인 중 다른 쪽은 배선(24)(VPO)과 전기적으로 접속된다. 트랜지스터(59)의 소스 및 드레인 중 한쪽은 배선(31)(BR)과 전기적으로 접속된다. 트랜지스터(59)의 소스 및 드레인 중 한쪽은 트랜지스터(59)의 게이트 및 트랜지스터(57)의 게이트와 전기적으로 접속된다. 트랜지스터(59)의 소스 및 드레인 중 다른 쪽은 배선(24)(VPO)과 전기적으로 접속된다.
- [0046] 회로(13)에서는, 트랜지스터(58)의 소스 및 드레인 중 한쪽은 배선(30)과 전기적으로 접속된다. 트랜지스터(58)의 소스 및 드레인 중 한쪽에는 출력 단자(OUT)가 제공된다. 트랜지스터(58)의 소스 및 드레인 중 다른 쪽은 저항 소자(R)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(58)의 게이트는 배선(32)(OE)과 전기적으로 접속된다. 저항 소자(R)의 다른 쪽 단자는 배선(24)(VPO)과 전기적으로 접속된다.
- [0047] 여기서, 배선(21)(VPD), 배선(22)(VPR), 배선(23)(VPI), 및 배선(24)(VPO)은 전원선으로서 기능할 수 있다. 배선(25)(TX), 배선(26)(PR), 배선(27)(W), 배선(28)(AZ), 배선(29)(SE), 배선(30), 배선(31)(BR), 및 배선(32)(OE)은 신호선으로서 기능할 수 있다.
- [0048] 도 1에서는, 트랜지스터(53)의 소스 및 드레인 중 다른 쪽은 배선(21)(VPD)과 접속되지만, 트랜지스터(53)의 소스 및 드레인 중 다른 쪽은 다른 고정 전위를 공급할 수 있는 배선과 접속되어도 좋다.
- [0049] 또한, 도 1에서는, 용량 소자(C4)의 다른 쪽 단자는 배선(23)(VPI)과 접속되지만, 용량 소자(C4)의 다른 쪽 단자는 다른 고정 전위를 공급할 수 있는 배선과 접속되어도 좋다.
- [0050] 상술한 구조에서는, 트랜지스터(51)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52)의 소스 및 드레인 중 한쪽, 및 용량 소자(C1)의 한쪽 단자가 접속되는 노드를 FD1로 나타낸다.
- [0051] 트랜지스터(53)의 소스 및 드레인 중 한쪽, 용량 소자(C1)의 다른 쪽 단자, 용량 소자(C2)의 한쪽 단자, 및 용량 소자(C4)의 한쪽 단자가 접속되는 노드를 FD2로 나타낸다.
- [0052] 트랜지스터(54)의 소스 및 드레인 중 한쪽, 용량 소자(C2)의 다른 쪽 단자, 용량 소자(C3)의 한쪽 단자, 및 트랜지스터(55)의 게이트가 접속되는 노드를 AG로 나타낸다.
- [0053] 트랜지스터(55)의 소스 및 드레인 중 다른 쪽, 용량 소자(C3)의 다른 쪽 단자, 및 트랜지스터(56)의 소스 및 드레인 중 한쪽이 접속되는 노드를 AS로 나타낸다.
- [0054] pn 접합 또는 pin 접합을 갖는 실리콘 기판을 사용하여 형성된 다이오드 소자를 포토다이오드(60)로서 사용할 수 있다. 또는, 비정질 실리콘막, 미결정 실리콘막 등을 사용하여 형성된 pin 다이오드 소자를 사용하여도 좋다. 또한, 회로(11)는 포토다이오드를 포함하지만, 회로(11)는 다른 광전 변환 소자를 포함하여도 좋다. 예를 들어, 다이오드 접속된 트랜지스터를 사용하여도 좋다. 또는, 광전 효과를 이용한 가변 저항 등을 실리콘, 저마늄, 셀레늄 등을 사용하여 형성하여도 좋다.
- [0055] 또는, 애벌란시 증배라고 불리는 현상을 이용한 셀레늄을 포함하는 광전 변환 소자를 사용하여도 좋다. 광전 변환 소자에서는, 입사광의 양에 대한 전자의 증폭의 양이 많은 고감도 센서를 얻을 수 있다.
- [0056] 비정질 셀레늄 또는 결정 셀레늄을 셀레늄계 재료로서 사용할 수 있다. 결정 셀레늄은 예를 들어, 비정질 셀레늄을 성막하고 나서, 가열 처리를 수행함으로써 얻을 수 있다. 결정 셀레늄의 결정립의 크기가 화소 피치보다 작으면, 화소들 사이의 특성의 편차를 저감시킬 수 있다.
- [0057] 회로(11)에서, 포토다이오드(60)는 수광 소자이고 회로(11)에서의 입사광의 양에 따라 전류를 생성하는 기능을 가질 수 있다. 트랜지스터(51)는 포토다이오드(60)에 의하여 수행되는 노드(FD1)로의 전하 축적을 제어하는 기능을 가질 수 있다. 트랜지스터(52)는 노드(FD1)의 전위를 리셋하는 동작을 실행하는 기능을 가질 수 있다.

트랜지스터(53)는 노드(FD2)의 전위를 리셋하는 동작을 실행하는 기능을 가질 수 있다. 트랜지스터(54)는 트랜지스터(55)에 전류를 공급하는 기능을 가질 수 있다. 트랜지스터(55)는 노드(AG)의 전위에 따른 신호를 출력하는 동작을 실행하는 기능을 가질 수 있다. 트랜지스터(56)는 판독 시에 회로(11)(화소 회로)의 선택을 제어하는 동작을 실행하는 기능을 가질 수 있다.

- [0058] 회로(12)에서는, 트랜지스터(57) 및 트랜지스터(59)는 커런트 미러 회로(current mirror circuit)를 형성하고, 트랜지스터(59)를 흐르는 전류와 같은 전류를 트랜지스터(57)에 공급하는 기능을 갖는다.
- [0059] 회로(13)는 트랜지스터(58) 및 저항 소자(R)에 공급되는 전류에 따른 전압 신호를 출력 단자(OUT)로부터 출력하는 기능을 가질 수 있다.
- [0060] 상술한 구조를 갖는 본 발명의 일 형태의 촬상 장치에서는, 회로(11)에 포함되는 트랜지스터(55)의 포화 영역 ($V_{ds} > V_{gs} - V_{th}$, V_{ds} : 드레인-소스 전압, V_{gs} : 게이트-소스 전압, V_{th} : 문턱 전압)에서의 기준 출력을 결정하는 V_{gs} 를 회로(11)가 저장하면, 출력 신호를 보정할 수 있다.
- [0061] 상기 보정 동작 및 보정 후의 출력 동작의 자세한 사항에 대하여 도 3의 타이밍 차트를 참조하여 설명한다. 도 3의 타이밍 차트는 배선(25)(TX), 배선(26)(PR), 배선(27)(W), 배선(28)(AZ), 배선(29)(SE), 배선(31)(BR), 배선(32)(OE), 노드(FD1), 노드(FD2), 노드(AG), 노드(AS), 및 출력 단자(OUT)의 전위를 나타낸다. 또한, 각 트랜지스터는 각 트랜지스터의 게이트와 접속되는 배선에 공급되는 전위에 따라 온 또는 오프가 된다.
- [0062] 상기 설명에 사용되는 회로도에서는, 트랜지스터의 도통 상태를 명확하게 하기 위하여 트랜지스터(55) 외의 트랜지스터를 스위치로서 기재하였다. 또한, 일부의 부호를 생략하였다. 트랜지스터(59)의 스위칭은 트랜지스터(57)의 스위칭과 연동하여 수행된다. 여기서, 배선(21)(VPD)은 저전위('GND')이고, 배선(22)(VPR)은 고전위('VPR')이고, 배선(23)(VPI)은 고전위('VPI')이고, 배선(24)(VPO)은 저전위('GND')이다.
- [0063] 시간(T1)에 트랜지스터(52), 트랜지스터(53), 트랜지스터(54), 트랜지스터(56), 트랜지스터(57), 및 트랜지스터(59)는 온이 되고, 트랜지스터(51) 및 트랜지스터(58)는 오프가 된다. 기준 신호 전류가 배선(31)(BR)에 공급되면, 기준 전류(I_{ref})가 트랜지스터(59)를 흐르고, 바이어스 전류(I_{bias})가 트랜지스터(57)를 통하여 배선(23)(VPI)과 배선(24)(VPO) 사이를 흐른다(도 4에서 파선으로 가리킨 전류 경로 참조). 또한, 기준 신호 전압이 배선(31)(BR)에 공급되어도 좋다.
- [0064] 이때, 노드(FD1)의 전위는 배선(22)(VPR)의 전위('VPR')로 설정된다. 노드(FD2)의 전위는 배선(21)(VPD)의 전위('GND', 예를 들어 0V)로 설정된다. 노드(AG)의 전위는 배선(23)(VPI)의 전위('VPI')로 설정된다. 여기서, 트랜지스터(55)의 게이트와 소스 사이의 전위차를 ' V_{gs} '로 나타내면, 게이트의 전위(노드(AG)의 전위)는 'VPI'이기 때문에 노드(AS)의 전위는 ' $VPI - V_{gs}$ '로 설정된다. 노드(AG)의 전위는 'VPI'이고, 노드(AS)의 전위는 ' $VPI - V_{gs}$ '이기 때문에, ' V_{gs} '가 용량 소자(C3)의 양쪽 단부에 인가된다. 또한, ' V_{gs} '는 ' V_{th} (트랜지스터(55)의 문턱 전압)' 더하기 ' V_{ov} (오버드라이브 전압)'이다. 따라서, 바이어스 전류(I_{bias})를 공급하는 ' V_{gs} '가 설정된다.
- [0065] 다음에, 시각(T2)에 트랜지스터(54)가 오프가 되면, 노드(AG)가 플로팅되어, ' V_{gs} '가 용량 소자(C3)에 유지된다(도 5 참조).
- [0066] 다음에, 시각(T3)에 모든 트랜지스터가 오프가 되면, 바이어스 전류(I_{bias})가 차단되어, 노드(AS)의 전위가 ' $VPI - V_{gs}$ '로부터 'VPI'로 증가한다. 또한, 노드(AG)의 전위는 'VPI'로부터 ' $VPI + V_{gs}$ '로 증가한다. 'GND'가 0V이면, 노드(FD2)의 전위는 'GND'로부터 ' V_{gs} '로 증가한다(도 6 참조). 따라서, 바이어스 전류(I_{bias})를 공급하는 ' V_{gs} '의 유지가 완료된다. 즉, 트랜지스터(55)의 기준 출력을 결정하는 ' V_{gs} '의, 회로(11)로의 저장이 완료된다.
- [0067] 다음에, 보정 후의 출력 동작에 대하여 설명한다. 시각(T4)에 트랜지스터(56) 및 트랜지스터(58)가 온이 되고, 트랜지스터(51), 트랜지스터(52), 트랜지스터(53), 트랜지스터(54), 트랜지스터(57), 및 트랜지스터(59)가 오프가 된다. 이때, 용량 소자(C3)에서는 바이어스 전류(I_{bias})를 공급하는 ' V_{gs} '가 유지되어 있기 때문에, 바이어스 전류(I_{bias})가 회로(13)(트랜지스터(58) 및 저항 소자(R))를 통하여 배선(23)(VPI)과 배선(24)(VPO) 사이를 흐른다. 따라서, 기준 출력 전압인 ' $R \cdot I_{bias}$ '가 회로(13)의 출력 단자로부터 출력된다(도 7 참조). 이때, 용량 소

자(C3)의 다른 쪽 단자의 전위는 ' $R \cdot I_{bias}$ '이기 때문에, 노드(AG)의 전위는 ' $R \cdot I_{bias} + V_{gs}$ '이다.

- [0068] 다음에, 실제의 활상 동작을 상정하여, 노드(FD2)의 전위가 $-V_a$ 만큼 변화되는 경우의 동작에 대하여 설명한다. 먼저, 노드(FD2)의 전위가 $-V_a$ 만큼 변화되기 위해서는 트랜지스터(52)를 오프로 하고, 배선(22)(VPR)의 전위 'VPR'가 노드(FD1)에 유지되는 동안에 트랜지스터(51)를 온으로 하고, 광이 조사된 포토다이오드(60)를 통하여 $-V_a$ 에 상당하는 전하를 배선(21)(VPD)에 방출한다. 그리고, 트랜지스터(51)를 오프로 하여 노드(FD1)의 전위를 유지한다. 상술한 동작을 거쳐, 노드(FD1)의 전위를 'VPR'로부터 ' $VPR - V_a$ '로 변화시킬 수 있다.
- [0069] 노드(FD1)의 전위가 'VPR'로부터 ' $VPR - V_a$ '로 변화되면, 노드(FD2)의 전위는 ' V_{gs} '로부터 ' $V_{gs} - V_a$ '로 변화된다. 또한, 노드(AG)의 전위가 ' $R \cdot I_{bias} + V_{gs}$ '로부터 ' $R \cdot I_{bias} + V_{gs} - V_a$ '로 변화된다. 따라서, 노드(AG)의 전위 ' $R \cdot I_{bias} + V_{gs} - V_a$ '에 따른 바이어스 전류($I_{bias'}$)가 배선(23)(VPI)과 배선(24)(VPO) 사이에 공급된다. 이때, ' $R \cdot I_{bias} + V_{gs} - V_a$ ', 즉 ' $R \cdot I_{bias'}$ '($I_{bias'} < I_{bias}$)가 회로(13)의 출력 단자로부터 출력된다(도 8 참조).
- [0070] 이런 식으로, 기준 출력 전압보다 $-V_a$ 에 상당하는 전압만큼 낮은 출력 신호를 얻을 수 있다. 즉, 도 1의 회로 구조에서는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 출력 단자(OUT)로부터 출력되는 신호가 작아진다.
- [0071] 상기 보정 동작을 활상마다 반드시 수행할 필요는 없고, 한 번의 보정 동작만으로 활상을 연속해서 수행할 수 있다. 물론, 상기 보정 동작은 활상 전, 활상 후, 전원 온 시, 전원 오프 시, 또는 타이머 등을 사용한 임의의 타이밍에서 수행되어도 좋다.
- [0072] 본 발명의 일 형태의 활상 장치는 도 9의 (A) 또는 (B)에서의 구조를 가져도 좋다. 도 9의 (A)에서의 회로(11)의 광전 변환부의 포토다이오드(60)의 접속 방향은, 도 1의 접속 방향과 반대이다. 이 경우에는, 배선(21)(VPD)은 고전위이고, 배선(22)(VPR)은 저전위이다. 도 1의 회로의 설명을 보정 동작 및 출력 동작에 참조할 수 있다. 이 경우에는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 노드(FD1)의 전위가 높아진다. 따라서, 도 9의 (A)의 회로 구조에서는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 출력 단자(OUT)로부터 출력되는 신호가 커진다.
- [0073] 도 9의 (B)에서는, 도 1의 회로(11)에서 트랜지스터(52)가 생략되어 있다. 이 경우, 배선(21)(VPD)은 저전위 또는 고전위로 변화될 수 있다. FD1의 리셋 동작은 배선(21)(VPD)이 고전위일 때 수행될 수 있다. 미리 정해진 기간에 배선(21)(VPD)이 고전위이면, 순방향 바이어스가 포토다이오드(60)에 인가된다. 따라서, 노드(FD1)의 전위가 배선(21)(VPD)의 전위로 설정될 수 있다.
- [0074] 광 검출 동작(축적 동작)이 수행되는 경우, 배선(21)(VPD)의 전위는 저전위로 설정된다. 배선(21)(VPD)이 저전위이면, 역방향 바이어스가 포토다이오드(60)에 인가되기 때문에, 광의 강도에 따라 노드(FD1)로부터 배선(21)(VPD)에 전하를 방출할 수 있다. 이 경우에는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 노드(FD1)의 전위가 낮아진다. 따라서, 도 9의 (B)의 회로 구조에서는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 출력 단자(OUT)로부터 출력되는 신호가 작아진다.
- [0075] 본 발명의 일 형태의 활상 장치에는, 산화물 반도체를 포함하는 트랜지스터를 사용하는 것이 바람직하다. 산화물 반도체를 포함하는 트랜지스터를 회로(11)에 사용하면, 활상의 다이내믹 레인지를 넓힐 수 있다. 도 1의 회로 구조에서는, 포토다이오드(60)에 들어오는 광의 강도가 높을 때, 노드(AG)의 전위가 낮아진다. 산화물 반도체를 포함하는 트랜지스터는 오프 상태 전류가 매우 낮기 때문에, 게이트 전위가 매우 낮은 경우에도 노드(AG)의 전위(트랜지스터(55)의 상기 게이트 전위)에 따른 전류를 정확하게 출력할 수 있다. 따라서, 검출 가능한 조도의 레인지, 즉 다이내믹 레인지를 넓힐 수 있다.
- [0076] 산화물 반도체를 포함하는 트랜지스터의 낮은 오프 상태 전류에 의하여, 노드(FD1), 노드(FD2), 노드(AG), 및 노드(AS)에서 전하가 유지될 수 있는 기간을 매우 길게 할 수 있다. 따라서, 복잡한 회로 구조 및 동작 방법 없이, 모든 화소에서 실질적으로 동시에 전하 축적 동작을 수행하는 글로벌 셔터 방식을 사용할 수 있다. 따라서, 움직이는 물체의 경우에도 왜곡이 적은 화상을 쉽게 얻을 수 있다. 또한, 노출 시간(전하 축적 동작을 수행하는 기간)을 길게 할 수 있기 때문에, 활상 장치는 조도가 낮은 환경하에서도 적합하다.
- [0077] 노드(FD1), 노드(FD2), 노드(AG), 및 노드(AS) 중 어느 것과 접속되는 트랜지스터는 노이즈가 적은 트랜지스터일 필요가 있다. 나중에 설명하는 2개 또는 3개의 산화물 반도체층을 포함하는 트랜지스터의 채널은 매립된 채

널이고, 노이즈에 대한 저항이 매우 높다. 따라서, 상기 트랜지스터의 사용은 노이즈가 적은 화상으로 이어진다.

- [0078] 본 발명의 일 형태에서는, 화소 회로에 포함되는 증폭 트랜지스터(트랜지스터(55))의 파라미터(문턱 전압, 이동도, 채널 형성 영역의 크기(L, W), 게이트 절연막의 두께(용량) 등)의 편차에 근거하지 않는 출력 신호를 얻을 수 있다.
- [0079] 도 10의 (A)는 회로부를 포함하는 촬상 장치의 단면도의 예이다. 회로부(90)는 실리콘 기판(40)에 활성 영역을 포함하는 트랜지스터(70)와, 산화물 반도체를 활성층으로서 포함하는 트랜지스터(71)의 조합이고, 예를 들어, 인버터 회로 또는 메모리 회로를 형성할 수 있다. 또한, 회로부(92)는 실리콘 기판(40)을 사용하여 형성되는 포토다이오드(60)와, 산화물 반도체를 활성층으로서 포함하는 트랜지스터(51)의 조합이고, 도 1에서의 회로(11)의 광전 변환부의 일부에 상당한다. 또한, 파선으로 가리키는 배선 및 콘택트 플러그는, 깊이 방향의 위치가 다른 배선 및 콘택트 플러그와 상이한 것을 나타낸다.
- [0080] 도 10의 (A)에서, 포토다이오드(60) 및 트랜지스터(51)는 서로 중첩하도록 형성될 수 있기 때문에, 화소의 집적도를 증가시킬 수 있다. 바꿔 말하면, 촬상 장치의 해상도를 증가시킬 수 있다. 또한, 회로부(92)의 점유 영역에서는 실리콘 기판(40)에 트랜지스터가 제공되지 않기 때문에, 포토다이오드의 면적을 크게 할 수 있다. 따라서, 조도가 낮은 환경하에서도 노이즈가 적은 화상을 얻을 수 있다.
- [0081] 도 10의 (A) 및 (B)에는 포토다이오드(60) 및 트랜지스터(70)가 실리콘 기판(40)을 사용하여 형성되는 구조를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 트랜지스터(70)는 실리콘 기판(40)을 사용하여 형성되어도 좋고, 다른 기판을 사용하여 형성된 포토다이오드가 붙여져도 좋다. 또는, 트랜지스터(70)는 실리콘 기판(40)을 사용하지 않고 형성되어도 좋고, 트랜지스터(71) 및 트랜지스터(51)에서와 같이, 산화물 반도체를 활성층으로서 포함하는 트랜지스터가 제공되어도 좋다. 또는, 도 10의 (B)에 도시된 바와 같이, 트랜지스터(70) 및 트랜지스터(51)는 실리콘 기판(40)을 사용하여 제공되어도 좋다. 트랜지스터(70) 외의 소자는 실리콘 기판(40)을 사용하여 형성되어도 좋다. 예를 들어, 용량 소자, 다이오드, 또는 저항 소자는 실리콘 기판(40)을 사용하여 형성되어도 좋다.
- [0082] 도 10의 (A)의 구조에서는, 트랜지스터(70) 및 포토다이오드(60)를 포함하는 영역과, 트랜지스터(71) 및 트랜지스터(51)를 포함하는 영역 사이에 절연층(80)이 제공된다.
- [0083] 트랜지스터(70)의 활성 영역 근방에 제공되는 절연층 내의 수소는 실리콘의 덩글링 본드를 중단시킨다. 따라서, 수소는 트랜지스터(70)의 신뢰성을 향상시키는 효과를 갖는다. 한편, 트랜지스터(51) 및 트랜지스터(71) 등의 활성층인 산화물 반도체층 근방에 제공되는 절연층 내의 수소는, 산화물 반도체에 캐리어를 발생시킨다. 따라서, 수소는 트랜지스터(51) 및 트랜지스터(71) 등의 신뢰성을 저하시킬 수 있다. 따라서, 실리콘계 반도체 재료를 포함한 트랜지스터를 포함하는 한쪽 층과, 산화물 반도체를 포함한 트랜지스터를 포함하는 다른 쪽 층이 적층되는 경우, 이들 층 사이에 수소의 확산을 방지하는 기능을 갖는 절연층(80)을 제공하는 것이 바람직하다. 절연층(80)에 의하여 수소를 한쪽 층에 가둠으로써, 트랜지스터(51)의 신뢰성을 향상시킬 수 있다. 또한, 한쪽 층으로부터 다른 쪽 층으로 수소가 확산되는 것이 억제됨으로써, 트랜지스터(51) 및 트랜지스터(71) 등의 신뢰성을 향상시킬 수 있다.
- [0084] 절연층(80)은 예를 들어, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 또는 YSZ(이트리아 안정화 지르코니아)를 사용하여 형성될 수 있다.
- [0085] 실리콘 기판(40)은 벌크 실리콘 기판에 한정되지 않고, SOI 기판이어도 좋다. 또한, 실리콘 기판(40)은 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 또는 유기 반도체로 이루어진 기판, 또는 상기 재료의 박막이 형성된 기판과 치환될 수 있다.
- [0086] 트랜지스터(70)는 플레인너(planar)형 트랜지스터에 한정되지 않고, 다양한 형태의 트랜지스터일 수 있다. 예를 들어, 트랜지스터(70)를 핀(fin)형 트랜지스터 또는 트라이 게이트(tri-gate) 트랜지스터일 수 있다.
- [0087] 트랜지스터(51)는 조건에 따라서는, 산화물 반도체뿐만 아니라 다양한 형태의 반도체를 포함할 수 있다. 예를 들어, 트랜지스터(51)는 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 또는 유기 반도체를 포함할 수 있다.
- [0088] 도 11의 (A1) 및 (B1)에 도시된 바와 같이, 촬상 장치는 휘어져도 좋다. 도 11의 (A1)은 촬상 장치가 이점쇄선

X1-X2의 방향으로 휘어진 상태를 도시한 것이다. 도 11의 (A2)는 도 11의 (A1)에서의 이점쇄선 X1-X2로 가리킨 부분을 도시한 단면도이다. 도 11의 (A3)은 도 11의 (A1)에서의 이점쇄선 Y1-Y2로 가리킨 부분을 도시한 단면도이다.

[0089] 도 11의 (B1)은 촬상 장치가 이점쇄선 X3-X4의 방향 및 이점쇄선 Y3-Y4의 방향으로 휘어진 상태를 도시한 것이다. 도 11의 (B2)는 도 11의 (B1)에서의 이점쇄선 X3-X4로 가리킨 부분을 도시한 단면도이다. 도 11의 (B3)은 도 11의 (B1)에서의 이점쇄선 Y3-Y4로 가리킨 부분을 도시한 단면도이다.

[0090] 촬상 장치를 휨으로써, 상면 만곡(field curvature) 및 비점 수차(astigmatism)를 저감시킬 수 있다. 따라서, 촬상 장치와 조합하여 사용되는 렌즈 등의 광학 설계를 용이하게 할 수 있다. 예를 들어, 수차 보정에 사용되는 렌즈의 개수를 저감시킬 수 있기 때문에, 촬상 장치를 포함하는 반도체 장치의 크기 또는 무게를 쉽게 저감시킬 수 있다. 또한, 촬상된 화상의 품질을 향상시킬 수 있다.

[0091] 본 실시형태에서는, 본 발명의 일 형태에 대하여 설명하였다. 본 발명의 다른 형태에 대하여 다른 실시형태에서 설명한다. 또한, 본 발명의 일 형태는 이에 한정되지 않는다. 본 발명의 일 형태가 촬상 장치에 적용되는 예를 설명하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 상황 또는 조건에 따라서는, 본 발명의 일 형태를 촬상 장치에 반드시 적용할 필요는 없다. 본 발명의 일 형태는 예를 들어, 다른 기능을 갖는 반도체 장치에 적용되어도 좋다. 본 발명의 일 형태에서는, 트랜지스터의 전기적 특성의 편차 또는 열화를 보정하는 기능을 제공하거나 또는 보정 동작이 수행되는 예이지만, 본 발명의 일 형태는 이에 한정되지 않는다. 상황 또는 조건에 따라서는, 본 발명의 일 형태는 트랜지스터의 전기적 특성의 편차 또는 열화를 반드시 보정할 필요는 없다.

[0092] 본 실시형태는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.

[0093] (실시형태 2)

[0094] 본 실시형태에서는, 화소 회로를 구동하는 방법의 예에 대하여 설명한다.

[0095] 실시형태 1에서 설명한 화소 회로는 통상의 촬상을 수행하는 제 1 동작과, 초기의 프레임의 촬상 데이터와 현재의 프레임의 촬상 데이터의 차이의 데이터를 유지할 수 있고 이 차이의 데이터에 따른 신호를 출력할 수 있는 제 2 동작을 수행할 수 있다. 제 2 동작에서는, 외부 회로에서의 비교 처리 등 없이 차이의 데이터를 출력할 수 있기 때문에, 상기 화소 회로를 저소비전력의 보안 카메라 등에 적용할 수 있다.

[0096] 도 12에 도시된 바와 같이, 본 발명의 일 형태의 촬상 장치는 매트릭스로 배열된 회로(11)를 포함하는 화소부(400), 회로(11)와 접속되는 행 드라이버(410), 회로(11)와 접속되는 회로(12) 및 회로(13), 회로(12)와 접속되는 A/D 컨버터(420), 및 A/D 컨버터(420)와 접속되는 열 드라이버(430)를 포함한다.

[0097] 행 드라이버(410)에 의하여 선택된, 회로(11)에서 얻어진 촬상 데이터는 회로(12)를 통하여 A/D 컨버터(420)에 입력된다. A/D 컨버터(420)는 입력된 촬상 데이터를 A/D 변환에 의하여 디지털 데이터로 변환시킨다. A/D 변환된 디지털 데이터는 열 드라이버(430)에 의하여 외부로 순차적으로 추출된다. 행 드라이버(410)와 열 드라이버(430)로서는, 예를 들어, 디코더 및 시프트 레지스터 등의 다양한 회로를 사용할 수 있다.

[0098] 다음에, 도 1에서의 회로의 제 1 동작에 대하여 도 40의 타이밍 차트를 참조하여 설명한다.

[0099] 시간(T1) 내지 시간(T2)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(27)(W)이 V_{th} 보다 높은 전위로 설정된다. 이때, 노드(FD1)의 전위가 배선(22)(VPR)의 전위, 즉 'VPR'로 설정되고, 노드(FD2)의 전위가 배선(21)(VPD)의 전위, 즉 'GND'로 설정된다(리셋 동작).

[0100] 시간(T2) 내지 시간(T3)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정된다. 여기서, 노드(FD1) 및 노드(FD2)의 전위는 포토다이오드(60)에 조사되는 광에 응하여 저하된다. 시간(T3)에서의 노드(FD1)의 전위의 저하량을 $V1$ 로 나타낼 때, 노드(FD1)의 전위는 $VPR-V1$ 이다. 또한, 노드(FD2)의 전위는 용량 결합에 의하여 $V2$ 만큼 저하되고 $GND-V2$ 가 된다(축적 동작). 또한, 도 1의 회로 구조에서는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 노드(FD1) 및 노드(FD2)의 전위는 낮아진다.

[0101] 시간(T3) 내지 시간(T4)에 배선(25)(TX)이 'GND'로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정되는 경우, 노드(FD1) 및 노드(FD2)의 전위는 유지된다.

[0102] 시간(T4) 내지 시간(T5)에 배선(30)(SE)이 $VPI+V_{th}$ 보다 높은 전위로 설정되는 경우, 촬상 데이터에 따른 신호가

노드(FD2)의 전위에 따라 출력 단자(OUT)에 출력된다(선택 동작). 시간(T1) 내지 시간(T5)의 동작을 통하여, 제 1 동작을 수행할 수 있다.

- [0103] 다음에, 도 1에서의 회로의 제 2 동작에 대하여 도 41의 타이밍 차트를 참조하여 설명한다.
- [0104] 시간(T1) 내지 시간(T2)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(27)(W)이 V_{th} 보다 높은 전위로 설정된다. 이때, 노드(FD1)의 전위는 배선(22)(VPR)의 전위, 즉 'VPR'로 설정되고, 노드(FD2)의 전위는 배선(21)(VPD)의 전위, 즉 'GND'로 설정된다.
- [0105] 시간(T2) 내지 시간(T3)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 V_{th} 보다 높은 전위로 설정된다. 여기서, 노드(FD1)의 전위는 포토다이오드(60)에 조사되는 광에 의하여 저하된다. 시간(T3)에서의 노드(FD1)의 전위의 저하량을 $V1$ 로 나타낼 때, 노드(FD1)의 전위는 $VPR-V1$ 이다. 또한, 도 1의 회로 구조에서는, 포토다이오드(60)에 조사되는 광의 강도가 높아질수록, 노드(FD1)의 전위가 낮아진다.
- [0106] 시간(T3) 내지 시간(T4)에 배선(25)(TX)이 'GND'로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 V_{th} 보다 높은 전위로 설정되는 경우, 노드(FD1)의 전위는 유지된다.
- [0107] 시간(T4) 내지 시간(T5)에 배선(25)(TX)이 'GND'로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정되는 경우, 노드(FD1) 및 노드(FD2)의 전위는 유지된다.
- [0108] 시간(T5) 내지 시간(T6)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정되는 경우, 노드(FD1)의 전위는 $V1$ 만큼 증가되고, 노드(FD2)의 전위는 용량 결합에 의하여 $V2$ 만큼 증가된다. 여기서, $V1$ 및 $V2$ 는 초기의 프레임의 조도를 반영하는 전위이다.
- [0109] 시간(T6) 내지 시간(T7)에 배선(25)(TX)이 $VPR+V_{th}$ 보다 높은 전위로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정되는 경우, 노드(FD1) 및 노드(FD2)의 전위는 포토다이오드(60)에 조사되는 광에 의하여 저하된다. 시간(T6)에서의 노드(FD1)의 전위의 저하량을 $V1'$ 로 나타낼 때, 노드(FD1)의 전위는 $VPR-V1'$ 이다. 또한, 노드(FD2)의 전위는 용량 결합에 의하여 $V2'$ 만큼 저하되고, $GND+V2-V2'$ 가 된다.
- [0110] 시간(T7) 내지 시간(T8)에 배선(25)(TX)이 'GND'로 설정되고, 배선(26)(PR)이 'GND'로 설정되고, 배선(27)(W)이 $-VPR$ 보다 낮은 전위로 설정되는 경우, 노드(FD1) 및 노드(FD2)의 전위는 유지된다.
- [0111] 시간(T8) 내지 시간(T9)에 배선(30)(SE)이 $VPI+V_{th}$ 보다 높은 전위로 설정되는 경우, 촬상 데이터에 따른 신호가 노드(FD2)의 전위에 따라 출력 단자(OUT)로부터 출력된다. 상술한 경우에는, 신호 출력 시의 노드(FD2)의 전위는 $GND+V2-V2'$ 이기 때문에, GND가 예를 들어 0V일 때 상기 전위는 $V2-V2'$ 이다. 여기서, $V2$ 는 초기의 프레임의 조도를 반영하는 전위이고, $V2'$ 는 이후의 프레임(현재의 프레임)의 조도를 반영하는 전위이다. 바꿔 말하면, 초기의 프레임과 현재의 프레임의 차분을 출력하는 제 2 동작을 수행할 수 있다.
- [0112] 본 실시형태는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.
- [0113] (실시형태 3)
- [0114] 본 실시형태에서는, 화소 회로를 구동하는 방법의 예에 대하여 설명한다.
- [0115] 실시형태 2에서 설명한 바와 같이, 화소 회로의 동작은 리셋 동작, 축적 동작, 및 선택 동작의 반복이다. 화소 매트릭스 전체를 제어하는 촬상 모드로서는 글로벌 셔터 방식 및 롤링 셔터 방식이 알려져 있다.
- [0116] 도 13의 (A)는 글로벌 셔터 방식의 타이밍 차트이다. 이 타이밍 차트는 도 1의 복수의 화소 회로가 매트릭스로 배열된 촬상 장치의 동작을 도시한 것이다. 구체적으로는, 상기 타이밍 차트는 제 1 행 내지 제 n 행(n은 3 이상의 자연수)의 화소 회로의 동작을 도시한 것이다. 상기 동작은 실시형태 2에서 설명한 제 1 동작을 예로 하여 설명한다.
- [0117] 도 13의 (A)에서는 신호(501), 신호(502), 및 신호(503)는 각각 제 1 행, 제 2 행, 및 제 n 행의 화소 회로에 접속된 배선(26)(PR)에 입력된다. 신호(504), 신호(506), 및 신호(508)는 각각 제 1 행, 제 2 행, 및 제 n 행의 화소 회로에 접속된 배선(25)(TX)에 입력된다. 신호(505), 신호(507), 및 신호(509)는 각각 제 1 행, 제 2

행, 및 제 n 행의 화소 회로에 접속된 배선(29)(SE)에 입력된다.

- [0118] 기간(510)은 한 번의 활상에 필요한 기간이다. 기간(511) 및 기간(520)은 각각 각 행의 화소 회로에서 리셋 동작 및 축적 동작이 동시에 수행되는 기간이다. 또한, 선택 동작은 각 행의 화소 회로에서 순차적으로 수행된다. 예를 들어, 기간(531)에는 제 1 행의 화소 회로에서 선택 동작이 수행된다. 상술한 바와 같이, 글로벌 셔터 방식에서는, 모든 화소 회로에서 실질적으로 동시에 리셋 동작 및 축적 동작이 수행되고 나서, 행마다 판독 동작이 순차적으로 수행된다.
- [0119] 즉, 글로벌 셔터 방식에서는, 모든 화소 회로에서 축적 동작이 실질적으로 동시에 수행되기 때문에, 모든 행의 화소 회로에서 활상의 일제히 수행된다. 따라서, 움직이는 물체의 경우에도 왜곡이 적은 화상을 얻을 수 있다.
- [0120] 도 13의 (B)는 롤링 셔터 방식을 사용한 경우의 타이밍 차트이다. 도 13의 (A)의 설명을 신호(501) 내지 신호(509)에 참조할 수 있다. 기간(610)은 한 번의 활상에 필요한 기간이다. 기간(611)은 제 1 행의 화소가 리셋 동작을 수행하는 기간이다. 기간(612)은 제 2 행의 화소가 리셋 동작을 수행하는 기간이다. 기간(613)은 제 n 행의 화소가 리셋 동작을 수행하는 기간이다. 기간(621)은 제 1 행의 화소가 축적 동작을 수행하는 기간이다. 기간(622)은 제 2 행의 화소가 축적 동작을 수행하는 기간이다. 기간(623)은 제 n 행의 화소가 축적 동작을 수행하는 기간이다. 기간(631)은 제 1 행의 화소가 선택 동작을 수행하는 기간이다. 상술한 바와 같이, 롤링 셔터 방식에서는 축적 동작이 모든 화소 회로에서 동시에 수행되지 않고 행마다 순차적으로 수행되기 때문에, 모든 행의 화소 회로에서 활상이 일제히 수행되지 않는다. 따라서, 제 1 행의 활상의 타이밍이 마지막 행의 활상의 타이밍과 다르기 때문에, 움직이는 물체의 경우에는 왜곡이 큰 화상이 얻어진다.
- [0121] 글로벌 셔터 방식을 달성하기 위해서는, 화소로부터의 신호의 판독이 순차적으로 종료될 때까지 전하 축적부(노드(FD2))의 전위를 오랫동안 유지할 필요가 있다. 산화물 반도체를 사용하여 형성되는 채널 형성 영역을 포함하고, 오프 상태 전류가 매우 낮은 트랜지스터를 트랜지스터(55) 등으로서 사용하면, 전하 축적부(노드(FD2))의 전위를 오랫동안 유지할 수 있다. 실리콘 등을 사용하여 형성된 채널 형성 영역을 포함하는 트랜지스터를 트랜지스터(55) 등으로서 사용하는 경우에는, 오프 상태 전류가 높기 때문에 전하 축적부(노드(FD2))의 전위를 오랫동안 유지할 수 없어, 글로벌 셔터 방식을 사용하기 어려워진다.
- [0122] 상술한 바와 같이, 채널 형성 영역이 산화물 반도체를 사용하여 형성된 트랜지스터를 화소 회로에 사용함으로써, 글로벌 셔터 방식을 쉽게 달성할 수 있다.
- [0123] 본 실시형태는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.
- [0124] (실시형태 4)
- [0125] 본 실시형태에서는, 본 발명의 일 형태에 사용할 수 있는 산화물 반도체를 포함하는 트랜지스터에 대하여 도면을 참조하여 설명한다. 본 실시형태의 도면에서는, 이해하기 쉽게 하기 위하여 일부의 구성 요소를 확대, 축소, 또는 생략하였다.
- [0126] 도 14의 (A) 및 (B)는 본 발명의 일 형태의 트랜지스터(101)를 도시한 상면도 및 단면도이다. 도 14의 (A)의 일점쇄선 B1-B2 방향의 단면을 도 14의 (B)에 도시하였다. 도 14의 (A)의 일점쇄선 B3-B4 방향의 단면을 도 20의 (A)에 도시하였다. 일점쇄선 B1-B2 방향을 채널 길이 방향이라고 하고, 일점쇄선 B3-B4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0127] 트랜지스터(101)는 기판(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130); 산화물 반도체층(130)과 전기적으로 접속되는 도전층(140) 및 도전층(150); 산화물 반도체층(130), 도전층(140), 및 도전층(150)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 도전층(140), 도전층(150), 절연층(160), 및 도전층(170)과 접촉되는 절연층(175); 및 절연층(175)과 접촉되는 절연층(180)을 포함한다. 절연층(180)은 필요에 따라 평탄막으로서 기능하여도 좋다.
- [0128] 여기서, 도전층(140), 도전층(150), 절연층(160), 및 도전층(170)은 각각 소스 전극층, 드레인 전극층, 게이트 절연층, 및 게이트 전극층으로서 기능할 수 있다.
- [0129] 도 14의 (B)의 영역(231), 영역(232), 및 영역(233)은 각각 소스 영역, 드레인 영역, 및 채널 형성 영역으로서 기능할 수 있다. 영역(231) 및 영역(232)은 각각 도전층(140) 및 도전층(150)과 접촉된다. 예를 들어, 산소와 결합되기 쉬운 도전 재료를 도전층(140) 및 도전층(150)에 사용하면, 영역(231) 및 영역(232)의 저항을 저감시킬 수 있다.

- [0130] 구체적으로는, 산화물 반도체층(130)이 도전층(140) 및 도전층(150)과 접촉되기 때문에 산화물 반도체층(130) 내에 산소 빈자리가 생기고, 이 산소 빈자리와, 산화물 반도체층(130) 내에 잔류 또는 외부로부터 산화물 반도체층(130) 내로 확산되는 수소와의 상호 작용에 의하여 영역(231) 및 영역(232)은 저저항의 n형 영역으로 변화된다.
- [0131] 또한, 트랜지스터의 '소스' 및 '드레인'의 기능은 예를 들어 반대의 도전성의 트랜지스터를 사용할 때 또는 회로 동작에서 전류가 흐르는 방향이 변화될 때 서로 교체되는 경우가 있다. 따라서, '소스' 및 '드레인'이라는 용어는 본 명세서에서 서로 교체될 수 있다. 또한, '전극층'이라는 용어를 '배선'이라는 용어로 바꿀 수 있다.
- [0132] 도전층(170)은 도전층(171) 및 도전층(172)의 2층을 포함하지만, 단층 또는 3층 이상의 적층이어도 좋다. 이는 본 실시형태에서 설명하는 다른 트랜지스터에도 적용된다.
- [0133] 도전층(140) 및 도전층(150)의 각각이 단층이지만, 2층 이상의 적층이어도 좋다. 이는 본 실시형태에서 설명하는 다른 트랜지스터에도 적용된다.
- [0134] 본 발명의 일 형태의 트랜지스터는 도 15의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 15의 (A)는 트랜지스터(102)의 상면도이다. 도 15의 (A)의 일점쇄선 C1-C2 방향의 단면을 도 15의 (B)에 도시하였다. 도 15의 (A)의 일점쇄선 C3-C4 방향의 단면을 도 20의 (B)에 도시하였다. 일점쇄선 C1-C2 방향을 채널 길이 방향이라고 하고, 일점쇄선 C3-C4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0135] 트랜지스터(102)는 게이트 절연막으로서 기능하는 절연층(160)의 단부가 게이트 전극층으로서 기능하는 도전층(170)의 단부와 일치되지 않는 것을 제외하고 트랜지스터(101)와 같은 구조를 갖는다. 트랜지스터(102)에서는, 도전층(140) 및 도전층(150)의 넓은 영역이 절연층(160)으로 덮이기 때문에, 도전층(170)과 도전층(140) 및 도전층(150) 사이의 저항이 높아, 트랜지스터(102)는 게이트 누설 전류가 낮다.
- [0136] 트랜지스터(101) 및 트랜지스터(102)는 각각 도전층(170)이 도전층(140) 및 도전층(150)과 중첩되는 영역을 포함하는 톱 게이트 구조를 갖는다. 기생 용량을 저감시키기 위하여, 채널 길이 방향에서의 상기 영역의 폭은 3nm 이상 300nm 미만인 것이 바람직하다. 본 구조에서는 산화물 반도체층(130)에 오프셋 영역이 형성되지 않기 때문에, 온 상태 전류가 높은 트랜지스터를 쉽게 형성할 수 있다.
- [0137] 본 발명의 일 형태의 트랜지스터는 도 16의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 16의 (A)는 트랜지스터(103)의 상면도이다. 도 16의 (A)의 일점쇄선 D1-D2 방향의 단면을 도 16의 (B)에 도시하였다. 도 16의 (A)의 일점쇄선 D3-D4 방향의 단면을 도 20의 (A)에 도시하였다. 일점쇄선 D1-D2 방향을 채널 길이 방향이라고 하고, 일점쇄선 D3-D4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0138] 트랜지스터(103)는 기판(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130); 산화물 반도체층(130)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 산화물 반도체층(130), 절연층(160), 및 도전층(170)을 덮는 절연층(175); 절연층(175)과 접촉되는 절연층(180); 및 절연층(175) 및 절연층(180)에 제공된 개구를 통하여 산화물 반도체층(130)과 전기적으로 접속되는 도전층(140) 및 도전층(150)을 포함한다. 트랜지스터(103)는 필요에 따라, 예를 들어, 절연층(180), 도전층(140), 및 도전층(150)과 접촉되는 절연층(평탄화막)을 더 포함하여도 좋다.
- [0139] 여기서, 도전층(140), 도전층(150), 절연층(160), 및 도전층(170)은 각각 소스 전극층, 드레인 전극층, 게이트 절연막, 및 게이트 전극층으로서 기능할 수 있다.
- [0140] 도 16의 (B)의 영역(231), 영역(232), 및 영역(233)은 각각 소스 영역, 드레인 영역, 및 채널 형성 영역으로서 기능할 수 있다. 영역(231) 및 영역(232)은 절연층(175)과 접촉된다. 예를 들어, 수소를 포함하는 절연 재료가 절연층(175)에 사용되면, 영역(231) 및 영역(232)의 저항을 저감시킬 수 있다.
- [0141] 구체적으로는, 절연층(175)을 형성할 때까지의 단계에 의하여 영역(231) 및 영역(232)에 발생하는 산소 빈자리와, 절연층(175)으로부터 영역(231) 및 영역(232)으로 확산되는 수소와의 상호 작용에 의하여, 영역(231) 및 영역(232)은 저저항의 n형 영역으로 변화된다. 수소를 포함하는 절연 재료로서는, 예를 들어, 질화 실리콘 또는 질화 알루미늄 등을 사용할 수 있다.
- [0142] 본 발명의 일 형태의 트랜지스터는 도 17의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 17의 (A)는 트랜지스터(104)의 상면도이다. 도 17의 (A)의 일점쇄선 E1-E2 방향의 단면을 도 17의 (B)에 도시하였다. 도 17의 (A)의 일점쇄선 E3-E4 방향의 단면을 도 20의 (A)에 도시하였다. 일점쇄선 E1-E2 방향을 채널 길이 방향이라고

하고, 일점쇄선 E3-E4 방향을 채널 폭 방향이라고 하는 경우가 있다.

- [0143] 트랜지스터(104)는 산화물 반도체층(130)과 접촉되는 도전층(140) 및 도전층(150)이 산화물 반도체층(130)의 단부를 덮는 것을 제외하고 트랜지스터(103)와 같은 구조를 갖는다.
- [0144] 도 17의 (B)에서, 영역(331) 및 영역(334)은 소스 영역으로서 기능할 수 있고, 영역(332) 및 영역(335)은 드레인 영역으로서 기능할 수 있고, 영역(333)은 채널 형성 영역으로서 기능할 수 있다.
- [0145] 영역(331) 및 영역(332)의 저항은 트랜지스터(101)의 영역(231) 및 영역(232)의 저항과 마찬가지로 저감시킬 수 있다.
- [0146] 영역(334) 및 영역(335)의 저항은 트랜지스터(103)의 영역(231) 및 영역(232)의 저항과 마찬가지로 저감시킬 수 있다. 채널 길이 방향에서의 영역(334) 및 영역(335)의 길이가 100nm 이하, 바람직하게는 50nm 이하인 경우에는, 게이트 전계에 의하여 온 상태 전류의 현저하게 저하가 방지된다. 따라서, 영역(334) 및 영역(335)의 저항을 저감시키지 않는 경우가 있다.
- [0147] 트랜지스터(103) 및 트랜지스터(104)는 각각 도전층(170)이 도전층(140) 및 도전층(150)과 중첩되는 영역을 포함하지 않는 자기 정렬 구조를 갖는다. 자기 정렬 구조의 트랜지스터는 게이트 전극층과 소스 전극층 및 드레인 전극층 사이의 기생 용량이 매우 낮으며, 고속 동작이 요구되는 용도에 적합하다.
- [0148] 본 발명의 일 형태의 트랜지스터는 도 18의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 18의 (A)는 트랜지스터(105)의 상면도이다. 도 18의 (A)의 일점쇄선 F1-F2 방향의 단면을 도 18의 (B)에 도시하였다. 도 18의 (A)의 일점쇄선 F3-F4 방향의 단면을 도 20의 (A)에 도시하였다. 일점쇄선 F1-F2 방향을 채널 길이 방향이라고 하고, 일점쇄선 F3-F4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0149] 트랜지스터(105)는 기판(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130); 산화물 반도체층(130)과 전기적으로 접속되는 도전층(141) 및 도전층(151); 산화물 반도체층(130), 도전층(141), 및 도전층(151)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 산화물 반도체층(130), 도전층(141), 도전층(151), 절연층(160), 및 도전층(170)과 접촉되는 절연층(175); 절연층(175)과 접촉되는 절연층(180); 및 절연층(175) 및 절연층(180)에 제공된 개구를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)을 포함한다. 트랜지스터(105)는 필요에 따라, 예를 들어 절연층(180), 도전층(142), 및 도전층(152)과 접촉되는 절연층을 더 포함하여도 좋다.
- [0150] 여기서, 도전층(141) 및 도전층(151)은 산화물 반도체층(130)의 상면과 접촉되고 산화물 반도체층(130)의 측면과는 접촉되지 않는다.
- [0151] 트랜지스터(105)는 도전층(141) 및 도전층(151)이 제공되고, 절연층(175) 및 절연층(180)에 개구가 제공되고, 상기 개구를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)이 제공되는 것을 제외하고 트랜지스터(101)와 같은 구조를 갖는다. 도전층(140)(도전층(141) 및 도전층(142))은 소스 전극층으로서 기능할 수 있고 도전층(150)(도전층(151) 및 도전층(152))은 드레인 전극층으로서 기능할 수 있다.
- [0152] 본 발명의 일 형태의 트랜지스터는 도 19의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 19의 (A)는 트랜지스터(106)의 상면도이다. 도 19의 (A)의 일점쇄선 G1-G2 방향의 단면을 도 19의 (B)에 도시하였다. 도 19의 (A)의 일점쇄선 G3-G4 방향의 단면을 도 20의 (A)에 도시하였다. 일점쇄선 G1-G2 방향을 채널 길이 방향이라고 하고, 일점쇄선 G3-G4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0153] 트랜지스터(106)는 기판(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130); 산화물 반도체층(130)과 전기적으로 접속되는 도전층(141) 및 도전층(151); 산화물 반도체층(130)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 절연층(120), 산화물 반도체층(130), 도전층(141), 도전층(151), 절연층(160), 및 도전층(170)과 접촉되는 절연층(175); 절연층(175)과 접촉되는 절연층(180); 및 절연층(175) 및 절연층(180)에 제공된 개구를 통하여 도전층(141) 및 도전층(151)과 각각 전기적으로 접속된 도전층(142) 및 도전층(152)을 포함한다. 트랜지스터(106)는 필요에 따라, 예를 들어 절연층(180), 도전층(142), 및 도전층(152)과 접촉되는 절연층(평탄화막)을 더 포함하여도 좋다.
- [0154] 여기서, 도전층(141) 및 도전층(151)은 산화물 반도체층(130)의 상면과 접촉되고 산화물 반도체층(130)의 측면과는 접촉되지 않는다.

- [0155] 트랜지스터(106)는 도전층(141) 및 도전층(151)이 제공되는 것을 제외하고 트랜지스터(103)와 같은 구조를 갖는다. 도전층(140)(도전층(141) 및 도전층(142))은 소스 전극층으로서 기능할 수 있고 도전층(150)(도전층(151) 및 도전층(152))은 드레인 전극층으로서 기능할 수 있다.
- [0156] 트랜지스터(105) 및 트랜지스터(106)의 구조에서는, 도전층(140) 및 도전층(150)이 절연층(120)과 접촉되지 않는다. 이 구조에 의하여, 절연층(120)은 도전층(140) 및 도전층(150)에 의하여 산소가 추출되기 어려워져, 절연층(120)으로부터 산화물 반도체층(130)으로의 산소 공급을 용이해진다.
- [0157] 트랜지스터(103)의 영역(231) 및 영역(232), 및 트랜지스터(104) 및 트랜지스터(106)의 영역(334) 및 영역(335)에는 산소 빈자리를 형성하여 도전율을 높이기 위한 불순물을 첨가하여도 좋다. 산화물 반도체층에 산소 빈자리를 형성하는 불순물로서는, 예를 들어, 다음 중 하나 이상을 사용할 수 있다: 인, 비소, 안티모니, 붕소, 알루미늄, 실리콘, 질소, 헬륨, 네온, 아르곤, 크립톤, 제논, 인듐, 플루오린, 염소, 타이타늄, 아연, 및 탄소이다. 불순물을 첨가하는 방법로서는, 플라즈마 처리, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0158] 상술한 원소가 불순물 원소로서 산화물 반도체층에 첨가되면, 산화물 반도체층 내의 금속 원소와 산소 사이의 결합이 절단되어, 산소 빈자리가 형성된다. 산화물 반도체층 내의 산소 빈자리와, 산화물 반도체층에 잔존 또는 나중에 산화물 반도체층에 첨가되는 수소와의 상호 작용에 의하여, 산화물 반도체층의 도전율을 증가시킬 수 있다.
- [0159] 불순물 원소를 첨가함으로써 산소 빈자리가 형성된 산화물 반도체에 수소를 첨가하면, 산소 빈자리의 사이트(site)에 수소가 들어가고 전도대 근방에 도너 준위가 형성된다. 이 결과, 산화물 도전체를 형성할 수 있다. 여기서는 도전체가 된 산화물 반도체를 산화물 도전체라고 한다. 또한, 산화물 도전체는 산화물 반도체와 마찬가지로 투광성을 갖는다.
- [0160] 산화물 도전체는 축퇴 반도체(degenerated semiconductor)이며, 전도대단(conduction band edge)과 페르미 준위가 같거나 또는 실질적으로 같은 것으로 추정된다. 이러한 이유로, 산화물 도전체층과, 소스 전극층 및 드레인 전극층으로서 기능하는 도전층 사이에서 옴 접촉(ohmic contact)이 이루어지기 때문에, 산화물 도전체층과, 소스 전극층 및 드레인 전극층으로서 기능하는 도전층 사이의 접촉 저항을 저감시킬 수 있다.
- [0161] 본 발명의 일 형태의 트랜지스터는 도 21의 (A) 내지 (F)의 채널 길이 방향의 단면도 및 도 20의 (C) 및 (D)의 채널 폭 방향의 단면도에 도시된 바와 같이, 산화물 반도체층(130)과 기판(115) 사이에 도전층(173)을 포함하여도 좋다. 도전층(173)을 제 2 게이트 전극층(백 게이트)으로서 사용하면, 온 상태 전류를 증가시킬 수 있거나 또는 문턱 전압을 제어할 수 있다. 도 21의 (A) 내지 (F)의 단면도에서, 도전층(173)의 폭은 산화물 반도체층(130)의 폭보다 짧아도 좋다. 또한, 도전층(173)의 폭은 도전층(170)의 폭보다 짧아도 좋다.
- [0162] 온 상태 전류를 증가시키기 위하여, 예를 들어, 도전층(170) 및 도전층(173)을 같은 전위로 하고, 트랜지스터를 더블 게이트 트랜지스터로서 구동시킨다. 또한, 문턱 전압을 제어하기 위하여, 도전층(170)의 전위와 상이한 고정 전위를 도전층(173)에 인가한다. 도전층(170) 및 도전층(173)을 같은 전위로 설정하기 위해서는, 예를 들어, 도 20의 (D)에 도시된 바와 같이 도전층(170) 및 도전층(173)을 콘택트 홀을 통하여 서로 전기적으로 접속시키면 좋다.
- [0163] 도 14의 (A), (B), 도 15의 (A), (B), 도 16의 (A), (B), 도 17의 (A), (B), 도 18의 (A), (B), 도 19의 (A), 및 (B)의 트랜지스터(101) 내지 트랜지스터(106)는 산화물 반도체층(130)이 단층인 예이지만, 산화물 반도체층(130)은 적층이어도 좋다. 트랜지스터(101) 내지 트랜지스터(106)의 산화물 반도체층(130)은 도 22의 (A) 내지 (C) 또는 도 23의 (A) 내지 (C)의 산화물 반도체층(130)과 치환할 수 있다.
- [0164] 도 22의 (A) 내지 (C)는 2층 구조를 갖는 산화물 반도체층(130)의 상면도 및 단면도이다. 도 22의 (B)는 도 22의 (A)의 일점쇄선 A1-A2 방향의 단면을 도시한 것이다. 도 22의 (C)는 도 22의 (A)의 일점쇄선 A3-A4 방향의 단면을 도시한 것이다.
- [0165] 도 23의 (A) 내지 (C)는 3층 구조를 갖는 산화물 반도체층(130)의 상면도 및 단면도이다. 도 23의 (B)는 도 23의 (A)의 일점쇄선 A1-A2 방향의 단면을 도시한 것이다. 도 23의 (C)는 도 23의 (A)의 일점쇄선 A3-A4 방향의 단면을 도시한 것이다.
- [0166] 예를 들어, 상이한 구성을 갖는 산화물 반도체층을 산화물 반도체층(130a), 산화물 반도체층(130b), 및 산화물 반도체층(130c)으로서 사용할 수 있다.

- [0167] 본 발명의 일 형태의 트랜지스터는 도 24의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 24의 (A)는 트랜지스터(107)의 상면도이다. 도 24의 (A)의 일점쇄선 H1-H2 방향의 단면을 도 24의 (B)에 도시하였다. 도 24의 (A)의 일점쇄선 H3-H4 방향의 단면을 도 30의 (A)에 도시하였다. 일점쇄선 H1-H2 방향을 채널 길이 방향이라고 하고, 일점쇄선 H3-H4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0168] 트랜지스터(107)는 기관(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130a) 및 산화물 반도체층(130b)의 적층; 상기 적층과 전기적으로 접속되는 도전층(140) 및 도전층(150); 상기 적층, 도전층(140), 및 도전층(150)과 접촉되는 산화물 반도체층(130c); 산화물 반도체층(130c)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 도전층(140), 도전층(150), 산화물 반도체층(130c), 절연층(160), 및 도전층(170)과 접촉되는 절연층(175); 및 절연층(175)과 접촉되는 절연층(180)을 포함한다. 절연층(180)은 필요에 따라 평탄화막으로서 기능하여도 좋다.
- [0169] 트랜지스터(107)는 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))을 포함하고, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a) 내지 산화물 반도체층(130c))을 포함하고, 산화물 반도체층의 일부(산화물 반도체층(130c))가 절연층(160)과 도전층(140) 및 도전층(150) 사이에 존재하는 것을 제외하고 트랜지스터(101)와 같은 구조를 갖는다.
- [0170] 본 발명의 일 형태의 트랜지스터는 도 25의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 25의 (A)는 트랜지스터(108)의 상면도이다. 도 25의 (A)의 일점쇄선 I1-I2 방향의 단면을 도 25의 (B)에 도시하였다. 도 25의 (A)의 일점쇄선 I3-I4 방향의 단면을 도 30의 (B)에 도시하였다. 일점쇄선 I1-I2 방향을 채널 길이 방향이라고 하고, 일점쇄선 I3-I4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0171] 트랜지스터(108)는 절연층(160) 및 산화물 반도체층(130c)의 단부가 도전층(170)의 단부와 일치되지 않는 점에서 트랜지스터(107)와 상이하다.
- [0172] 본 발명의 일 형태의 트랜지스터는 도 26의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 26의 (A)는 트랜지스터(109)의 상면도이다. 도 26의 (A)의 일점쇄선 J1-J2 방향의 단면을 도 26의 (B)에 도시하였다. 도 26의 (A)의 일점쇄선 J3-J4 방향의 단면을 도 30의 (A)에 도시하였다. 일점쇄선 J1-J2 방향을 채널 길이 방향이라고 하고, 일점쇄선 J3-J4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0173] 트랜지스터(109)는 기관(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130a) 및 산화물 반도체층(130b)의 적층; 상기 적층과 접촉되는 산화물 반도체층(130c); 산화물 반도체층(130c)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 상기 적층, 산화물 반도체층(130c), 절연층(160), 및 도전층(170)을 덮는 절연층(175); 절연층(175)과 접촉되는 절연층(180); 및 절연층(175) 및 절연층(180)에 제공된 개구를 통하여 상기 적층과 전기적으로 접속되는 도전층(140) 및 도전층(150)을 포함한다. 트랜지스터(109)는 필요에 따라, 예를 들어, 절연층(180), 도전층(140), 및 도전층(150)과 접촉되는 절연층(평탄화막)을 더 포함하여도 좋다.
- [0174] 트랜지스터(109)는 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))을 포함하고, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a) 내지 산화물 반도체층(130c))을 포함하는 것을 제외하고 트랜지스터(103)와 같은 구조를 갖는다.
- [0175] 본 발명의 일 형태의 트랜지스터는 도 27의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 27의 (A)는 트랜지스터(110)의 상면도이다. 도 27의 (A)의 일점쇄선 K1-K2 방향의 단면을 도 27의 (B)에 도시하였다. 도 27의 (A)의 일점쇄선 K3-K4 방향의 단면을 도 30의 (A)에 도시하였다. 일점쇄선 K1-K2 방향을 채널 길이 방향이라고 하고, 일점쇄선 K3-K4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0176] 트랜지스터(110)는 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))을 포함하고, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a) 내지 산화물 반도체층(130c))을 포함하는 것을 제외하고 트랜지스터(104)와 같은 구조를 갖는다.
- [0177] 본 발명의 일 형태의 트랜지스터는 도 28의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 28의 (A)는 트랜지스터(111)의 상면도이다. 도 28의 (A)의 일점쇄선 L1-L2 방향의 단면을 도 28의 (B)에 도시하였다. 도 28의 (A)의 일점쇄선 L3-L4 방향의 단면을 도 30의 (A)에 도시하였다. 일점쇄선 L1-L2 방향을 채널 길이 방향이라고 하고, 일점쇄선 L3-L4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0178] 트랜지스터(111)는 기관(115)과 접촉되는 절연층(120); 절연층(120)과 접촉되는 산화물 반도체층(130a) 및 산화

물 반도체층(130b)의 적층; 상기 적층과 전기적으로 접속되는 도전층(141) 및 도전층(151); 상기 적층, 도전층(141), 및 도전층(151)과 접촉되는 산화물 반도체층(130c); 산화물 반도체층(130c)과 접촉되는 절연층(160); 절연층(160)과 접촉되는 도전층(170); 상기 적층, 도전층(141), 도전층(151), 산화물 반도체층(130c), 절연층(160), 및 도전층(170)과 접촉되는 절연층(175); 절연층(175)과 접촉되는 절연층(180); 절연층(175) 및 절연층(180)에 제공된 개구를 통하여 도전층(141) 및 도전층(151)에 각각 전기적으로 접속되는 도전층(142) 및 도전층(152)을 포함한다. 트랜지스터(111)는 필요에 따라, 예를 들어, 절연층(180), 도전층(142), 및 도전층(152)과 접촉되는 절연층(평탄화막)을 더 포함하여도 좋다.

- [0179] 트랜지스터(111)는 영역(231) 및 영역(232)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))을 포함하고, 영역(233)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a) 내지 산화물 반도체층(130c))을 포함하고, 절연층(160)과 도전층(141) 및 도전층(151) 사이에 산화물 반도체층의 일부(산화물 반도체층(130c))가 존재하는 것을 제외하고 트랜지스터(105)와 같은 구조를 갖는다.
- [0180] 본 발명의 일 형태의 트랜지스터는 도 29의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 29의 (A)는 트랜지스터(112)의 상면도이다. 도 29의 (A)의 일점쇄선 M1-M2 방향의 단면을 도 29의 (B)에 도시하였다. 도 29의 (A)의 일점쇄선 M3-M4 방향의 단면을 도 30의 (A)에 도시하였다. 일점쇄선 M1-M2 방향을 채널 길이 방향이라고 하고, 일점쇄선 M3-M4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0181] 트랜지스터(112)는 영역(331), 영역(332), 영역(334), 및 영역(335)에서 산화물 반도체층(130)이 2층(산화물 반도체층(130a) 및 산화물 반도체층(130b))을 포함하고, 영역(333)에서 산화물 반도체층(130)이 3층(산화물 반도체층(130a) 내지 산화물 반도체층(130c))을 포함하는 것을 제외하고 트랜지스터(106)와 같은 구조를 갖는다.
- [0182] 본 발명의 일 형태의 트랜지스터는 도 31의 (A) 내지 (F)의 채널 길이 방향의 단면도 및 도 30의 (C) 및 (D)의 채널 폭 방향의 단면도에 도시된 바와 같이, 산화물 반도체층(130)과 기판(115) 사이에 도전층(173)을 포함하여도 좋다. 상기 도전층을 제 2 게이트 전극층(백 게이트)으로서 사용하면, 온 상태 전류를 증가시킬 수 있거나 또는 문턱 전압을 제어할 수 있다. 도 31의 (A) 내지 (F)의 단면도에서는, 도전층(173)의 폭은 산화물 반도체층(130)의 폭보다 짧아도 좋다. 또한, 도전층(173)의 폭은 도전층(170)의 폭보다 짧아도 좋다.
- [0183] 도 32의 (A)에 도시된 바와 같이, 본 발명의 일 형태의 트랜지스터에서의 도전층(140)(소스 전극층) 및 도전층(150)(드레인 전극층)의 폭(W_{SD})은, 산화물 반도체층의 폭(W_{OS})보다 길어도 좋다. 또한, 도 32의 (B)에 도시된 바와 같이, W_{SD} 는 W_{OS} 보다 짧아도 좋다. $W_{OS} \geq W_{SD}$ (W_{SD} 는 W_{OS} 이하)를 만족할 때, 게이트 전계가 산화물 반도체층(130) 전체에 인가되기 쉬워져 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0184] 본 발명의 일 형태의 트랜지스터(트랜지스터(101) 내지 트랜지스터(112) 중 어느 것)에서는, 게이트 전극층으로서 기능하는 도전층(170)은 게이트 절연막으로서 기능하는 절연층(160)을 개재하여 채널 폭 방향으로 산화물 반도체층(130)을 전기적으로 둘러싼다. 이 구조에 의하여 온 전류를 증가시킬 수 있다. 이러한 트랜지스터 구조를 surrounded channel(s-channel) 구조라고 한다.
- [0185] 산화물 반도체층(130a) 및 산화물 반도체층(130b)을 포함하는 트랜지스터, 및 산화물 반도체층(130a) 내지 산화물 반도체층(130c)을 포함하는 트랜지스터에서는, 산화물 반도체층(130)을 형성하는 2층 또는 3층의 적절한 재료를 선택함으로써 산화물 반도체층(130b)에 전류를 흘릴 수 있다. 산화물 반도체층(130b)에 전류가 흐르기 때문에, 전류는 계면 산란의 영향을 받기 어려워, 높은 온 전류로 이어진다. 또한, 산화물 반도체층(130b)의 두께를 두껍게 하면, 온 상태 전류를 증가시킬 수 있다. 예를 들어, 산화물 반도체층(130b)의 두께는 100nm 내지 200nm이어도 좋다.
- [0186] 상술한 구조 중 어느 것을 갖는 트랜지스터를 포함하는 반도체 장치는 양호한 전기적 특성을 가질 수 있다.
- [0187] 또한, 본 명세서에서 채널 길이란, 예를 들어, 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 하나의 트랜지스터에서, 모든 영역의 채널 길이가 반드시 같을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 그러므로, 본 명세서에서 채널 길이는, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.
- [0188] 채널 폭이란, 예를 들어, 반도체(또는 트랜지스터가 온일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 서로 마주 보는 부분의 길이를 말한

다. 하나의 트랜지스터에서 모든 영역의 채널 폭이 반드시 같은 값을 가질 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭이 하나의 값으로 정해지지 않는 경우가 있다. 그러므로, 본 명세서에서 채널 폭은, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.

[0189] 또한, 트랜지스터의 구조에 따라서는 채널이 실제로 형성되는 영역에서의 채널 폭(이하, 실효적인 채널 폭이라고 함)이 트랜지스터의 상면도에 나타내어진 채널 폭(이하, 외견상 채널 폭이라고 함)과 상이한 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트 전극을 갖는 트랜지스터에서는, 실효적인 채널 폭이 외견상 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트 전극을 갖는 소형화된 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 증가된다. 이러한 경우에는, 실효적인 채널 폭이 실질적인 채널 폭보다 크다.

[0190] 이러한 경우에는, 실효적인 채널 폭을 측정하기가 어려운 경우가 있다. 예를 들어, 설계값으로부터의 실효적인 채널 폭을 추산하기 위해서는, 반도체의 형상이 알려져 있다고 상정할 필요가 있다. 따라서, 반도체의 형상이 정확히 알려져 있지 않은 경우에는, 실효적인 채널 폭을 정확히 측정하기 어렵다.

[0191] 따라서, 본 명세서에서는 외견상 채널 폭을 SCW(surrounded channel width)라고 하는 경우가 있다. 또한, 본 명세서에서 '채널 폭'이라는 용어는 SCW, 즉 외견상 채널 폭 또는 실효적인 채널 폭을 나타낼 수 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, SCW 등의 값은 단면 TEM 이미지 등을 얻고 분석함으로써 결정할 수 있다.

[0192] 트랜지스터의 전계 효과 이동도, 채널 폭당 전류값 등을 계산하기 위하여 SCW를 사용할 수 있다. 이러한 경우에는, 얻어지는 값은 계산에 실효적인 채널 폭을 사용하여 얻어지는 값과 상이한 경우가 있다.

[0193] 본 실시형태에서 상술한 구조는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.

[0194] (실시형태 5)

[0195] 본 실시형태에서는, 실시형태 4에서 설명한 트랜지스터의 구성 요소에 대하여 자세히 설명한다.

[0196] 기판(115)은 트랜지스터 및/또는 포토다이오드가 제공된 실리콘 기판; 및 상기 실리콘 기판 위에 제공된 절연층, 배선, 콘택트 플러그로서 기능하는 도전체 등을 포함한다. 또한, p채널형 트랜지스터를 실리콘 기판을 사용하여 형성하는 경우, n⁻형 도전형을 갖는 실리콘 기판을 사용하는 것이 바람직하다. 또는, n⁻형 실리콘층 또는 i형 실리콘층을 포함하는 SOI 기판을 사용하여도 좋다. 트랜지스터가 형성되는 상기 실리콘 기판의 면은 (110)면 방위를 갖는 것이 바람직하다. (110)면에 p채널형 트랜지스터를 형성함으로써 이동도를 증가시킬 수 있다.

[0197] 절연층(120)은 기판(115)에 포함되는 구성 요소로부터 불순물이 확산되는 것을 방지하는 기능에 더하여 산화물 반도체층(130)에 산소를 공급하는 기능을 가질 수 있다. 이러한 이유로, 절연층(120)은 산소를 포함하는 절연막인 것이 바람직하고, 산소의 함유량이 화학량론적 조성보다 높은 산소를 포함하는 절연막인 것이 더 바람직하다. 절연층(120)은 산소 원자로 환산되었을 때의 산소의 방출량이 TDS 분석에서 1.0×10^{19} atoms/cm³ 이상인 막인 것이 바람직하다. TDS 분석에서는, 막 표면의 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하이다. 절연층(120)은 층간 절연막으로서도 기능하고, 평평한 표면을 갖도록 CMP(chemical mechanical polishing) 등의 평탄화 처리가 수행되어도 좋다.

[0198] 예를 들어, 절연층(120)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등을 포함하는 산화물 절연막; 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등을 포함하는 질화물 절연막; 또는 이들 중 어느 것의 혼합 재료를 사용하여 형성할 수 있다. 절연층(120)은 상술한 재료 중 어느 것의 적층이어도 좋다.

[0199] 본 실시형태에서는 주로 트랜지스터의 산화물 반도체층(130)이, 절연층(120) 측으로부터 산화물 반도체층(130a) 내지 산화물 반도체층(130c)이 이 차례로 적층된 3층 구조를 갖는 경우에 대하여 자세히 설명한다.

[0200] 또한, 산화물 반도체층(130)이 단층인 경우에는, 본 실시형태에서 설명하는 산화물 반도체층(130b)에 상당하는 층을 사용한다.

[0201] 산화물 반도체층(130)이 2층 구조를 갖는 경우에는, 산화물 반도체층(130a)에 상당하는 층과 산화물 반도체층(130b)에 상당하는 층이 본 실시형태에서 설명하는 절연층(120) 측으로부터 순차적으로 적층된 적층을

사용한다. 이러한 경우, 산화물 반도체층(130a)과 산화물 반도체층(130b)을 서로 교체할 수 있다.

- [0202] 산화물 반도체층(130)이 4층 이상의 층상 구조를 갖는 경우에는, 예를 들어 본 실시형태에서 설명하는 산화물 반도체층(130)의 3층 적층에 다른 산화물 반도체층이 추가된 구조를 채용할 수 있다.
- [0203] 예를 들어, 산화물 반도체층(130b)에는 산화물 반도체층(130a) 및 산화물 반도체층(130c)보다 전자 친화력(진공 준위와 전도대 하단 사이의 에너지)이 큰 산화물 반도체를 사용한다. 전자 친화력은 진공 준위와 가전자대 상단 사이의 에너지 차이(소위, 이온화 퍼텐셜)로부터, 전도대 하단과 가전자대 상단 사이의 에너지 차이(소위, 에너지 갭)를 뺀으로써 얻을 수 있다.
- [0204] 산화물 반도체층(130a) 및 산화물 반도체층(130c)은 각각 산화물 반도체층(130b)에 포함되는 금속 원소 중 1종류 이상을 포함한다. 예를 들어, 산화물 반도체층(130a) 및 산화물 반도체층(130c)은 전도대 하단이 산화물 반도체층(130b)의 전도대 하단보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 및 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 진공 준위에 더 가까운 산화물 반도체를 사용하여 형성되는 것이 바람직하다.
- [0205] 이러한 구조에서, 도전층(170)에 전계가 인가되면, 산화물 반도체층(130) 중 전도대 하단이 가장 낮은 산화물 반도체층(130b)에 채널이 형성된다.
- [0206] 또한, 산화물 반도체층(130a)은 산화물 반도체층(130b)에 포함되는 금속 원소 중 1종류 이상을 포함하기 때문에, 산화물 반도체층(130b)이 절연층(120)과 접촉된다고 가정한 경우의 산화물 반도체층(130b)과 절연층(120) 사이의 계면에 비하여, 산화물 반도체층(130b)과 산화물 반도체층(130a) 사이의 계면에는 계면 준위가 형성되기 어렵다. 이 계면 준위는 채널을 형성하는 경우가 있기 때문에, 트랜지스터의 문턱 전압이 변동되는 경우가 있다. 따라서, 산화물 반도체층(130a)에 의하여, 문턱 전압 등, 트랜지스터의 전기적 특성의 편차를 저감시킬 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0207] 또한, 산화물 반도체층(130c)은 산화물 반도체층(130b)에 함유되는 금속 원소 중 1종류 이상을 함유하기 때문에, 산화물 반도체층(130b)이 게이트 절연막과 접촉된다고 가정한 경우의 산화물 반도체층(130b)과 게이트 절연막(절연층(160)) 사이의 계면에 비하여, 산화물 반도체층(130b)과 산화물 반도체층(130c) 사이의 계면에는 캐리어의 산란이 일어나기 어렵다. 따라서, 산화물 반도체층(130c)에 의하여, 트랜지스터의 전계 효과 이동도를 증가시킬 수 있다.
- [0208] 산화물 반도체층(130a) 및 산화물 반도체층(130c)에는, 예를 들어, Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf를 산화물 반도체층(130b)에 사용되는 재료보다 높은 원자수비로 포함하는 재료를 사용할 수 있다. 구체적으로는, 산화물 반도체층(130a) 및 산화물 반도체층(130c) 내의 상술한 금속 원소 중 어느 것의 원자수비는 산화물 반도체층(130b) 내의 재료의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다. 상술한 금속 원소 중 어느 것은 산소와 강하게 결합되기 때문에, 산화물 반도체층(130a) 및 산화물 반도체층(130b)에서 산소 빈자리가 발생하는 것을 억제하는 기능을 갖는다. 즉, 산소 빈자리는 산화물 반도체층(130b)에서보다 산화물 반도체층(130a) 및 산화물 반도체층(130c)에서 발생되기 어렵다.
- [0209] 산화물 반도체층(130a) 내지 산화물 반도체층(130c) 각각에 사용할 수 있는 산화물 반도체는 적어도 In 또는 Zn을 포함하는 것이 바람직하다. In과 Zn 양쪽 모두를 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기적 특성의 편차를 저감시키기 위하여, 산화물 반도체는 In 및 Zn에 더하여 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0210] 스테빌라이저의 예에는 Ga, Sn, Hf, Al, 및 Zr이 포함된다. 스테빌라이저의 다른 예에는 La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb 및 Lu 등의 란타노이드가 포함된다.
- [0211] 산화물 반도체로서는 예를 들어, 다음 중 어느 것을 사용할 수 있다: 산화 인듐, 산화 주석, 산화 갈륨, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 및 In-Hf-Al-Zn 산화물.
- [0212] 예를 들어, In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 의미한다. In-Ga-Zn 산화

물은 In, Ga, 및 Zn에 더하여 다른 금속 원소를 포함하여도 좋다. 본 명세서에서는, In-Ga-Zn 산화물을 포함하는 막을 IGZO막이라고도 한다.

- [0213] $InMO_3(ZnO)_m(m>0, m$ 은 정수(整數)가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M 은 Ga, Y, Zr, La, Ce, 및 Nd 중에서 선택된 하나 이상의 금속 원소를 나타낸다. 또는, $In_2SnO_5(ZnO)_n(n>0, n$ 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0214] 또한, 산화물 반도체층(130a) 내지 산화물 반도체층(130c) 각각이 적어도 인듐, 아연, 및 M (M 은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속임)을 포함하는 In-M-Zn 산화물인 경우에는, 산화물 반도체층(130a)이 $x_1:y_1:z_1$ 이라는 M 및 Zn에 대한 In의 원자수비가를 갖고, 산화물 반도체층(130b)이 $x_2:y_2:z_2$ 이라는 M 및 Zn에 대한 In의 원자수비를 갖고, 산화물 반도체층(130c)이 $x_3:y_3:z_3$ 이라는 M 및 Zn에 대한 In의 원자수비를 가질 때, y_1/x_1 및 y_3/x_3 각각은 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 각각은 y_2/x_2 의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다. 이때, 산화물 반도체층(130b)에서 y_2 가 x_2 이상이면 트랜지스터는 안정된 전기적 특성을 가질 수 있다. 그러나, y_2 가 x_2 의 3배 이상이면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배 미만인 것이 바람직하다.
- [0215] Zn 및 O를 고려하지 않은 경우에는, 산화물 반도체층(130a) 및 산화물 반도체층(130c) 각각에서의 In의 비율 및 M 의 비율은 각각 50atomic% 미만 및 50atomic% 이상인 것이 바람직하고, 각각 25atomic% 미만 및 75atomic% 이상인 것이 더 바람직하다. 또한, Zn 및 O를 고려하지 않은 경우에는, 산화물 반도체층(130b)에서의 In의 비율 및 M 의 비율은 각각 25atomic% 이상 및 75atomic% 미만인 것이 바람직하고, 각각 34atomic% 이상 및 66atomic% 미만인 것이 더 바람직하다.
- [0216] 산화물 반도체층(130b)의 인듐 함유량은 산화물 반도체층(130a) 및 산화물 반도체층(130c)의 인듐 함유량보다 높은 것이 바람직하다. 산화물 반도체에서는, 중금속의 s궤도가 주로 캐리어 이송에 기여하고, 산화물 반도체 내의 In의 비율이 증가되면, s궤도의 중첩이 증가되기 쉽다. 그러므로, In의 비율이 M 의 비율보다 높은 산화물은 In의 비율이 M 의 비율과 같거나 또는 M 의 비율보다 낮은 산화물보다 높은 이동도를 갖는다. 그러므로, 산화물 반도체층(130b)에 인듐의 함유량이 높은 산화물을 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 얻을 수 있다.
- [0217] 산화물 반도체층(130a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하이다. 산화물 반도체층(130b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 10nm 이상 150nm 이하, 더 바람직하게는 15nm 이상 100nm 이하이다. 산화물 반도체층(130c)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 30nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다. 또한, 산화물 반도체층(130b)은 산화물 반도체층(130a) 및 산화물 반도체층(130c)보다 두꺼운 것이 바람직하다.
- [0218] 또한, 산화물 반도체층에 채널이 형성된 트랜지스터가 안정적인 전기적 특성을 갖기 위해서는, 산화물 반도체층 내의 불순물의 농도를 저감시킴으로써 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 효과적이다. '실질적으로 진성'이라는 용어는 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만인 상태를 말한다.
- [0219] 산화물 반도체층에서, 수소, 질소, 탄소, 실리콘, 및 산화물 반도체층의 주성분 외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위를 형성하여 캐리어 밀도를 증가시키고, 실리콘은 산화물 반도체층에서 불순물 준위를 형성한다. 상기 불순물 준위는 트랩으로서 기능하고, 트랜지스터의 전기적 특성의 열화를 일으킬 수 있다. 따라서, 산화물 반도체층(130a) 내지 산화물 반도체층(130c) 및 상기 산화물 반도체들의 계면에서 불순물의 농도를 저감시키는 것이 바람직하다.
- [0220] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는, SIMS(secondary ion mass spectrometry)에 의하여 추산되는 실리콘의 농도가 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만인 영역을 갖도록 산화물 반도체층을 제어한다. 또한, 수소의 농도가 $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만인 영역을 갖도록 산화물 반도체층을 제어한다. 또한, 산화물 반도체층의 어떠한 깊이에서

또는 산화물 반도체층의 어떠한 영역에서의 질소의 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다.

[0221] 실리콘 또는 탄소의 농도가 높으면 산화물 반도체층의 결정성이 저하될 수 있다. 산화물 반도체층의 결정성을 낮추지 않기 하기 위해서는, 예를 들어, 산화물 반도체층은 실리콘의 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 영역을 갖도록 제어된다. 또한, 산화물 반도체층은 탄소의 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 영역을 갖도록 제어된다.

[0222] 채널 형성 영역에 고순도화된 산화물 반도체막을 사용하는 트랜지스터는 매우 낮은 오프 상태 전류를 나타낸다. 예를 들어, 소스와 드레인 사이의 전압을 0.1V, 5V, 또는 10V 정도로 설정하는 경우, 트랜지스터의 채널 폭당 오프 상태 전류를 수 $\text{yA}/\mu\text{m}$ 내지 수 $\text{zA}/\mu\text{m}$ 까지 낮출 수 있다.

[0223] 트랜지스터의 게이트 절연막으로서, 실리콘을 포함하는 절연막이 사용되는 경우가 많기 때문에, 상술한 이유로 채널로서 기능하는 산화물 반도체층의 영역이, 본 발명의 일 형태의 트랜지스터와 같이 게이트 절연막과 접촉하지 않는 것이 바람직하다. 게이트 절연막과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우, 상기 계면에서 캐리어의 산란이 일어나, 트랜지스터의 전계 효과 이동도가 저감된다. 이러한 관점에서 봐도, 채널로서 기능하는 산화물 반도체층의 영역은 게이트 절연막으로부터 떨어져 있는 것이 바람직하다.

[0224] 따라서, 산화물 반도체층(130a) 내지 산화물 반도체층(130c)을 포함한 층상 구조를 갖는 산화물 반도체층(130)에 의하여 산화물 반도체층(130b)에 채널을 형성할 수 있어, 트랜지스터는 높은 전계 효과 이동도 및 안정적인 전기적 특성을 가질 수 있다.

[0225] 밴드 구조에서, 산화물 반도체층(130a) 내지 산화물 반도체층(130c)의 전도대 하단은 연속적이다. 이는 산화물 반도체층(130a) 내지 산화물 반도체층(130c)의 조성이 서로 가깝고 산소가 산화물 반도체층(130a) 내지 산화물 반도체층(130c) 사이에서 확산되기 쉽다는 점에서도 이해할 수 있다. 따라서, 산화물 반도체층(130a) 내지 산화물 반도체층(130c)은 다른 조성을 갖고 적층을 형성하지만, 연속적인 물성을 갖는다. 도면에서는, 상기 적층의 산화물 반도체층들 사이의 계면은 점선으로 표시하였다.

[0226] 같은 주성분을 포함하는 층이 적층된 산화물 반도체층(130)은 층의 단순한 층상 구조뿐만 아니라, 연속적인 에너지 밴드(여기서는, 특히 전도대 하단이 연속적인 U자형 우물 구조(U-shape well))를 갖도록 형성된다. 바꿔 말하면, 각 계면에 트랩 중심 또는 재결합 중심 등의 결함 준위를 형성하는 불순물이 존재하지 않도록 층상 구조가 형성된다. 만약에 적층된 산화물 반도체층들 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 상실되어 계면에서 캐리어가 트랩 또는 재결합에 의하여 소멸된다.

[0227] 예를 들어, 산화물 반도체층(130a) 및 산화물 반도체층(130c)에는 Ga 및 Zn에 대한 In의 원자수비가 1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:4:5, 1:6:4, 또는 1:9:6인 In-Ga-Zn 산화물을 사용할 수 있고, 산화물 반도체층(130b)에는 Ga 및 Zn에 대한 In의 원자수비가 1:1:1, 2:1:3, 5:5:6, 또는 3:1:2인 In-Ga-Zn 산화물을 사용할 수 있다. 각 산화물 반도체층(130a) 내지 산화물 반도체층(130c)에서 이 원자수비의 각 원자의 비율은 오차로서 $\pm 20\%$ 의 범위에서 변동된다.

[0228] 산화물 반도체층(130)의 산화물 반도체층(130b)은 우물로서 기능하여, 산화물 반도체층(130b)에 채널이 형성된다. 또한, 전도대 하단이 연속적이기 때문에, 산화물 반도체층(130)을 U자형 우물이라고 할 수도 있다. 또한, 이러한 구조를 갖도록 형성된 채널을 매립 채널(buried channel)이라고 할 수도 있다.

[0229] 또한, 산화물 반도체층(130a) 및 산화물 반도체층(130c) 각각과, 산화물 실리콘막 등의 절연층 사이의 계면 근방에는 불순물 또는 결함으로 인한 트랩 준위가 형성될 가능성이 있다. 산화물 반도체층(130a) 및 산화물 반도체층(130c)이 존재함으로써, 산화물 반도체층(130b)은 상기 트랩 준위로부터 멀리 떨어질 수 있다.

[0230] 그러나, 산화물 반도체층(130b)의 전도대 하단과, 산화물 반도체층(130a) 및 산화물 반도체층(130c) 각각의 전도대 하단의 에너지 차이가 작은 경우, 산화물 반도체층(130b) 내의 전자가 상기 에너지 차이를 통과하여 트랩 준위에 도달할 수 있다. 전자가 트랩 준위에 트랩될 때, 절연층 계면에 음의 전하가 발생됨으로써 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.

[0231] 산화물 반도체층(130a) 내지 산화물 반도체층(130c)은 결정부를 포함하는 것이 바람직하다. 특히, c축 배향을

갖는 결정을 사용하면, 트랜지스터가 안정적인 전기적 특성을 가질 수 있다. 또한, c축 배향을 갖는 결정은 변형에 강하기 때문에, 이러한 결정을 사용하면, 가요성 기판이 사용된 반도체 장치의 신뢰성을 향상시킬 수 있다.

- [0232] 소스 전극층으로서 기능하는 도전층(140) 및 드레인 전극층으로서 기능하는 도전층(150)으로서는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W, Ni, Mn, Nd, 및 Sc, 및 이들 금속 재료 중 어느 것의 합금 중에서 선택된 재료를 사용하여 형성된 단층 또는 적층을 사용할 수 있다. 대표적으로는, 특히 산소와 결합되기 쉬운 Ti, 또는 용점이 높아 이후의 공정 온도를 비교적 높게 하는 W을 사용하는 것이 바람직하다. 저항이 낮은 Cu 또는 Cu-Mn 등의 합금과, 상술한 재료 중 어느 것의 적층을 사용할 수도 있다. 트랜지스터(105), 트랜지스터(106), 트랜지스터(111), 및 트랜지스터(112)에서는, 예를 들어, 도전층(141) 및 도전층(151)에 W을 사용하고, 도전층(142) 및 도전층(152)에 Ti와 Al의 적층을 사용할 수 있다.
- [0233] 상술한 재료는 산화물 반도체층으로부터 산소를 추출할 수 있다. 그러므로, 상술한 재료 중 어느 것과 접촉된 산화물 반도체층의 영역에서는 산화물 반도체층으로부터 산소가 방출되고 산소 빈자리가 형성된다. 층에 약간 포함되는 수소와 상기 산소 빈자리가 서로 결합됨으로써, 상기 영역은 n형 영역으로 변화된다. 따라서, n형 영역은 트랜지스터의 소스 또는 드레인으로서 기능할 수 있다.
- [0234] 도전층(140) 및 도전층(150)에 W을 사용하는 경우, 도전층(140) 및 도전층(150)에 질소를 도핑하여도 좋다. 질소를 도핑함으로써, 산소를 추출하는 능력을 적절히 더 낮출 수 있고 n형 영역이 채널 영역으로 확대되는 것을 방지할 수 있다. 도전층(140) 및 도전층(150)에 W와 n형 반도체층의 적층을 사용하고 n형 반도체층과 산화물 반도체층을 접촉시키는 것에 의해서도 n형 영역이 채널 영역으로 확대되는 것을 방지할 수 있다. n형 반도체층으로서는 질소가 첨가된 In-Ga-Zn 산화물, 산화 아연, 산화 인듐, 산화 주석, 산화 인듐 주석 등을 사용할 수 있다.
- [0235] 게이트 절연막으로서 기능하는 절연층(160)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용하여 형성할 수 있다. 절연층(160)은 상술한 재료 중 어느 것을 포함한 적층이어도 좋다. 절연층(160)은 란타넘(La), 질소, 또는 지르코늄(Zr) 등을 불순물로서 포함하여도 좋다.
- [0236] 절연층(160)의 층상 구조의 일례에 대하여 설명한다. 절연층(160)은 예를 들어 산소, 질소, 실리콘, 또는 하프늄을 포함한다. 구체적으로는, 절연층(160)은 산화 하프늄 및 산화 실리콘 또는 산화 질화 실리콘을 포함하는 것이 바람직하다.
- [0237] 산화 하프늄 및 산화 알루미늄은 산화 실리콘 및 산화 질화 실리콘보다 비유전율이 높다. 따라서, 산화 하프늄 또는 산화 알루미늄을 사용하는 절연층(160)은 산화 실리콘을 사용하는 절연층(160)보다 두께를 크게 할 수 있기 때문에, 터널 전류로 인한 누설 전류를 저감시킬 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 비유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 다만, 본 발명의 일 형태는 상술한 예에 한정되지 않는다.
- [0238] 산화물 반도체층(130)과 접촉되는 절연층(120) 및 절연층(160)에는 더 적은 질소 산화물을 방출하는 막을 사용하는 것이 바람직하다. 절연층(120) 및 절연층(160)에는, 예를 들어, 더 적은 질소 산화물 방출하는 산화 질화 실리콘막 또는 산화 질화 알루미늄막을 사용할 수 있다.
- [0239] 더 적은 질소 산화물을 방출하는 산화 질화 실리콘막은 TDS에서의 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이고, 대표적으로는 암모니아의 방출량이 1×10^{18} molecules/cm³ 이상 5×10^{19} molecules/cm³ 이하이다. 또한, 방출된 암모니아의 양은 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는 50℃ 이상 550℃ 이하의 가열 처리에 의하여 방출된 암모니아의 양이다.
- [0240] 절연층(120) 및 절연층(160)에 상술한 산화물 절연층을 사용함으로써 트랜지스터의 문턱 전압의 변동을 저감할 수 있어, 트랜지스터의 전기적 특성의 변동의 저감으로 이어진다.
- [0241] 게이트 전극층으로서 기능하는 도전층(170)에는, 예를 들어 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Mn, Nd, Sc, Ta, W 등을 사용하여 형성된 도전막을 사용할 수 있다. 또는, 이들 재료 중 어느 것의 합금 또는 도전

성 질화물을 사용하여도 좋다. 또는 이들 재료, 이들 재료의 합금, 및 이들 재료의 도전성 질화물 중에서 선택된 복수의 재료의 적층을 사용하여도 좋다. 대표적으로는, 텅스텐, 텅스텐과 질화 타이타늄의 적층, 텅스텐과 질화 탄탈럼의 적층 등을 사용할 수 있다. 또는, 저항이 낮은 Cu 또는 Cu-Mn 등의 합금, 또는 상술한 재료 중 어느 것과 Cu 또는 Cu-Mn 등의 합금의 적층을 사용하여도 좋다. 본 실시형태에서는, 질화 탄탈럼을 도전층(171)에 사용하고, 텅스텐을 도전층(172)에 사용하여 도전층(170)을 형성한다.

[0242] 절연층(175)으로서, 수소를 함유하는 질화 실리콘막, 질화 알루미늄막 등을 사용할 수 있다. 실시형태 4에서 설명한 트랜지스터(103), 트랜지스터(104), 트랜지스터(106), 트랜지스터(109), 트랜지스터(110), 및 트랜지스터(112)에서는, 절연층(175)으로서 수소를 포함하는 절연막을 사용하면, 산화물 반도체층의 일부는 n형 도전형을 가질 수 있다. 또한, 질화 절연막은 수분 등에 대한 차단막으로서 기능하고, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0243] 절연층(175)으로서 산화 알루미늄막을 사용할 수도 있다. 실시형태 4에서 설명한 트랜지스터(101), 트랜지스터(102), 트랜지스터(105), 트랜지스터(107), 트랜지스터(108), 및 트랜지스터(111)에서는 절연층(175)으로서 산화 알루미늄막을 사용하는 것이 특히 바람직하다. 산화 알루미늄막은 수소 및 수분 등의 불순물과 산소 양쪽의 투과를 방지하는 차단 효과가 높다. 따라서, 산화 알루미늄막은 트랜지스터의 제조 공정 중 및 제조 공정 후에, 수소 및 수분 등의 불순물이 산화물 반도체층(130)으로 들어가는 것을 방지하고, 산소가 산화물 반도체층으로부터 방출되는 것을 방지하고, 절연층(120)으로부터 산소가 불필요하게 방출되는 것을 방지하는 효과를 갖는 보호막으로서 적합히 기능할 수 있다. 또한, 산화 알루미늄막에 포함되는 산소를 산화물 반도체층 내로 확산시킬 수 있다.

[0244] 또한, 절연층(175) 위에는 절연층(180)이 형성되는 것이 바람직하다. 상기 절연층(180)은 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용하여 형성할 수 있다. 절연층(180)은 상술한 재료 중 어느 것의 적층이어도 좋다.

[0245] 여기서, 절연층(120)과 같이, 절연층(180)은 화학량론적 조성에서의 산소보다 많은 산소를 포함하는 것이 바람직하다. 절연층(180)으로부터 방출되는 산소는 절연층(160)을 통하여 산화물 반도체층(130)의 채널 형성 영역으로 확산될 수 있기 때문에, 채널 형성 영역에 형성된 산소 빈자리는 산소로 채워질 수 있다. 이런 식으로, 트랜지스터의 안정적인 전기적 특성을 달성할 수 있다.

[0246] 반도체 장치의 고집적화에는 트랜지스터의 소형화가 요구된다. 그러나, 트랜지스터의 소형화는 트랜지스터의 전기적 특성의 열화를 일으키는 것이 알려져 있다. 특히, 채널 폭의 축소가 온 상태 전류의 저하를 일으킨다.

[0247] 본 발명의 일 형태의 트랜지스터(107) 내지 트랜지스터(112)에서는 채널이 형성되는 산화물 반도체층(130b)을 덮도록 산화물 반도체층(130c)이 형성되기 때문에, 채널 형성층은 게이트 절연막과 접촉되지 않는다. 따라서, 채널 형성층과 게이트 절연막 사이의 계면에서의 캐리어의 산란을 저감시킬 수 있고, 트랜지스터의 온 상태 전류를 증가시킬 수 있다.

[0248] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터에서는 산화물 반도체층(130)을 채널 폭 방향으로 전기적으로 둘러싸도록 게이트 전극층(도전층(170))이 형성되기 때문에, 산화물 반도체층(130)에는 게이트 전계가 상면에 수직인 방향으로 인가되는 것에 더하여 측면에 수직인 방향으로 인가된다. 바꿔 말하면, 채널 형성층의 전체에 게이트 전계가 인가되고 실질적인 채널 폭이 증가되기 때문에, 온 상태 전류를 더 증가시키는 것으로 이어진다.

[0249] 또한, 산화물 반도체층(130)이 2층 구조 또는 3층 구조를 갖는 본 발명의 일 형태의 트랜지스터에서는, 채널이 형성되는 산화물 반도체층(130b)이 산화물 반도체층(130a) 위에 제공되기 때문에, 계면 준위가 형성되기 어렵게 하는 효과가 얻어진다. 산화물 반도체층(130)이 3층 구조를 갖는 본 발명의 일 형태의 트랜지스터에서는, 산화물 반도체층(130b)이 3층 구조의 중간에 위치하기 때문에, 위층 및 아래층으로부터 산화물 반도체층(130b)에 들어가는 불순물의 영향을 배제하는 효과도 함께 얻어진다. 그러므로, 트랜지스터의 온 상태 전류의 증가뿐만 아니라 문턱 전압의 안정화 및 S값(서브스레시홀드 값)의 저감도 달성할 수 있다. 따라서, 게이트 전압(VG)이 0V 일 때의 전류를 저감시킬 수 있고, 소비전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정해지기 때문에, 반도체 장치의 장기 신뢰성을 향상시킬 수 있다. 또한, 본 발명의 일 형태의 트랜지스터는, 소형화로 인한 전기적 특성의 열화가 저감되기 때문에, 집적도가 높은 반도체 장치에 적합하다.

[0250] 본 실시형태에서 설명한 구조는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.

- [0251] (실시형태 6)
- [0252] 본 실시형태에서는, 실시형태 4에서 설명한 트랜지스터(101), 트랜지스터(107), 및 트랜지스터(111)를 제작하는 방법에 대하여 설명한다.
- [0253] 우선, 기판(115)에 포함되는 실리콘 트랜지스터를 제작하는 방법에 대하여 설명한다. 여기서는, p채널형 트랜지스터를 제작하는 방법의 예에 대하여 설명한다. 실리콘 기판으로서는 n⁻형 단결정 실리콘 기판을 사용하고, 그 표면에 절연층(필드 산화막이라고도 함)으로 분리한 소자 형성 영역을 형성한다. 소자 형성 영역은 LOCOS(local oxidation of silicon), STI(shallow trench isolation) 등에 의하여 형성할 수 있다.
- [0254] 여기서, 기판은 단결정 실리콘 기판에 한정되지 않는다. SOI(silicon on insulator) 기판 등을 사용할 수도 있다.
- [0255] 다음에, 소자 형성 영역을 덮도록 게이트 절연막을 형성한다. 예를 들어, 가열 처리에 의하여 소자 형성 영역의 표면을 산화시킴으로써 산화 실리콘막을 형성한다. 또한, 산화 실리콘막을 형성한 후에 질화 처리에 의하여 산화 실리콘막의 표면이 질화되어도 좋다.
- [0256] 다음에, 게이트 절연막을 덮도록 도전막을 형성한다. 도전막은 Ta, W, Ti, Mo, Al, Cu, Cr, Nb 등 중에서 선택된 원소 또는 이러한 원소를 주성분으로 포함하는 합금 재료 또는 화합물 재료를 사용하여 형성할 수 있다. 또는, 이들 원소 중 어느 것을 질화시킴으로써 얻은 금속 질화막을 사용할 수 있다. 또는, 인 등 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체 재료를 사용할 수 있다.
- [0257] 다음에, 도전막을 선택적으로 에칭함으로써 게이트 절연막 위에 게이트 전극층을 형성한다.
- [0258] 다음에, 게이트 전극층을 덮도록 산화 실리콘막 또는 질화 실리콘막 등의 절연막을 형성하고 에치 백을 수행함으로써, 게이트 전극층의 측면에 측벽을 형성한다.
- [0259] 다음에, 소자 형성 영역을 제외한 영역을 덮도록 레지스트 마스크를 선택적으로 형성하고, 이 레지스트 마스크 및 게이트 전극층을 마스크로서 사용하여 불순물 원소를 첨가함으로써 p⁺형 불순물 영역을 형성한다. 여기서는, p채널형 트랜지스터를 형성하기 위하여, 불순물 원소로서 B 또는 Ga 등 p형 도전형을 부여하는 불순물 원소를 사용할 수 있다.
- [0260] 상술한 단계를 거쳐, 실리콘 기판에 활성 영역을 포함하는 p채널형 트랜지스터가 완성된다. 또한, 상기 트랜지스터 위에는 질화 실리콘막 또는 산화 알루미늄막 등의 패시베이션막이 형성되는 것이 바람직하다.
- [0261] 다음에, 트랜지스터가 형성된 실리콘 기판 위에 층간 절연막을 형성하고, 콘택트 플러그 및 배선을 형성한다.
- [0262] 도 33의 (A) 내지 (C) 및 도 34의 (A) 내지 (C)를 참조하여 트랜지스터(101)를 제작하는 방법에 대하여 설명한다. 채널 길이 방향의 트랜지스터의 단면을 왼쪽에 나타내고, 채널 폭 방향의 트랜지스터의 단면을 오른쪽에 나타내었다. 채널 폭 방향의 도면은 확대도이기 때문에, 왼쪽의 구성 요소와 오른쪽의 구성 요소는 외관상의 막 두께가 상이하다.
- [0263] 산화물 반도체층(130)이 산화물 반도체층(130a) 내지 산화물 반도체층(130c)의 3층 구조를 갖는 경우를 일례로서 설명한다. 산화물 반도체층(130)이 2층 구조를 갖는 경우에는 산화물 반도체층(130a) 및 산화물 반도체층(130b)을 사용한다. 산화물 반도체층(130)이 단층 구조를 갖는 경우에는, 산화물 반도체층(130b)을 사용한다.
- [0264] 우선, 기판(115) 위에 절연층(120)을 형성한다. 기판(115)의 종류 및 절연층(120)의 재료에 대해서는 실시형태 5를 참조할 수 있다. 절연층(120)은 스퍼터링, CVD, MBE(molecular beam epitaxy) 등에 의하여 형성할 수 있다.
- [0265] 이온 주입, 이온 도핑, 플라즈마 잠입 이온 주입, 플라즈마 처리 등에 의하여 절연층(120)에 산소를 첨가하여도 좋다. 산소의 첨가에 의하여, 절연층(120)은 산화물 반도체층(130)에 산소를 더 쉽게 공급할 수 있다.
- [0266] 기판(115)의 표면이 절연체로 형성되고 나중에 형성되는 산화물 반도체층(130)으로의 불순물 확산의 영향이 없는 경우에는, 절연층(120)을 반드시 제공할 필요는 없다.
- [0267] 다음에, 절연층(120) 위에, 산화물 반도체층(130a)이 되는 산화물 반도체막(130A), 산화물 반도체층(130b)이 되는 산화물 반도체막(130B), 및 산화물 반도체층(130c)이 되는 산화물 반도체막(130C)을 스퍼터링, CVD, MBE 등에 의하여 형성한다(도 33의 (A) 참조).

- [0268] 산화물 반도체층(130)이 층상 구조를 갖는 경우, 산화물 반도체막은 로드록 체임버를 포함하는 멀티 체임버 성막 장치(multi-chamber deposition apparatus)(예를 들어, 스퍼터링 장치)를 사용하여 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 산화물 반도체의 불순물로서 기능하는 물 등을 가능한 한 제거하기 위하여, 스퍼터링 장치의 각 체임버는 크라이오펌프(cryopump) 등의 흡착 진공 배기 펌프에 의하여 고진공(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도)으로 배기할 수 있고, 체임버는 기판을 100℃ 이상, 바람직하게는 500℃ 이상으로 가열할 수 있는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩의 조합은 배기계로부터 체임버 내에 탄소 성분 또는 수분 등을 포함한 가스의 역류를 방지하는 데 적합하게 사용된다. 또는, 터보 분자 펌프와 크라이오펌프의 조합을 배기계를 사용하여도 좋다.
- [0269] 고순도 진성 산화물 반도체를 얻기 위하여 체임버의 고진공 배기뿐만 아니라 스퍼터링 가스의 고순도화도 바람직하다. 스퍼터링 가스에 사용하는 산소 가스 또는 아르곤 가스로서는, -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하의 이슬점을 갖도록 고순도화된 가스를 사용함으로써 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.
- [0270] 산화물 반도체막(130A) 내지 산화물 반도체막(130C)에는 실시형태 5에서 설명한 재료 중 어느 것을 사용할 수 있다. 성막에 스퍼터링을 사용하는 경우, 실시형태 5에서 설명한 재료 중 어느 것을 타깃으로서 사용할 수 있다.
- [0271] 또한, 실시형태 5에서 자세히 설명한 바와 같이, 산화물 반도체막(130B)에는 산화물 반도체막(130A) 및 산화물 반도체막(130C)보다 전자 친화력이 높은 재료를 사용한다.
- [0272] 산화물 반도체막은 스퍼터링에 의하여 형성되는 것이 바람직하다. 스퍼터링으로서, RF 스퍼터링, DC 스퍼터링, AC 스퍼터링 등을 사용할 수 있다.
- [0273] 산화물 반도체막(130C)을 형성한 후에, 제 1 가열 처리를 수행하여도 좋다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행하고 나서, 방출된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 방식으로 수행되어도 좋다. 제 1 가열 처리는 산화물 반도체막(130A) 내지 산화물 반도체막(130C)의 결정성을 높이고, 절연층(120) 및 산화물 반도체막(130A) 내지 산화물 반도체막(130C)으로부터 수소 및 물 등의 불순물을 제거할 수 있다. 또한, 제 1 가열 처리는 나중에 설명하는 산화물 반도체층(130a) 내지 산화물 반도체층(130c)을 형성하는 에칭 후에 수행되어도 좋다.
- [0274] 다음에, 산화물 반도체막(130C) 위에 도전층을 형성한다. 도전층은 예를 들어, 다음과 같은 방법에 의하여 형성될 수 있다.
- [0275] 우선, 산화물 반도체막(130C) 위에 제 1 도전막을 형성한다. 제 1 도전막으로서, Al, Cr, Cu, Ta, Ti, Mo, W, Ni, Mn, Nd, 및 Sc, 및 이들 금속 재료 중 어느 것의 합금 중에서 선택된 재료를 사용하여 단층 또는 적층을 형성할 수 있다.
- [0276] 다음에, 제 1 도전막 위에 레지스트막을 형성하고, 이 레지스트막을 전자 빔 노광, 액침(液浸) 노광, 또는 EUV 노광에 의하여 노광하고 현상하여 제 1 레지스트 마스크를 형성한다. 제 1 도전막과 레지스트막 사이에는 접착제로서 유기 도포막을 형성하는 것이 바람직하다. 또는, 나노임프린트 리소그래피에 의하여 제 1 레지스트 마스크를 형성하여도 좋다.
- [0277] 그리고, 제 1 레지스트 마스크를 사용하여 제 1 도전막을 선택적으로 에칭하고 제 1 레지스트 마스크를 애싱함으로써 도전층을 형성한다.
- [0278] 다음에, 상기 도전층을 하드 마스크로서 사용하여 산화물 반도체막(130A) 내지 산화물 반도체막(130C)을 선택적으로 에칭하고, 상기 도전층을 제거함으로써, 산화물 반도체층(130a) 내지 산화물 반도체층(130c)의 적층을 포함하는 산화물 반도체층(130)을 형성한다(도 33의 (B) 참조). 상기 도전층을 형성하지 않고 제 1 레지스트 마스크를 사용하여 산화물 반도체층(130)을 형성할 수도 있다. 여기서, 산화물 반도체층(130)에 산소 이온을 주입하여도 좋다.
- [0279] 다음에, 산화물 반도체층(130)을 덮도록 제 2 도전막을 형성한다. 제 2 도전막은 실시형태 5에서 설명한 도전층(140) 및 도전층(150)에 사용할 수 있는 재료를 사용하여 형성할 수 있다. 제 2 도전막의 형성에는

스퍼터링, CVD, MBE 등을 사용할 수 있다.

- [0280] 그리고, 소스 영역 및 드레인 영역이 되는 부분 위에 제 2 레지스트 마스크를 형성한다. 그리고, 제 2 도전막의 일부를 에칭함으로써, 도전층(140) 및 도전층(150)을 형성한다(도 33의 (C) 참조).
- [0281] 다음에, 산화물 반도체층(130), 도전층(140), 및 도전층(150) 위에 절연막(160A)을 형성한다. 절연막(160A)은 실시형태 5에서 설명한 절연층(160)에 사용할 수 있는 재료를 사용하여 형성할 수 있다. 절연막(160A)의 형성에는, 스퍼터링, CVD, MBE 등을 사용할 수 있다.
- [0282] 그 후에, 제 2 가열 처리를 수행하여도 좋다. 제 2 가열 처리는 제 1 가열 처리와 비슷한 조건으로 수행할 수 있다. 제 2 가열 처리에 의하여, 산소를 절연층(120)으로부터 산화물 반도체층(130) 전체로 확산시킬 수 있다. 또한, 제 2 가열 처리를 수행하지 않고 제 3 가열 처리에 의하여 상기 효과를 얻을 수 있다.
- [0283] 그리고, 절연막(160A) 위에 도전층(170)이 되는 제 3 도전막(171A) 및 제 4 도전막(172A)을 형성한다. 제 3 도전막(171A) 및 제 4 도전막(172A)은 실시형태 5에서 설명한 도전층(171) 및 도전층(172)에 사용할 수 있는 재료를 사용하여 형성할 수 있다. 제 3 도전막(171A) 및 제 4 도전막(172A)의 형성에는 스퍼터링, CVD, MBE 등을 사용할 수 있다.
- [0284] 다음에, 제 4 도전막(172A) 위에 제 3 레지스트 마스크(156)를 형성한다(도 34의 (A) 참조). 제 3 레지스트 마스크(156)를 사용하여 제 3 도전막(171A), 제 4 도전막(172A), 및 절연막(160A)을 선택적으로 에칭하여, 도전층(171) 및 도전층(172)을 포함하는 도전층(170), 및 절연층(160)을 형성한다(도 34의 (B) 참조). 또한, 만약에 절연막(160A)이 에칭되지 않으면, 트랜지스터(102)를 제작할 수 있다.
- [0285] 그 후, 산화물 반도체층(130), 도전층(140), 도전층(150), 절연층(160), 및 도전층(170) 위에 절연층(175)을 형성한다. 절연층(175)의 재료에 대해서는 실시형태 5를 참조할 수 있다. 트랜지스터(101)에서는 산화 알루미늄막을 사용하는 것이 바람직하다. 절연층(175)은 스퍼터링, CVD, MBE 등에 의하여 형성할 수 있다.
- [0286] 다음에, 절연층(175) 위에 절연층(180)을 형성한다(도 34의 (C) 참조). 절연층(180)의 재료에 대해서는 실시형태 5를 참조할 수 있다. 절연층(180)은 스퍼터링, CVD, MBE 등에 의하여 형성할 수 있다.
- [0287] 이온 주입, 이온 도핑, 플라즈마 잠입 이온 주입, 플라즈마 처리 등에 의하여 절연층(175) 및/또는 절연층(180)에 산소를 첨가하여도 좋다. 산소의 첨가에 의하여, 절연층(175) 및/또는 절연층(180)은 산화물 반도체층(130)에 산소를 더 쉽게 공급할 수 있다.
- [0288] 다음에, 제 3 가열 처리를 수행하여도 좋다. 제 3 가열 처리는 제 1 가열 처리와 비슷한 조건으로 수행할 수 있다. 제 3 가열 처리에 의하여, 절연층(120), 절연층(175), 및 절연층(180)으로부터 과잉 산소가 방출되기 쉬워져, 산화물 반도체층(130)의 산소 빈자리를 저감시킬 수 있다.
- [0289] 다음에, 트랜지스터(107)를 제작하는 방법에 대하여 설명한다. 또한, 상술한 트랜지스터(102)의 제작 방법과 비슷한 공정의 자세한 설명은 생략한다.
- [0290] 기판(115) 위에 절연층(120)을 형성하고, 상기 절연층(120) 위에 산화물 반도체층(130a)이 되는 산화물 반도체막(130A) 및 산화물 반도체층(130b)이 되는 산화물 반도체막(130B)을 스퍼터링, CVD, MBE 등에 의하여 형성한다(도 35의 (A) 참조).
- [0291] 그 후, 제 1 도전막을 산화물 반도체막(130B) 위에 형성하고, 상술한 방법과 비슷한 방법에 의하여 제 1 레지스트 마스크를 사용하여 도전층을 형성한다. 그리고, 상기 도전층을 하드 마스크로서 사용하여 산화물 반도체막(130A) 및 산화물 반도체막(130B)을 선택적으로 에칭하고 상기 도전층을 제거함으로써, 산화물 반도체층(130a)과 산화물 반도체층(130b)의 적층을 형성한다(도 35의 (B) 참조). 하드 마스크를 형성하지 않고 제 1 레지스트 마스크를 사용하여 상기 적층을 형성할 수도 있다. 여기서, 산화물 반도체층(130a) 및 산화물 반도체층(130b)에 산소 이온을 주입하여도 좋다.
- [0292] 다음에, 상기 적층을 덮도록 제 2 도전막을 형성한다. 그리고, 소스 영역 및 드레인 영역이 되는 부분 위에 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 제 2 도전막의 일부를 에칭함으로써, 도전층(140) 및 도전층(150)을 형성한다(도 35의 (C) 참조).
- [0293] 그 후, 산화물 반도체층(130a)과 산화물 반도체층(130b)의 적층, 도전층(140), 및 도전층(150) 위에, 산화물 반도체층(130c)이 되는 산화물 반도체막(130C)을 형성한다. 또한, 산화물 반도체막(130C) 위에, 절연막(160A), 제 3 도전막(171A), 및 제 4 도전막(172A)을 형성한다.

- [0294] 그리고, 제 4 도전막(172A) 위에 제 3 레지스트 마스크(156)를 형성한다(도 36의 (A) 참조). 상기 레지스트 마스크를 사용하여 제 3 도전막(171A), 제 4 도전막(172A), 절연막(160A), 및 산화물 반도체막(130C)을 선택적으로 에칭하여 도전층(171) 및 도전층(172)을 포함하는 도전층(170), 절연층(160), 및 산화물 반도체층(130c)을 형성한다(도 36의 (B) 참조). 또한, 절연막(160A) 및 산화물 반도체막(130C)을 제 4 레지스트 마스크를 사용하여 에칭함으로써 트랜지스터(108)를 제작할 수 있다.
- [0295] 다음에, 절연층(120), 산화물 반도체층(130)(산화물 반도체층(130a) 내지 산화물 반도체층(130c)), 도전층(140), 도전층(150), 절연층(160), 및 도전층(170) 위에 절연층(175) 및 절연층(180)을 형성한다(도 36의 (C) 참조).
- [0296] 상술한 단계를 거쳐, 트랜지스터(107)를 제작할 수 있다.
- [0297] 다음에, 트랜지스터(111)를 제작하는 방법에 대하여 설명한다. 또한, 상술한 트랜지스터(102)의 제작 방법과 비슷한 공정의 자세한 설명을 생략한다.
- [0298] 기판(115) 위에 절연층(120)을 형성하고, 절연층(120) 위에 산화물 반도체층(130a)이 되는 산화물 반도체막(130A) 및 산화물 반도체층(130b)이 되는 산화물 반도체막(130B)을 스퍼터링, CVD, MBE 등에 의하여 형성한다. 그리고, 제 1 도전막을 산화물 반도체막(130B) 위에 형성하고, 제 1 레지스트 마스크를 사용하여 도전층(141a)을 형성한다(도 37의 (A) 참조).
- [0299] 그리고, 도전층(141a)을 하드 마스크로서 사용하여 산화물 반도체막(130A) 및 산화물 반도체막(130B)을 선택적으로 에칭함으로써 산화물 반도체층(130a), 산화물 반도체층(130b), 및 도전층(141a)의 적층을 형성한다(도 37의 (B) 참조). 여기서, 산화물 반도체층(130a) 및 산화물 반도체층(130b)에 산소 이온을 주입하여도 좋다.
- [0300] 그리고, 소스 영역 및 드레인 영역이 되는 부분 위에 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 도전층(141a)의 일부를 에칭함으로써, 도전층(141) 및 도전층(151)을 형성한다(도 37의 (C) 참조).
- [0301] 그 후, 산화물 반도체층(130a)과 산화물 반도체층(130b)의 적층, 도전층(141), 및 도전층(151) 위에, 산화물 반도체층(130c)이 되는 산화물 반도체막(130C)을 형성한다. 또한, 산화물 반도체막(130C) 위에, 절연막(160A), 제 3 도전막(171A), 및 제 4 도전막(172A)을 형성한다.
- [0302] 그리고, 제 4 도전막(172A) 위에 제 3 레지스트 마스크(156)를 형성한다(도 38의 (A) 참조). 상기 제 3 레지스트 마스크(156)를 사용하여 제 3 도전막(171A), 제 4 도전막(172A), 절연막(160A), 및 산화물 반도체막(130C)을 선택적으로 에칭함으로써 도전층(171) 및 도전층(172)을 포함하는 도전층(170), 절연층(160), 및 산화물 반도체층(130c)을 형성한다(도 38의 (B) 참조).
- [0303] 다음에, 절연층(120), 산화물 반도체층(130)(산화물 반도체층(130a) 내지 산화물 반도체층(130c)), 도전층(140), 도전층(150), 절연층(160), 및 도전층(170) 위에 절연층(175) 및 절연층(180)을 형성한다.
- [0304] 다음에, 도전층(141) 및 도전층(151)에 도달하는 개구를 절연층(175) 및 절연층(180)에 제공하고, 상기 개구를 덮도록 제 5 도전막을 형성한다. 그 후, 제 4 레지스트 마스크를 제 5 도전막 위에 제공하고 제 5 도전막을 상기 레지스트 마스크를 사용하여 선택적으로 에칭함으로써, 도전층(142) 및 도전층(152)을 형성한다(도 38의 (C) 참조).
- [0305] 상술한 단계를 거쳐, 트랜지스터(111)를 제작할 수 있다.
- [0306] 본 실시형태에서 설명한 금속막, 반도체막, 및 무기 절연막 등 다양한 막은 대표적으로 스퍼터링 또는 플라즈마 CVD에 의하여 형성될 수 있지만, 이러한 막은 열 CVD 등의 다른 방법에 의하여 형성되어도 좋다. 열 CVD법의 예에는 MOCVD(metal organic chemical vapor deposition) 및 ALD(atomic layer deposition)가 포함된다.
- [0307] 열 CVD는 성막에 플라즈마를 사용하지 않으므로, 플라즈마 대미지로 인한 결함이 발생되지 않는 장점을 갖는다.
- [0308] 열 CVD에 의한 성막은 원료 가스와 산화제를 동시에 챔버에 공급하고, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 기판 근방 또는 기판 위에서 반응을 일으키는 식으로 수행하여도 좋다.
- [0309] ALD에 의한 성막은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스를 챔버에 도입하고 반응시키고 나서, 이 가스 도입의 절차를 반복하는 식으로 수행된다. 원료 가스와 함께 불활성 가스(예를 들어, 아르곤 또는 질소)를 캐리어 가스로서 도입하여도 좋다. 예를 들어, 2종류 이상의 원료 가스를 순차

적으로 체임버에 공급하여도 좋다. 이러한 경우에는, 원료 가스가 혼합되지 않도록 제 1 원료 가스의 반응 후에 불활성 가스를 도입하고 나서, 제 2 원료 가스를 도입한다. 또는, 불활성 가스를 도입하는 대신에, 진공 배기에 의하여 제 1 원료 가스를 배출하고 나서, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착되고 반응하여 제 1 층이 형성되고 나서, 도입된 제 2 원료 가스가 흡착되고 반응한다. 이 결과, 제 1 층 위에 제 2 층이 적층되어, 박막이 형성된다. 이 가스 도입의 절차를 제어하고 원하는 두께가 얻어질 때까지 한 번 이상 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입의 절차의 반복 횟수에 따라 조절할 수 있기 때문에, ALD는 정밀한 두께의 조절을 가능하게 하므로 미세한 FET를 제작하기에 적합하다.

[0310] MOCVD 또는 ALD 등의 열 CVD에 의하여, 실시형태에서 개시한 금속막, 반도체막, 및 무기 절연막 등의 다양한 막을 형성할 수 있다. 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는, 트라이메틸인듐($\text{In}(\text{CH}_3)_3$), 트라이메틸갈륨($\text{Ga}(\text{CH}_3)_3$), 및 다이메틸아연($\text{Zn}(\text{CH}_3)_2$)을 사용할 수 있다. 트라이메틸갈륨의 화학식은 $\text{Ga}(\text{CH}_3)_3$ 이다. 상술한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($\text{Ga}(\text{C}_2\text{H}_5)_3$)을 사용할 수 있고, 다이메틸아연 대신에 다이에틸아연($\text{Zn}(\text{C}_2\text{H}_5)_2$)을 사용할 수 있다.

[0311] 예를 들어, ALD를 사용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체가 포함된 액체(하프늄알콕사이드 및 테트라키스(다이메틸아מיד)하프늄(TDMAH, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) 및 테트라키스(에틸메틸아מיד)하프늄 등의 하프늄아מיד)를 기화시켜 얻은 원료 가스와, 산화제로서 오존(O_3)의 2종의 가스를 사용한다. 또한, 테트라키스다이메틸아מיד하프늄의 화학식은 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이다. 다른 재료의 예에는 테트라키스(에틸메틸아מיד)하프늄이 포함된다. 또한, 테트라키스(다이메틸아מיד)하프늄의 화학식은 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이다. 다른 재료의 예에는 테트라키스(에틸메틸아מיד)하프늄이 포함된다.

[0312] 예를 들어, ALD를 사용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체(예를 들어, 트라이메틸알루미늄(TMA, $\text{Al}(\text{CH}_3)_3$))가 포함된 액체를 기화시켜 얻은 원료 가스와, 산화제로서 H_2O 의 2종류의 가스를 사용한다. 다른 재료의 예에는 트리스(다이메틸아מיד)알루미늄, 트리아이소부틸알루미늄, 및 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 포함된다.

[0313] 예를 들어, ALD를 사용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고, 산화성 가스(예를 들어 O_2 또는 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0314] 예를 들어, ALD를 사용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 도입하여 초기 텅스텐막을 형성하고 나서, WF_6 가스와 H_2 가스를 순차적으로 도입하여 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0315] 예를 들어, ALD를 사용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어 In-Ga-Zn-O막을 형성하는 경우에, $\text{In}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차적으로 도입하여 In-O층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차적으로 도입하여 GaO층을 형성하고 나서, $\text{Zn}(\text{CH}_3)_2$ 가스와 O_3 가스를 순차적으로 도입하여 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 이들 가스를 사용함으로써, In-Ga-O층, In-Zn-O층, 또는 Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. O_3 가스 대신에 Ar 등의 불활성 가스로 버블링됨으로써 얻어진 H_2O 가스를 사용하여도 좋지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 바람직하다.

[0316] 본 실시형태에서 상술한 구조는 다른 실시형태에서 설명하는 구조들 중 어느 것과 적절히 조절될 수 있다.

[0317] (실시형태 7)

[0318] 본 발명의 일 형태에 사용할 수 있는 산화물 반도체막의 구조에 대하여 이하에 설명한다.

[0319] 본 명세서에 있어서, '평행'이란 용어는 두 개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하인 것을 가리키기 때문에, 각도가 -5° 이상 5° 이하인 경우를 포함한다. '수직'이란 용어는 두 개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하인 것을 가리키기 때문에, 각도가 85° 이상 95° 이하인 경우를 포함한다.

- [0320] 본 명세서에서 삼방정계 및 능면체정계(rhombohedral crystal system)는 육방정계에 포함된다.
- [0321] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 분류된다. 비단결정 산화물 반도체막은 CAAC-OS(c-axis aligned crystalline oxide semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 및 비정질 산화물 반도체막 등 중 어느 것을 뜻한다.
- [0322] 먼저, CAAC-OS막에 대하여 설명한다.
- [0323] CAAC-OS막은 복수의 c축 배향된 결정부를 갖는 산화물 반도체막 중 하나이다.
- [0324] TEM(transmission electron microscope)에 의하여, CAAC-OS막의 명시야 이미지와 회절 패턴의 복합 분석 이미지(고분해능 TEM 이미지라고도 함)를 관찰한다. 이 결과, 복수의 결정부가 명확하게 확인된다. 그러나, 고분해능 TEM 이미지에서는 결정부들 사이의 경계, 즉 그레인 바운더리가 명확하게 확인되지 않는다. 따라서, CAAC-OS막에서는 그레인 바운더리로 인한 전자 이동도의 저하가 일어나기 어렵다.
- [0325] 시료면에 실질적으로 평행한 방향에서 관찰된 CAAC-OS막의 고분해능 단면 TEM 이미지(단면 TEM 이미지)에 따르면, 금속 원자들이 결정부에서 층상으로 배열되어 있다. 각 금속 원자층은 CAAC-OS막이 형성되는 표면(형성 표면이라고도 함) 또는 CAAC-OS막의 상면을 반영한 형태를 갖고, CAAC-OS막의 형성 표면 또는 상면에 평행하게 제공된다.
- [0326] 한편, 시료면에 실질적으로 수직인 방향에서 관찰된 CAAC-OS막의 고분해능 평면 TEM 이미지(평면 TEM 이미지)에 따르면, 금속 원자들이 결정부에서 삼각형 또는 육각형으로 배열되어 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에 규칙성은 없다.
- [0327] XRD(X-ray diffraction: X선 회절) 장치를 사용하여 CAAC-OS막의 구조 분석을 수행한다. 예를 들어, InGaZnO₄ 결정을 포함하는 CAAC-OS막을 out-of-plane법에 의하여 분석하면, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 많다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래되기 때문에, CAAC-OS막의 결정이 c축 배향을 갖고, c축이 CAAC-OS막의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 시사한다.
- [0328] 또한, InGaZnO₄ 결정을 갖는 CAAC-OS막을 out-of-plane법에 의하여 분석하면, 31° 근방에서의 2θ의 피크에 더하여, 36° 근방에서도 2θ의 피크가 관찰될 수 있다. 36° 근방에서의 2θ의 피크는 CAAC-OS막의 일부에, c축 배향을 갖지 않는 결정이 포함되는 것을 시사한다. CAAC-OS막에서는 31° 근방에서 2θ의 피크가 나타나고, 36° 근방에서 2θ의 피크가 나타나지 않는 것이 바람직하다.
- [0329] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등, 산화물 반도체막의 주성분 외의 원소이다. 특히 산화물 반도체막에 포함되는 금속 원소보다 산소에 대한 결합력이 높은 실리콘 등의 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성의 저하를 일으킨다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(분자 반경)이 크기 때문에, 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성의 저하를 일으킨다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다.
- [0330] CAAC-OS막은 결합 상태의 밀도가 낮은 산화물 반도체막이다. 산화물 반도체막의 산소 빈자리는 캐리어 트랩 또는 수소가 포획되면 캐리어 발생원으로서 기능하는 경우가 있다.
- [0331] 불순물 농도가 낮고 결합 상태의 밀도가 낮은(산소 빈자리의 개수가 작은) 상태를 '고순도 진성' 또는 '실질적으로 고순도 진성'이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 가질 수 있다. 따라서, 이 산화물 반도체막을 포함하는 트랜지스터는 줌처럼 음의 문턱 전압을 갖지 않는다(줌처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 이 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성의 편차가 작고 신뢰성이 높다. 산화물 반도체막의 캐리어 트랩에 트랩된 전하는 방출될 때까지 긴 시간이 걸리고 마치 고정 전하처럼 작용할 수 있다. 그러므로, 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성이 불안정한 경우가 있다.
- [0332] CAAC-OS막을 포함하는 트랜지스터에서는, 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기적 특성의 변동이 작다.

- [0333] 다음에, 미결정 산화물 반도체에 대하여 설명한다.
- [0334] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 관찰되는 영역과, 고분해능 TEM 이미지에서 결정부가 명확하게 관찰되지 않는 영역을 갖는다. 미결정 산화물 반도체막의 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히, 크기가 1nm 이상 10nm 이하, 또는 크기가 1nm 이상 3nm 이하인 미결정을 nc(nanocrystal: 나노 결정)라고 한다. 나노 결정을 포함하는 산화물 반도체막을 nc-OS(nanocrystalline oxide semiconductor)막이라고 한다. 고분해능 TEM 이미지에서는, nc-OS막에서 결정립계를 명확하게 관찰할 수 없는 경우가 있다.
- [0335] nc-OS막에서 미소한 영역(예를 들어, 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. nc-OS막에서 상이한 결정부들 사이에 결정 방위에 규칙성은 없다. 그러므로, 막 전체에서 배향이 관찰되지 않는다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 out-of-plane법에 의하여 nc-OS막의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 결정부의 직경보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자 빔을 사용하여 얻은 nc-OS막의 제한 시야 전자 회절 패턴에서는 헤일로(halo) 패턴이 나타난다. 한편, 프로브 직경이 결정부의 직경과 가깝거나 또는 결정부의 직경보다 작은 전자 빔을 사용하여 얻은 nc-OS막의 나노빔 전자 회절 패턴에서는 스폿이 나타난다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서는, 원주 형상으로 분포된 스폿이 관찰되는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서는, 고리형 영역에 복수의 스폿이 나타나는 경우가 있다.
- [0336] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 상태의 밀도가 낮다. 또한, nc-OS막에서는 상이한 결정부들 사이에서 결정 방위에 규칙성은 없기 때문에, nc-OS막은 CAAC-OS막보다 결합 상태의 밀도가 높다.
- [0337] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.
- [0338] 비정질 산화물 반도체막은 불규칙한 원자 배열을 갖고 결정부를 갖지 않는다. 예를 들어, 비정질 산화물 반도체막은 석영과 같이 무정형 상태를 갖는다.
- [0339] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서는 결정부를 볼 수 없다.
- [0340] XRD 장치를 사용하여 out-of-plane법에 의하여 비정질 산화물 반도체막의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체막의 전자 회절 패턴에서는 헤일로 패턴이 나타난다. 또한, 비정질 산화물 반도체막의 나노빔 전자 회절 패턴에서는 헤일로 패턴이 나타나지만 스폿이 나타나지 않는다.
- [0341] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물성을 갖는 구조를 가질 수 있다. 이러한 구조를 갖는 산화물 반도체막을, 특히 a-like OS(amorphous-like oxide semiconductor)막이라고 한다.
- [0342] a-like OS막의 고분해능 TEM 이미지에서는 보이드(void)가 보일 수 있다. 또한, 고분해능 TEM 이미지에서는 결정부가 명확하게 관찰되는 영역과 결정부가 관찰되지 않는 영역이 있다. a-like OS막에서는, TEM 관찰에 사용되는 미량의 전자 빔에 의하여 결정화가 일어나고, 결정부의 성장이 보이는 경우가 있다. 한편, 양질의 nc-OS막에서는, TEM 관찰에 사용한 미량의 전자 빔에 의한 결정화는 거의 관찰되지 않는다.
- [0343] 또한, a-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지를 사용하여 측정될 수 있다. 예를 들어, InGaZnO₄ 결정은 In-O층들 사이에 2개의 Ga-Zn-O층이 포함되는 층상 구조를 갖는다. InGaZnO₄ 결정의 단위 격자는 3개의 In-O층과 6개의 Ga-Zn-O층으로 이루어지는 9층이 c축 방향으로 쌓인 구조를 갖는다. 따라서, 이들 인접한 층들 사이의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 주목하여, 사이의 간격이 0.28nm 내지 0.30nm인 격자 줄무늬 각각은, InGaZnO₄ 결정의 a-b면에 상당한다.
- [0344] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2개 이상의 막을 포함하는 적층막이어도 좋다.
- [0345] 본 실시형태에서 상술한 구조는 다른 실시형태에서 설명하는 구조 중 어느 것과 적절히 조합될 수 있다.
- [0346] (실시형태 8)

- [0347] 본 발명의 일 형태에서의 촬상 장치 및 상기 촬상 장치를 포함하는 반도체 장치는 표시 장치, 퍼스널 컴퓨터, 또는 기록 매체가 제공된 화상 재생 장치(대표적으로는 DVD(digital versatile discs) 등의 기록 매체의 콘텐츠를 재생하고, 그 재생 화상을 표시하기 위한 디스플레이를 갖는 장치)에 사용할 수 있다. 또한, 본 발명의 일 형태에서의 촬상 장치 및 이 촬상 장치를 포함하는 반도체 장치를 포함할 수 있는 전자 기기로서, 휴대 전화, 게임기(휴대형 게임기를 포함함), 휴대 정보 단말, 전자 서적 리더, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 오디오 재생 장치(예를 들어, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 도 39의 (A) 내지 (F)는 이들 전자 기기의 구체적인 예를 도시한 것이다.
- [0348] 도 39의 (A)는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908), 카메라(909) 등을 포함하는 휴대 게임기를 도시한 것이다. 도 39의 (A)의 휴대 게임기는 2개의 표시부(903 및 904)를 갖지만, 휴대 게임기에 포함되는 표시부의 개수는 이에 한정되지 않는다. 카메라(909)에는 본 발명의 일 실시형태의 촬상 장치를 사용할 수 있다.
- [0349] 도 39의 (B)는 제 1 하우징(911), 표시부(912), 카메라(919) 등을 포함하는 휴대 정보 단말을 도시한 것이다. 표시부(912)의 터치 패널 기능에 의하여 정보의 입력 및 출력이 가능하다. 카메라(919)에는 본 발명의 일 형태의 촬상 장치를 사용할 수 있다.
- [0350] 도 39의 (C)는 하우징(921), 셔터 버튼(922), 마이크로폰(923), 발광부(927), 렌즈(925) 등을 포함하는 디지털 카메라를 도시한 것이다. 렌즈(925)의 초점 위치에는 본 발명의 일 형태의 촬상 장치를 제공할 수 있다.
- [0351] 도 39의 (D)는 하우징(931), 표시부(932), 리스트 밴드(933), 카메라(939) 등을 포함하는 손목시계형 정보 단말을 도시한 것이다. 표시부(932)는 터치 패널이어도 좋다. 카메라(939)에는 본 발명의 일 형태의 촬상 장치를 사용할 수 있다.
- [0352] 도 39의 (E)는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 연결부(946) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 제 1 하우징(941)과 제 2 하우징(942)은 연결부(946)에 의하여 서로 접속되고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 연결부(946)에 의하여 변경할 수 있다. 표시부(943)에서의 영상은 연결부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환되어도 좋다. 렌즈(945)의 초점 위치에는 본 발명의 일 형태의 촬상 장치를 제공할 수 있다.
- [0353] 도 39의 (F)는 하우징(951)에 표시부(952), 마이크로폰(957), 스피커(954), 카메라(959), 입력/출력 단자(956), 조작용 버튼(955) 등을 포함하는 휴대 전화를 도시한 것이다. 카메라(959)에는 본 발명의 일 형태의 촬상 장치를 사용할 수 있다.
- [0354] 또한, 본 실시형태는 본 명세서에서 설명한 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.

부호의 설명

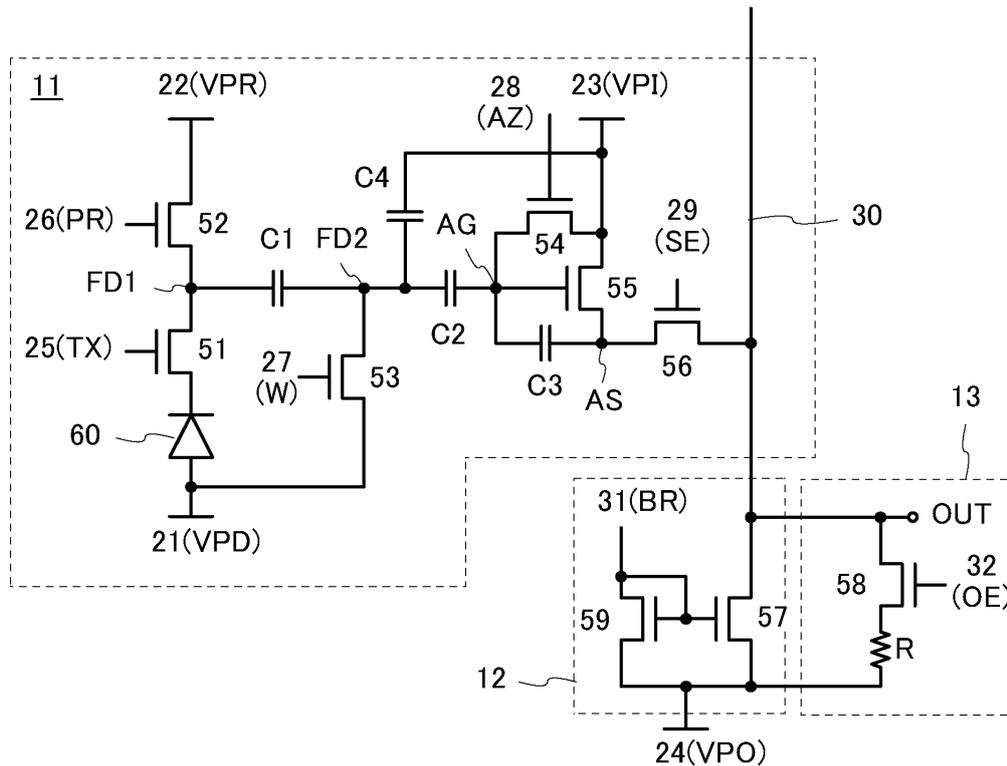
- [0355] 11: 회로, 12: 회로, 13: 회로, 21: 배선, 22: 배선, 23: 배선, 24: 배선, 25: 배선, 26: 배선, 27: 배선, 28: 배선, 29: 배선, 30: 배선, 31: 배선, 32: 배선, 40: 실리콘 기관, 51: 트랜지스터, 52: 트랜지스터, 53: 트랜지스터, 54: 트랜지스터, 55: 트랜지스터, 56: 트랜지스터, 57: 트랜지스터, 58: 트랜지스터, 59: 트랜지스터, 60: 포토다이오드, 70: 트랜지스터, 71: 트랜지스터, 80: 절연층, 90: 회로부, 92: 회로부, 101: 트랜지스터, 102: 트랜지스터, 103: 트랜지스터, 104: 트랜지스터, 105: 트랜지스터, 106: 트랜지스터, 107: 트랜지스터, 108: 트랜지스터, 109: 트랜지스터, 110: 트랜지스터, 111: 트랜지스터, 112: 트랜지스터, 115: 기관, 120: 절연층, 130: 산화물 반도체층, 130a: 산화물 반도체층, 130A: 산화물 반도체막, 130b: 산화물 반도체층, 130B: 산화물 반도체막, 130c: 산화물 반도체층, 130C: 산화물 반도체막, 140: 도전층, 141: 도전층, 141a: 도전층, 142: 도전층, 150: 도전층, 151: 도전층, 152: 도전층, 156: 레지스트 마스크, 160: 절연층, 160A: 절연막, 170: 도전층, 171: 도전층, 171A: 도전막, 172: 도전층, 172A: 도전막, 173: 도전층, 175: 절연층, 180: 절연층, 231: 영역, 232: 영역, 233: 영역, 331: 영역, 332: 영역, 333: 영역, 334: 영역, 335: 영역, 400: 화소부, 410: 행 드라이버, 420: A/D 컨버터, 430: 열 드라이버, 501: 신호, 502: 신호, 503: 신호, 504: 신호, 505: 신호, 506: 신호, 507: 신호, 508: 신호, 509: 신호, 510: 기간, 511: 기간, 520: 기간, 531: 기간, 610: 기간, 611: 기간, 612: 기간, 613: 기간, 621: 기간, 622: 기간, 623: 기간, 631: 기간, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크로폰, 906: 스피커, 907: 조작 키, 908: 스타일러스,

909: 카메라, 911: 하우징, 912: 표시부, 919: 카메라, 921: 하우징, 922: 셔터 버튼, 923: 마이크로폰, 925: 렌즈, 927: 발광부, 931: 하우징, 932: 표시부, 933: 리스트 밴드, 939: 카메라, 941: 하우징, 942: 하우징, 943: 표시부, 944: 조작 키, 945: 렌즈, 946: 연결부, 951: 하우징, 952: 표시부, 954: 스피커, 955: 버튼, 956: 입력/출력 단자, 957: 마이크로폰, 및 959: 카메라.

본 출원은 2014년 9월 2일에 일본 특허청에 출원된 일련 번호 2014-178212의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

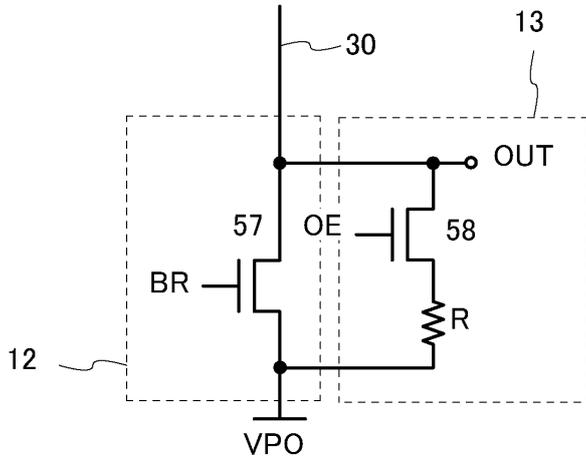
도면

도면1

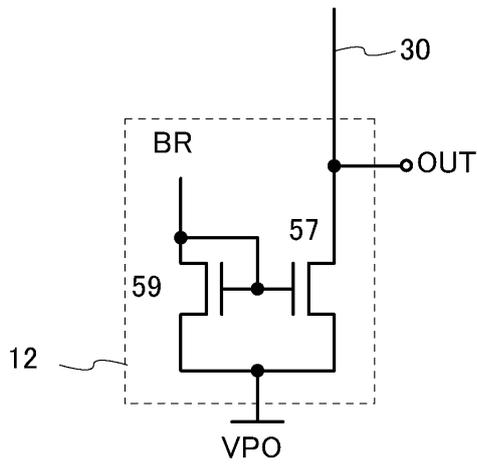


도면2

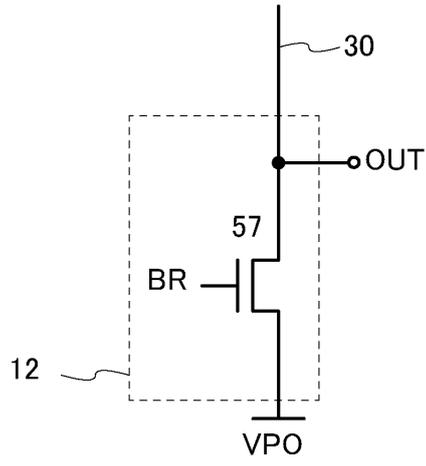
(A)



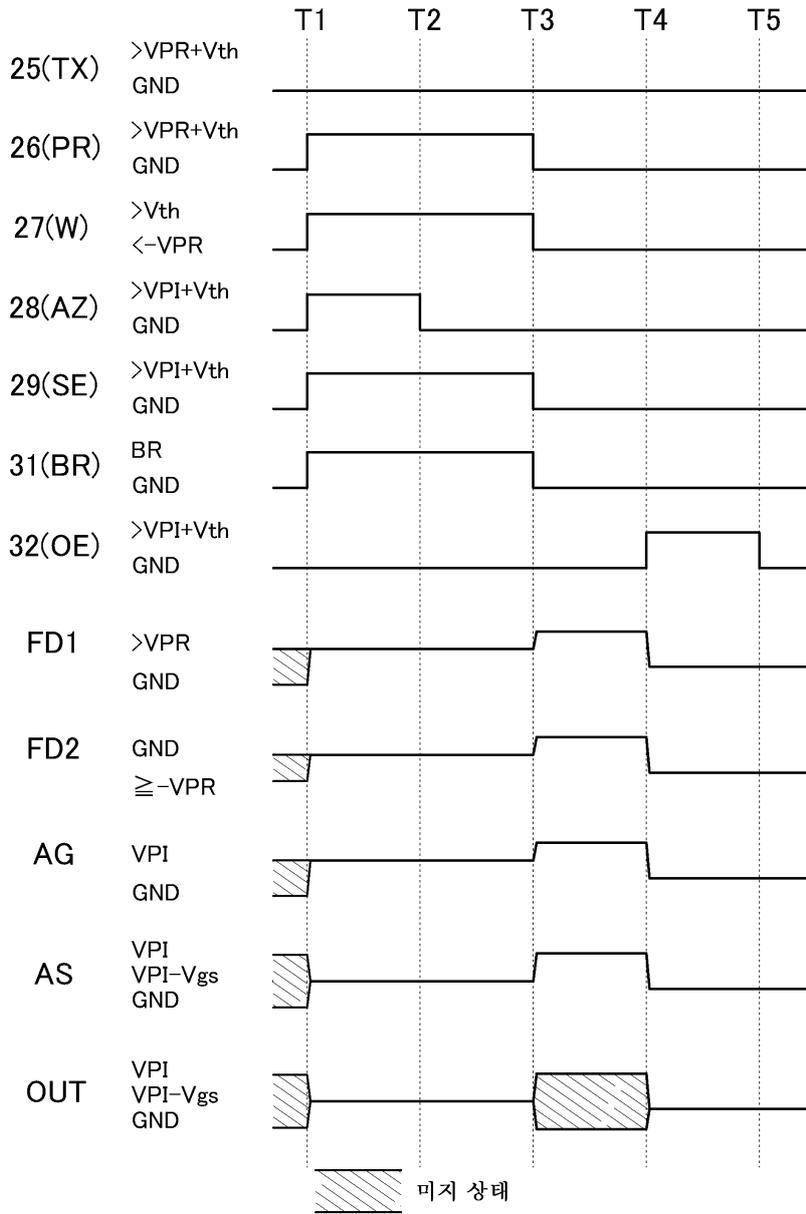
(B)



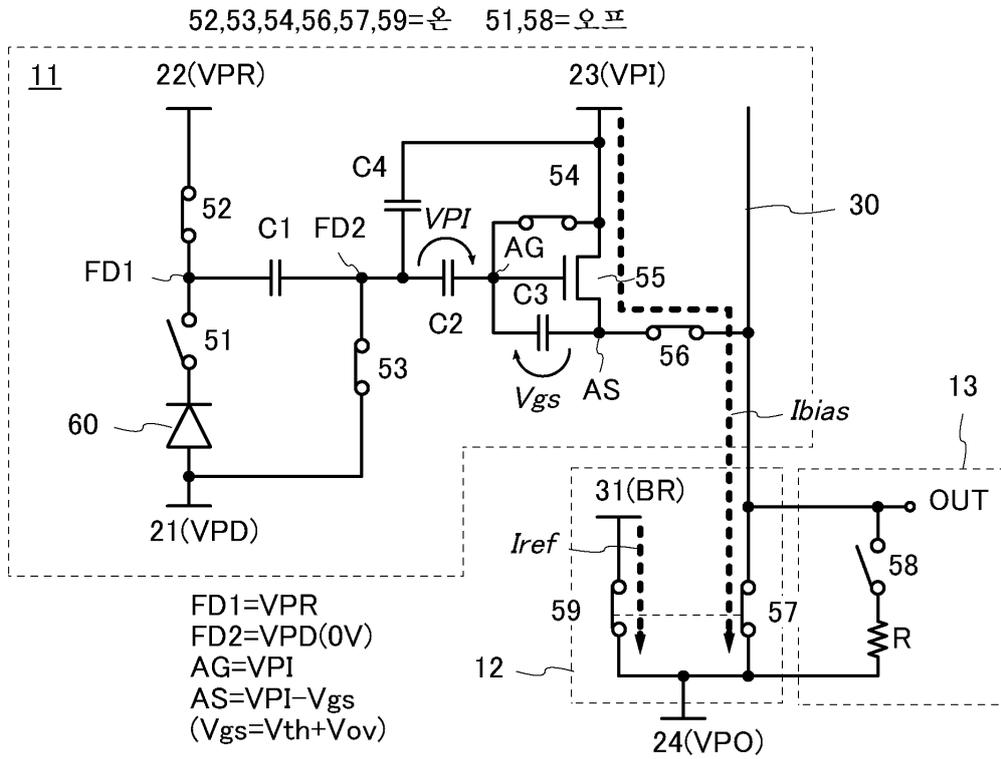
(C)



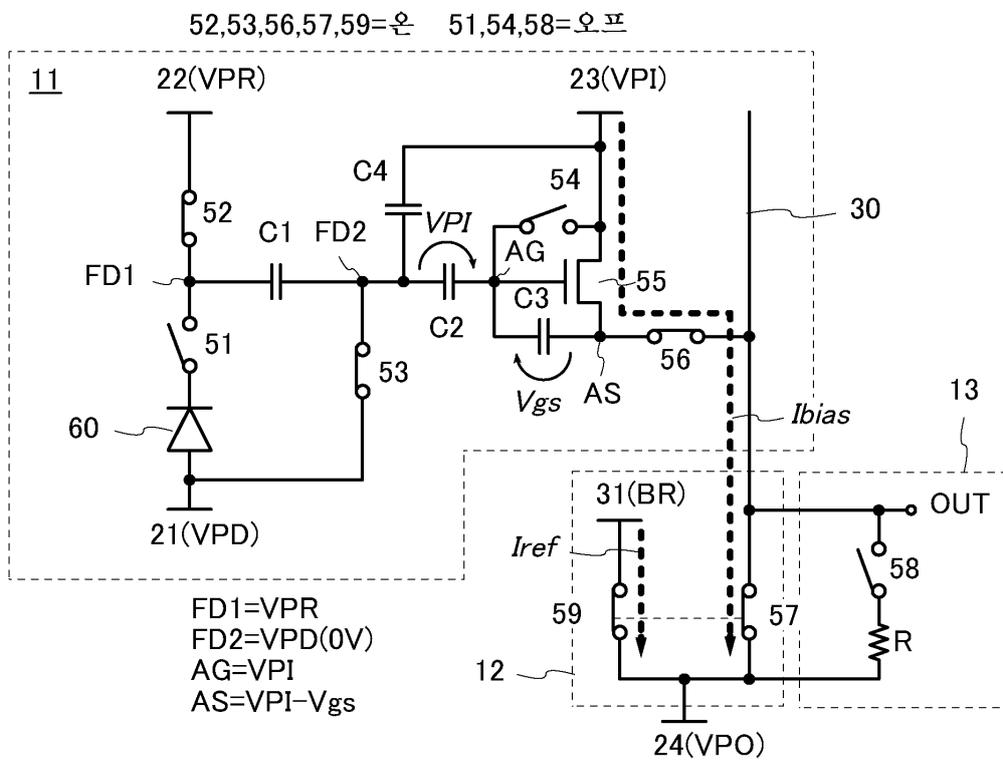
도면3



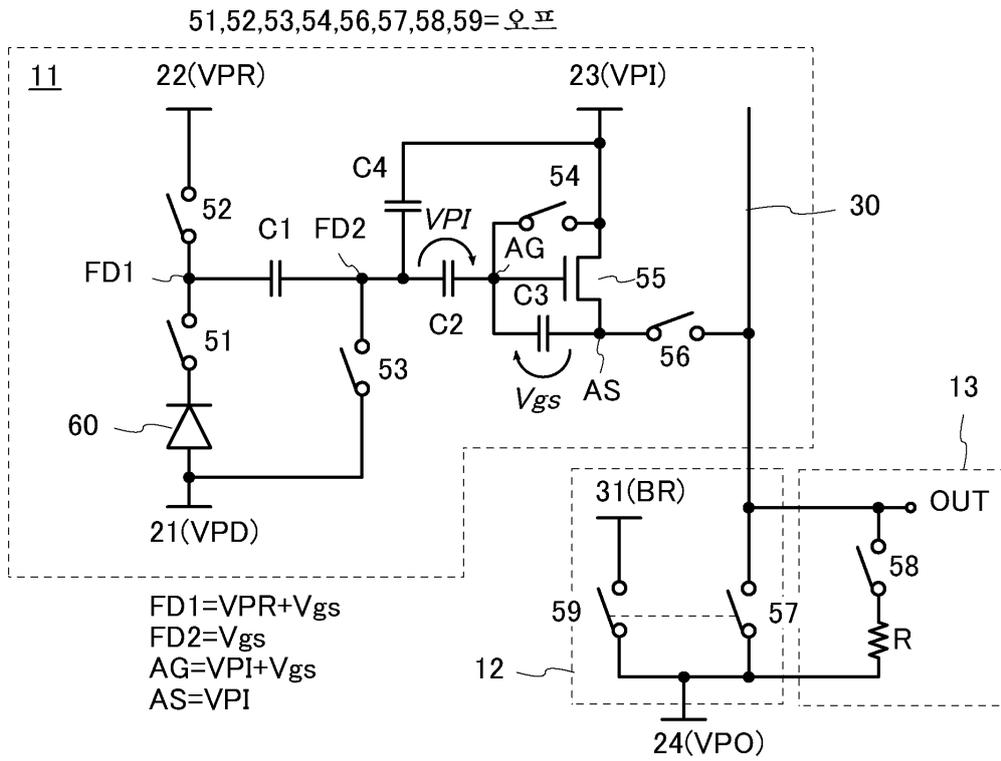
도면4



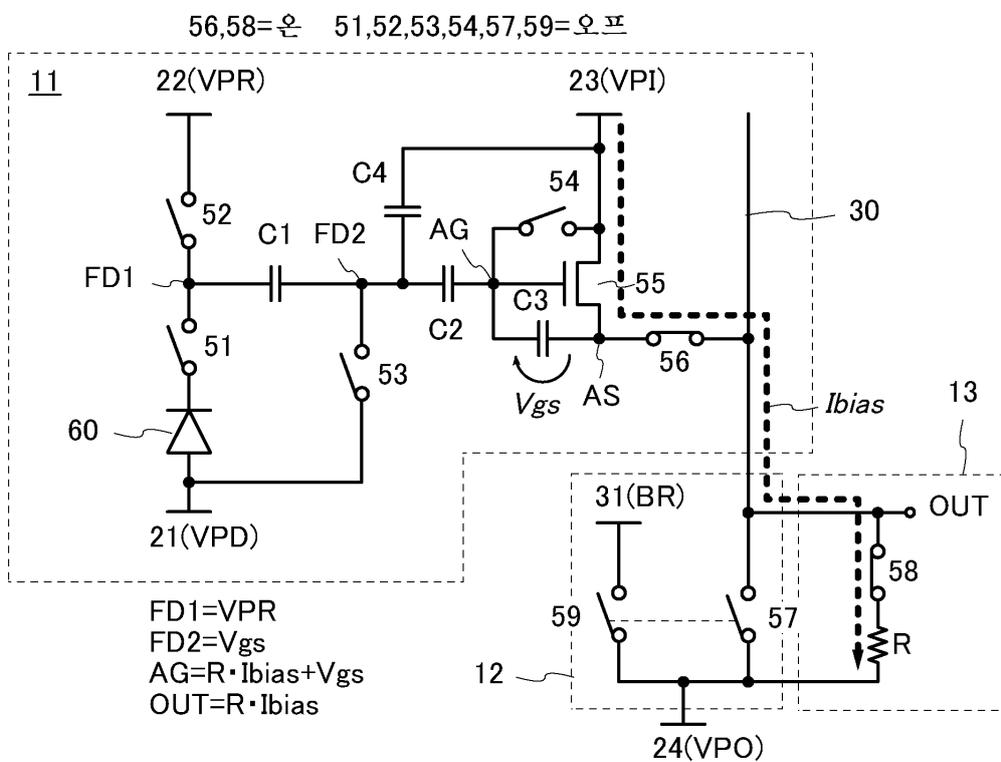
도면5



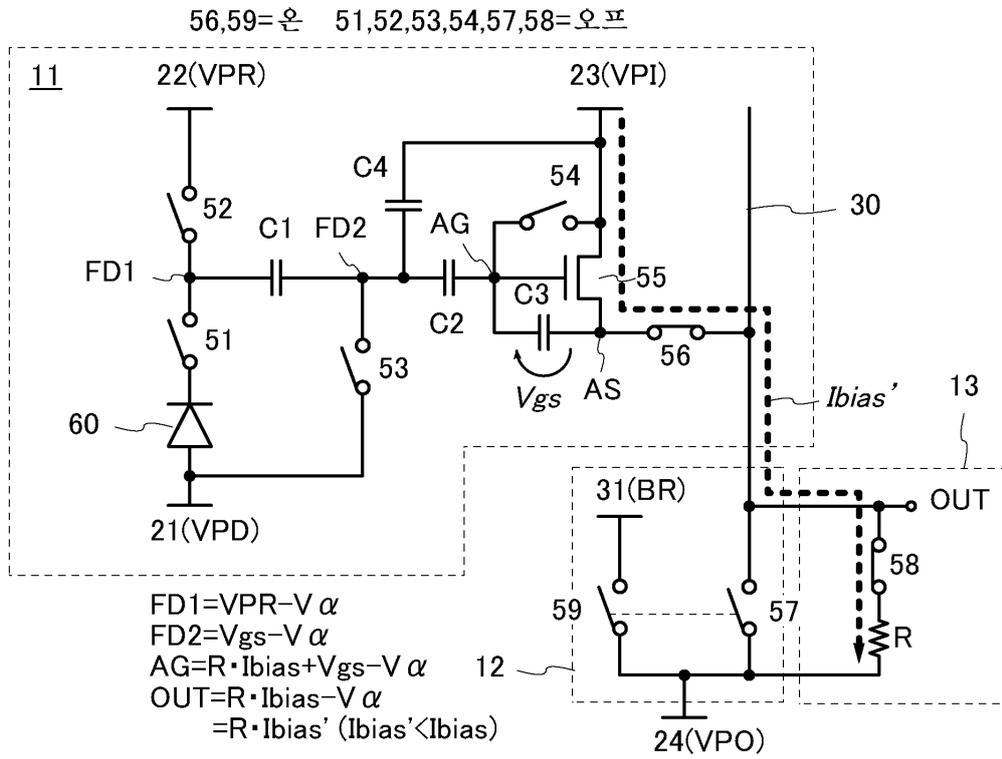
도면6



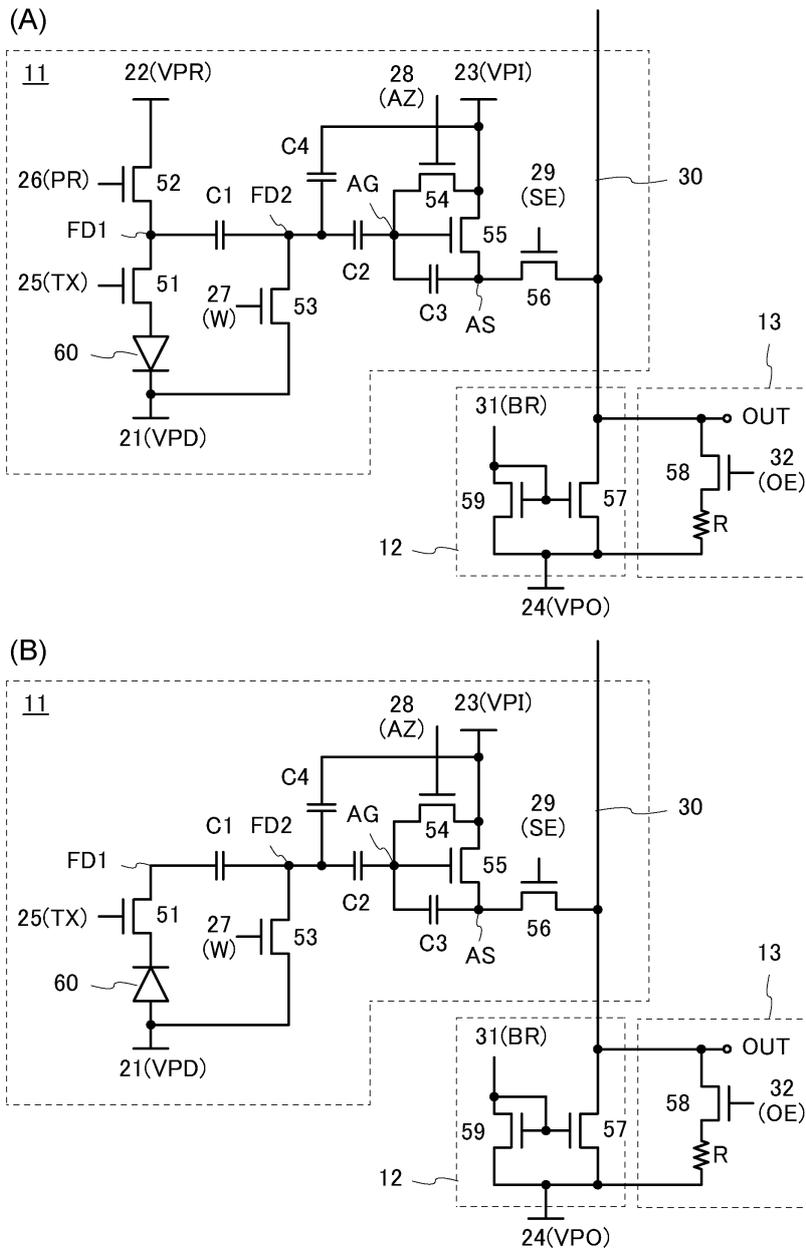
도면7



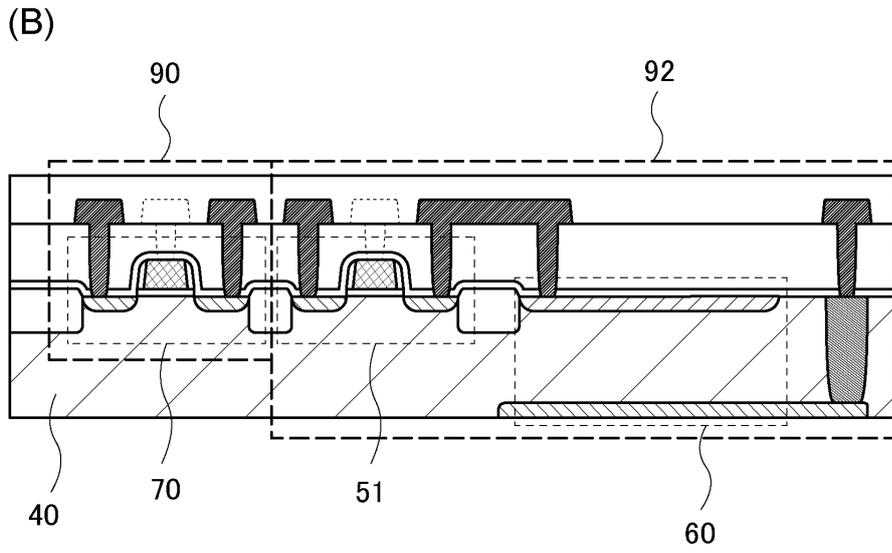
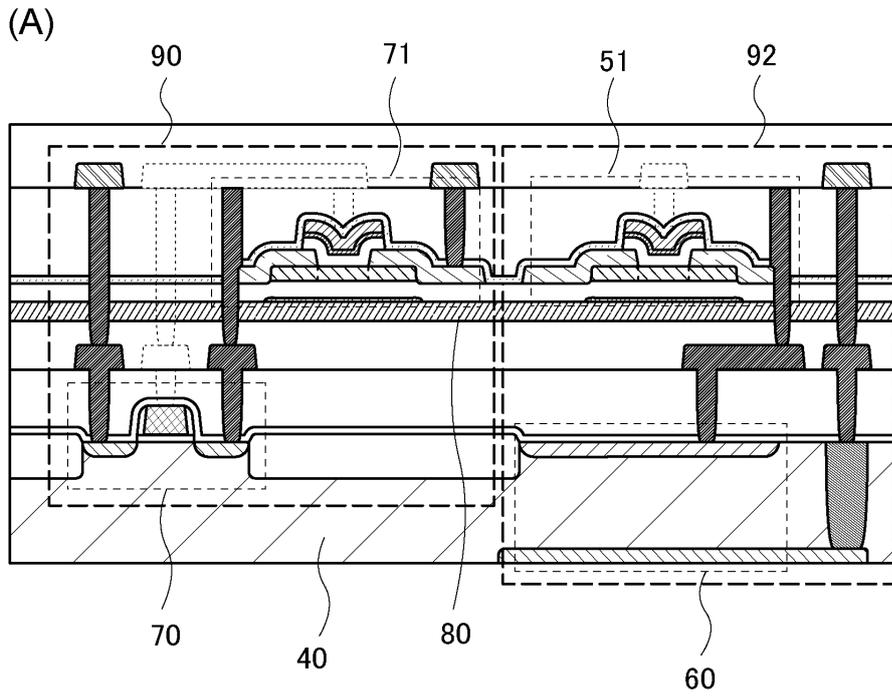
도면8



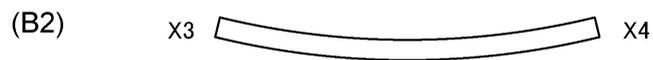
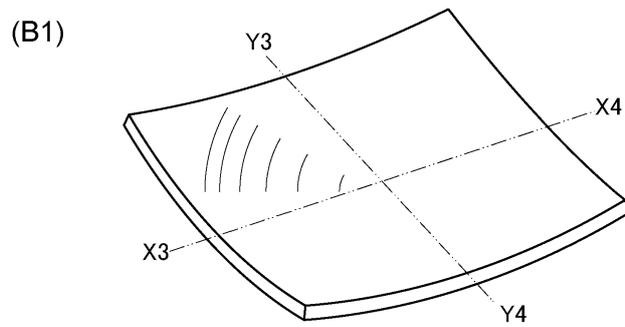
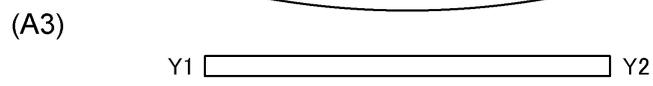
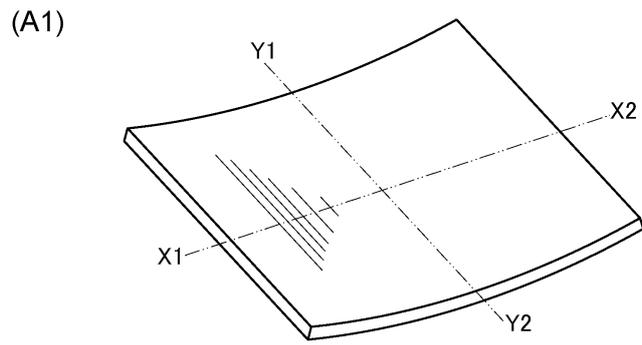
도면9



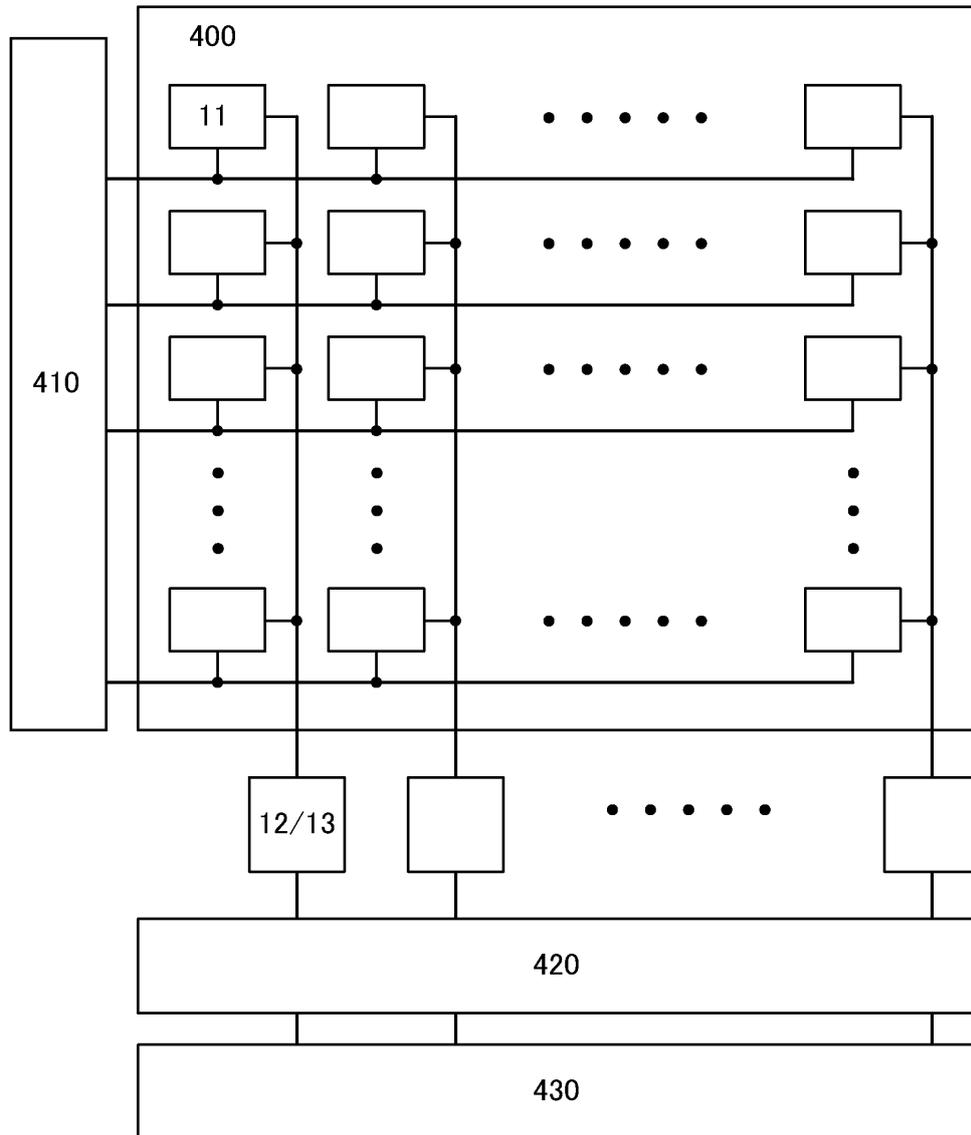
도면10



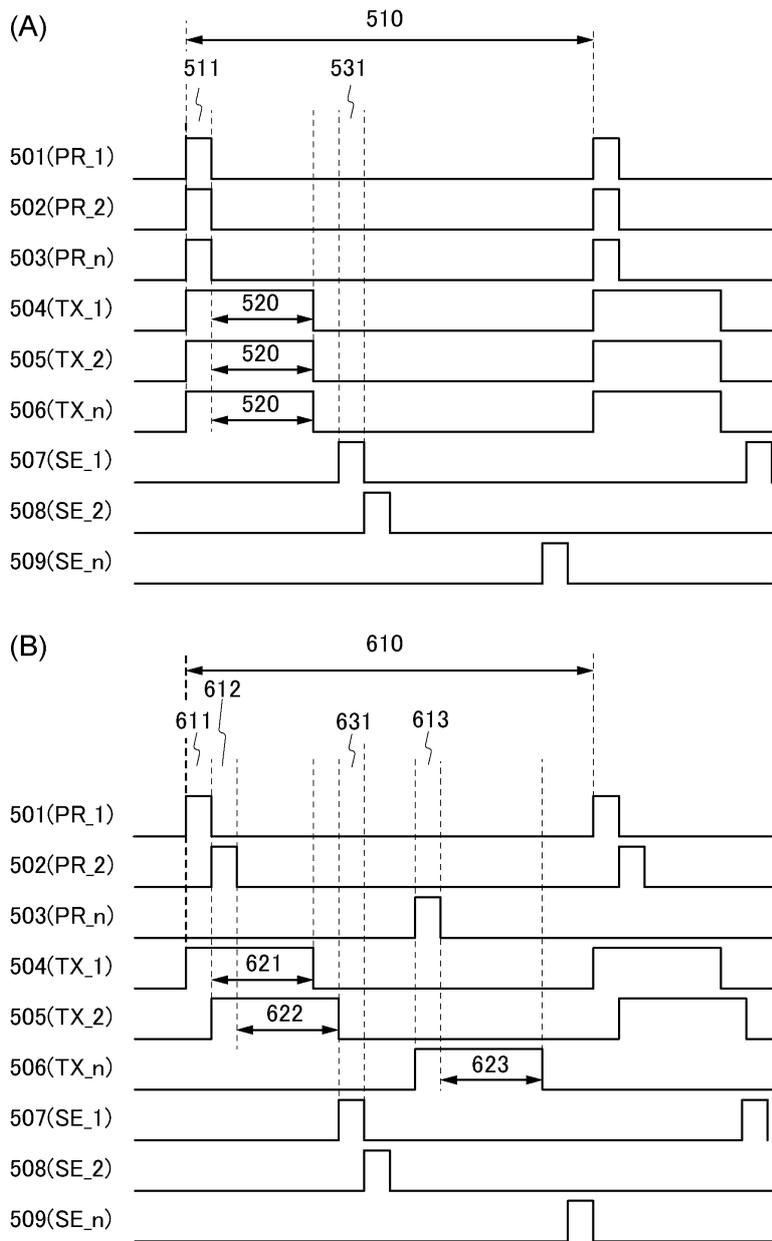
도면11



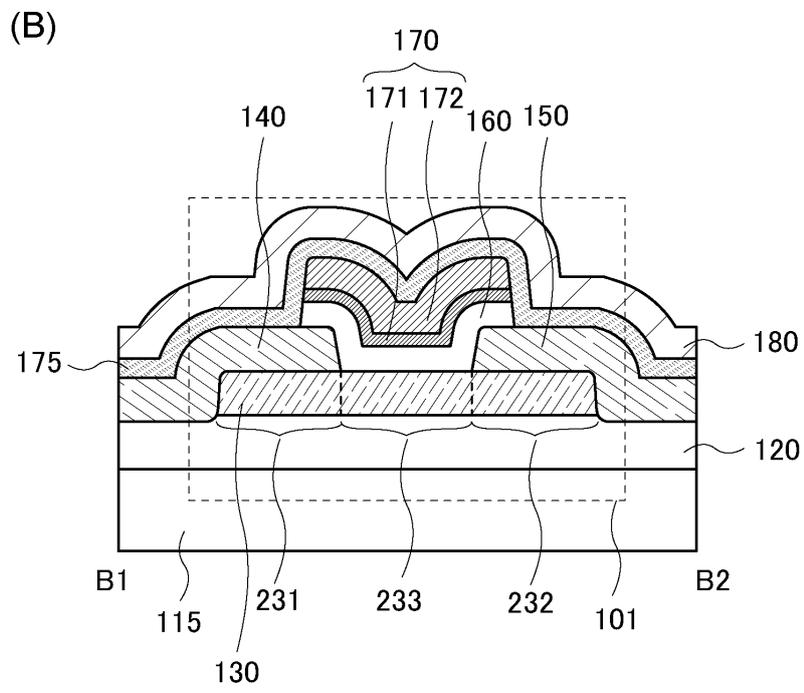
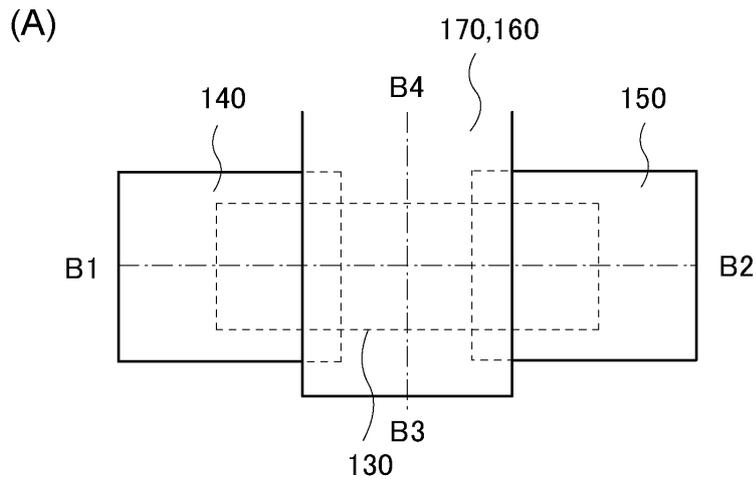
도면12



도면13

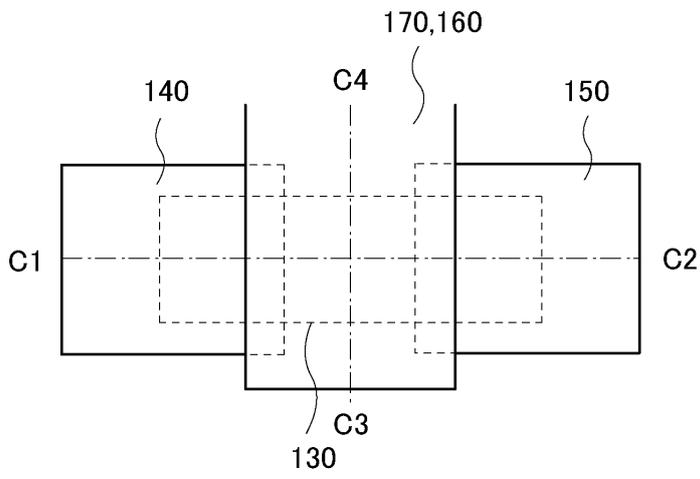


도면14

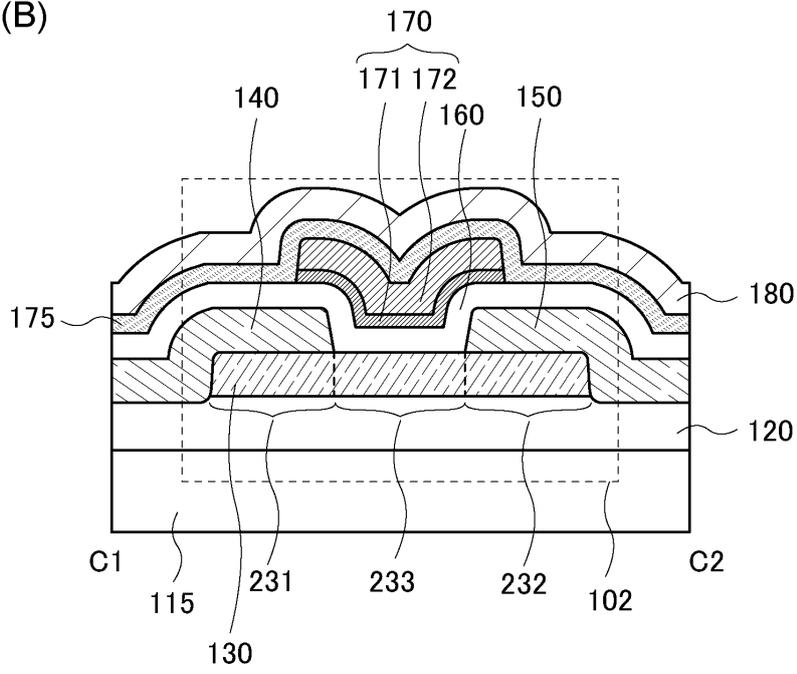


도면15

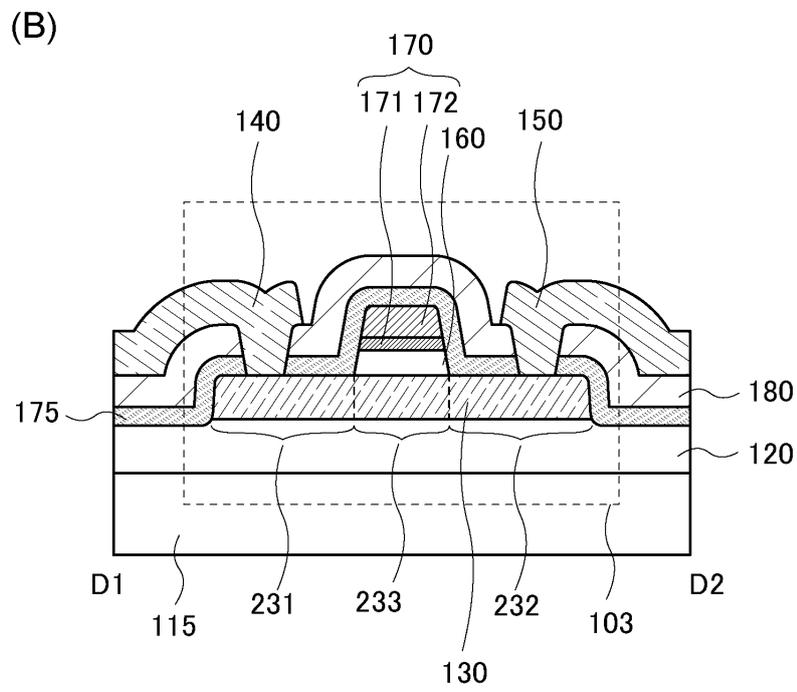
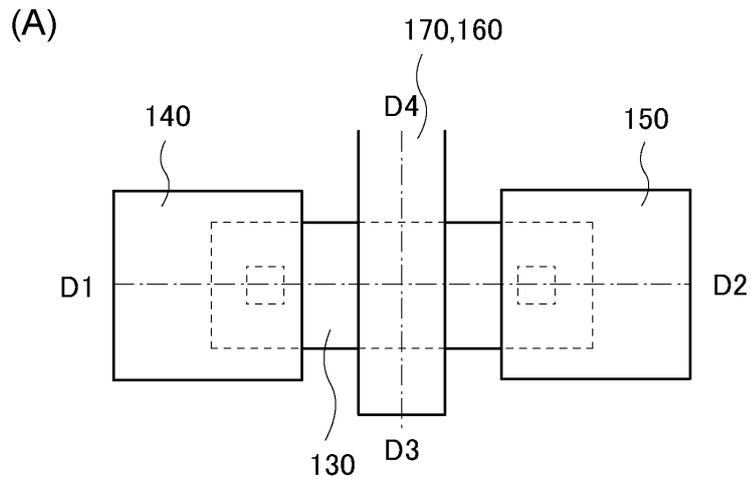
(A)



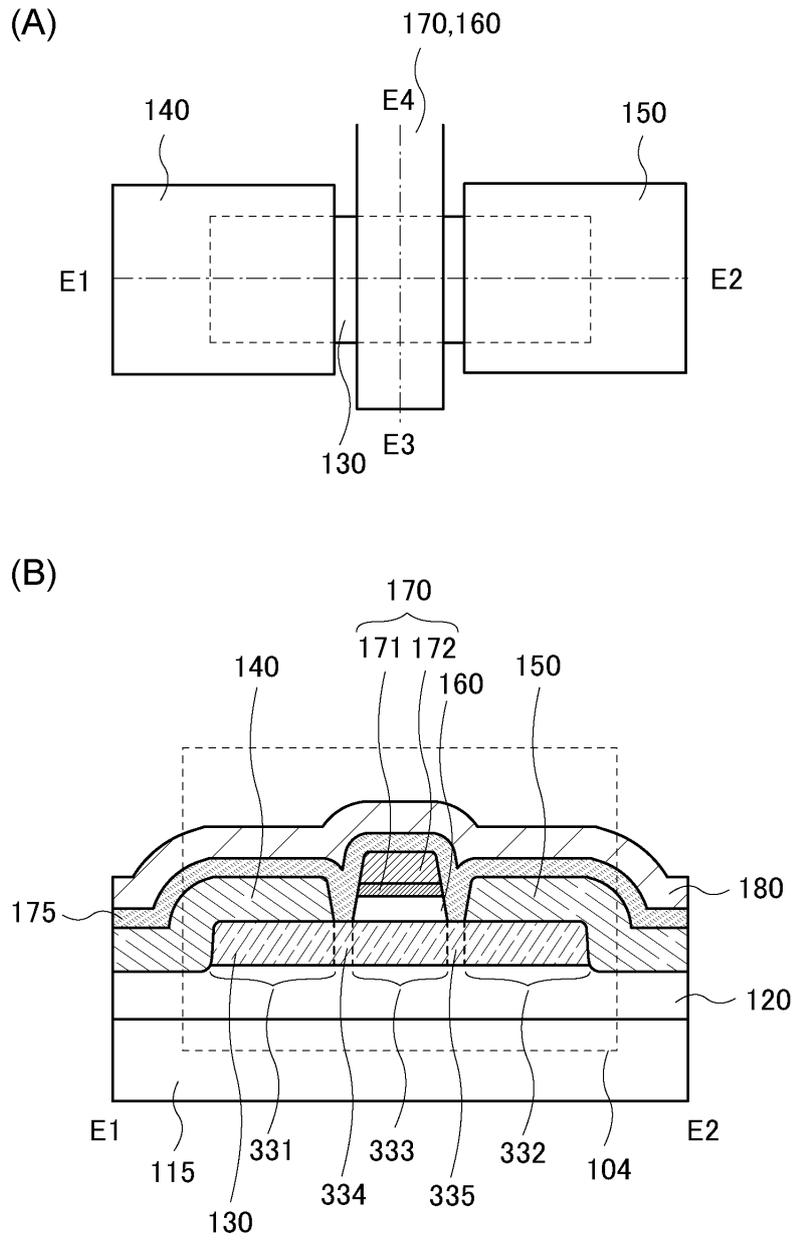
(B)



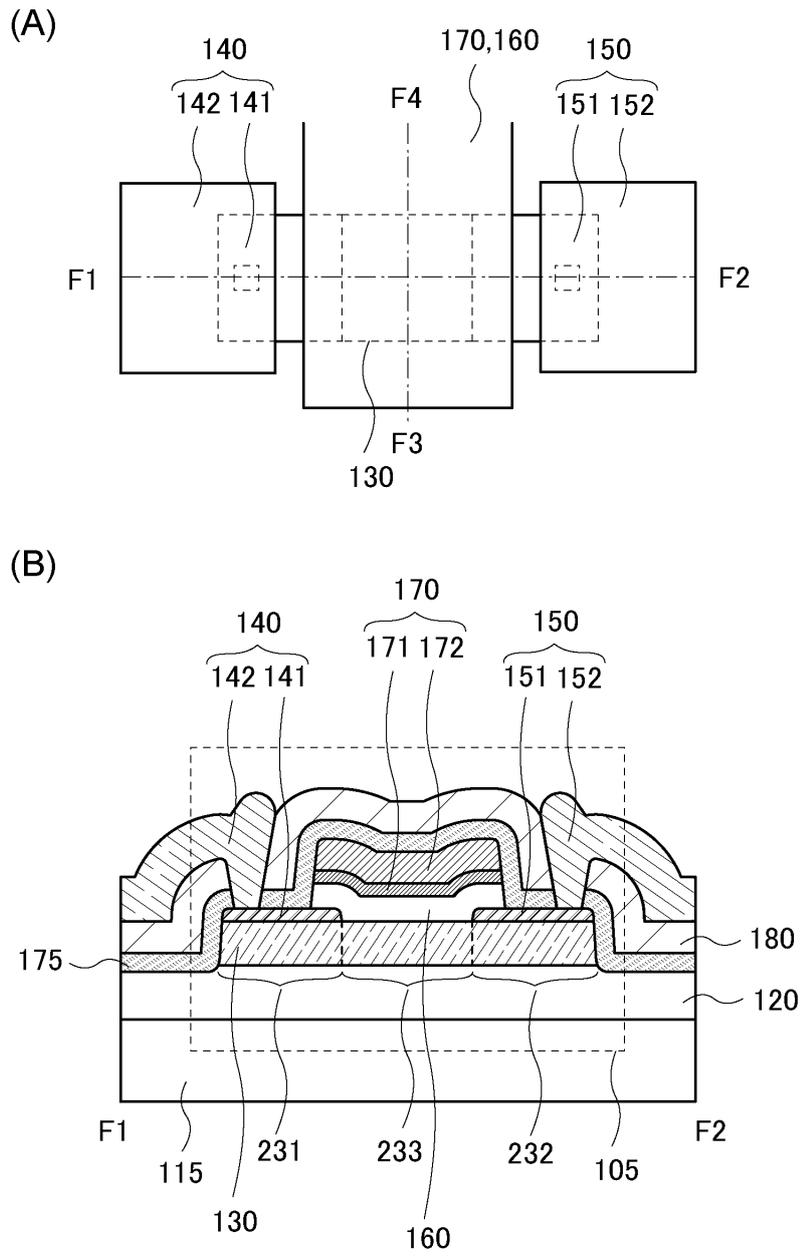
도면16



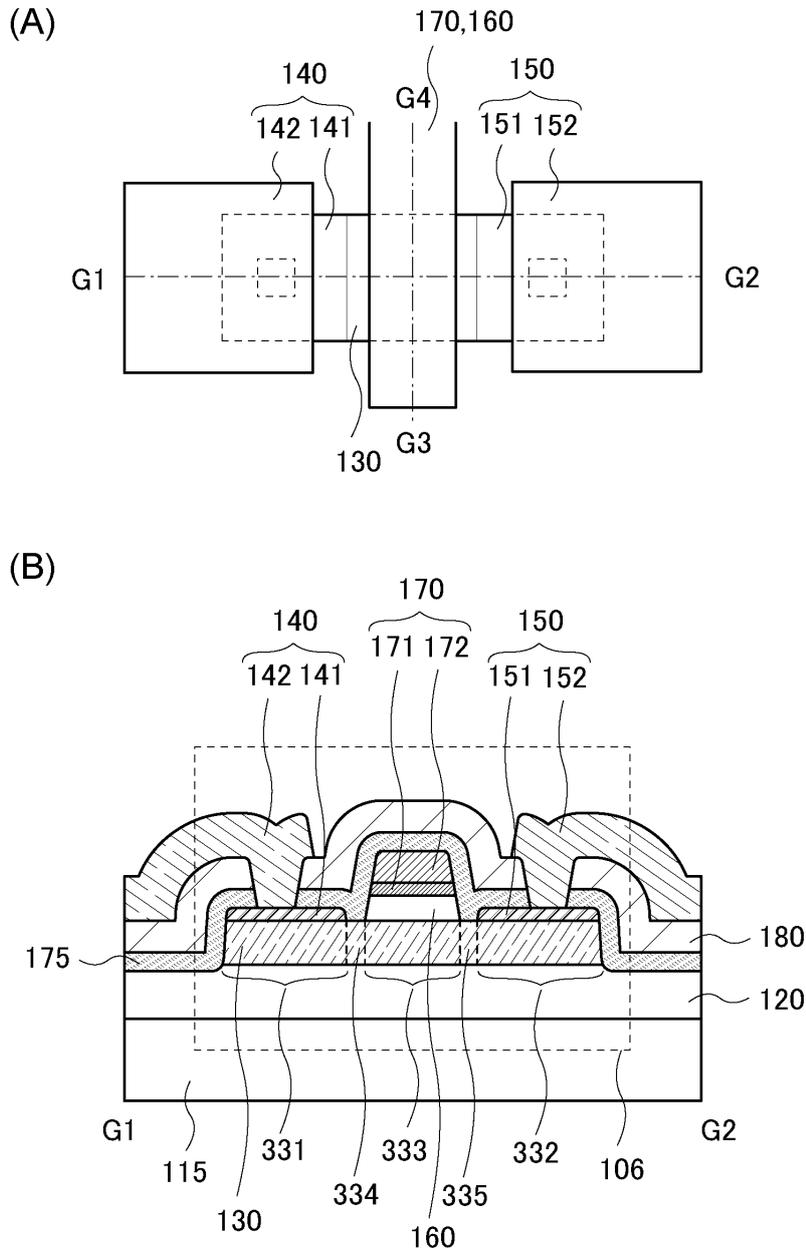
도면17



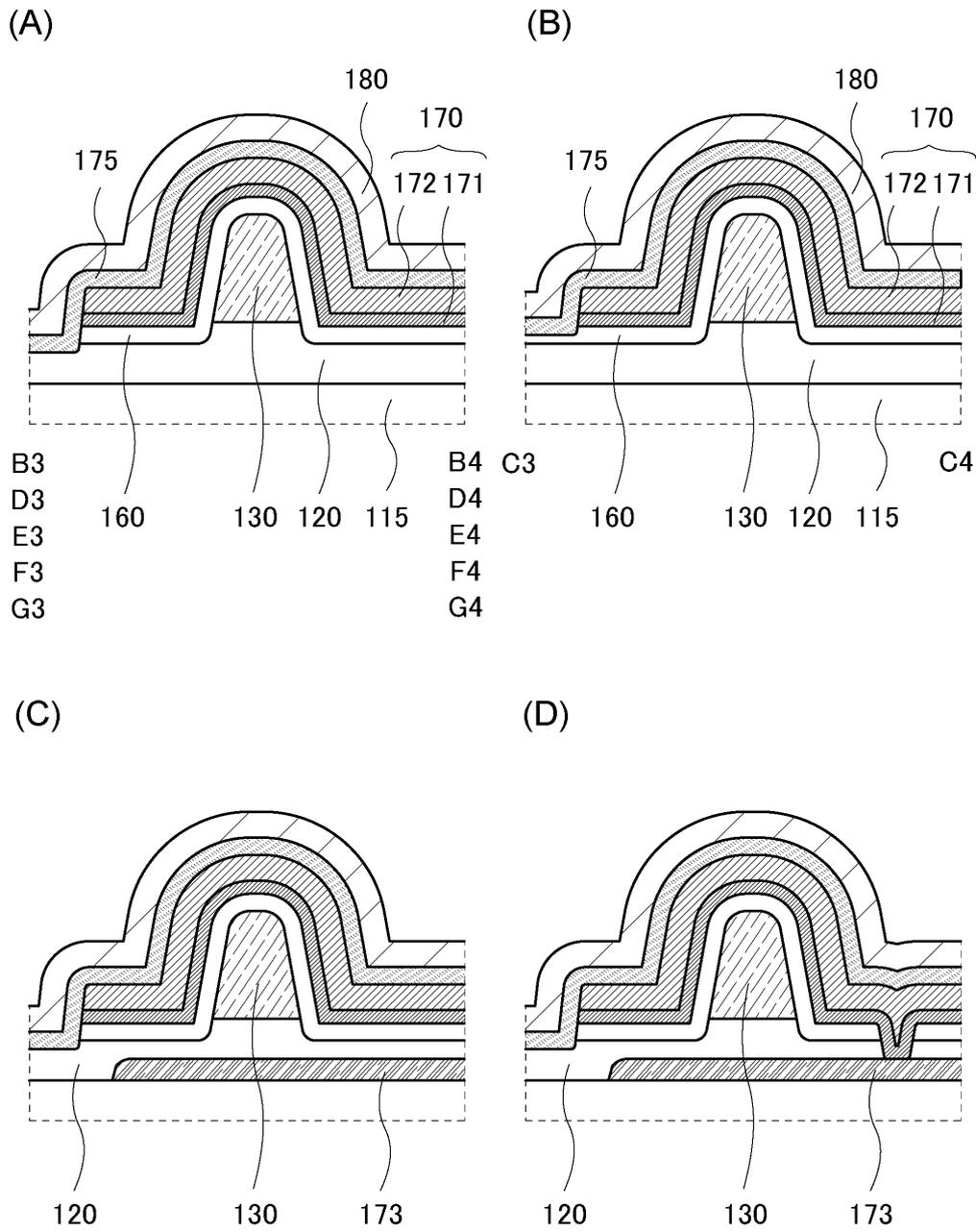
도면18



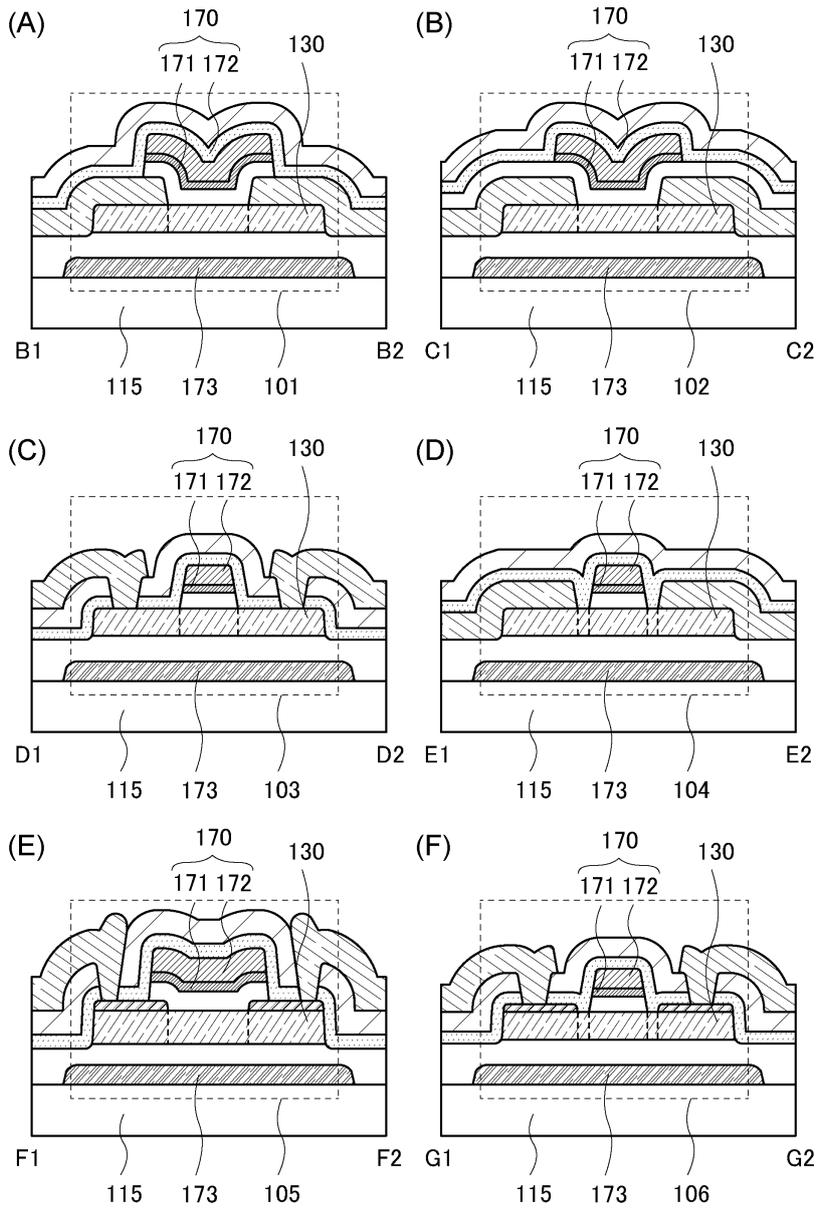
도면19



도면20

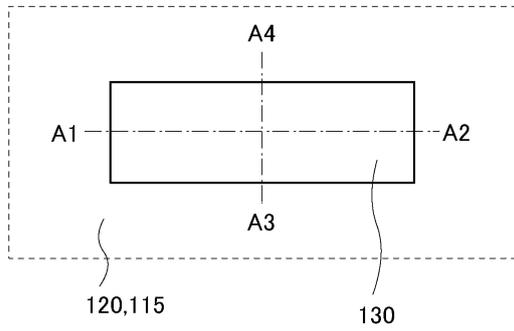


도면21

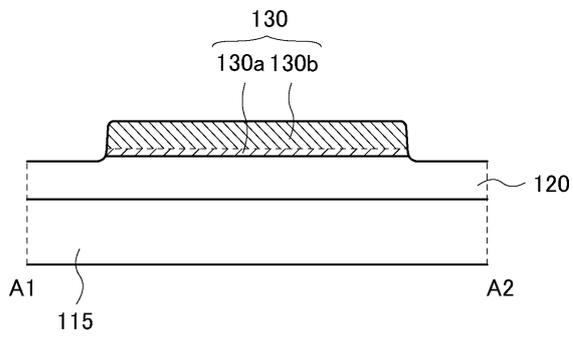


도면22

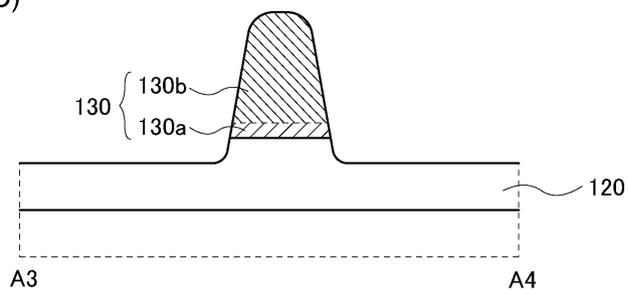
(A)



(B)

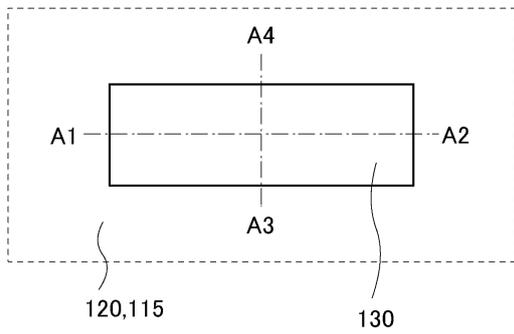


(C)

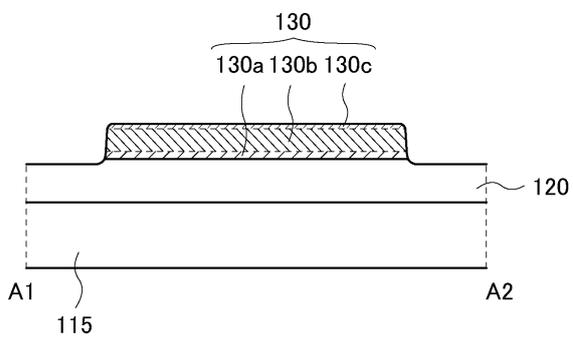


도면23

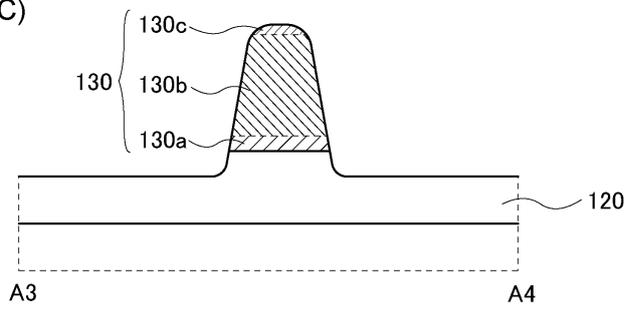
(A)



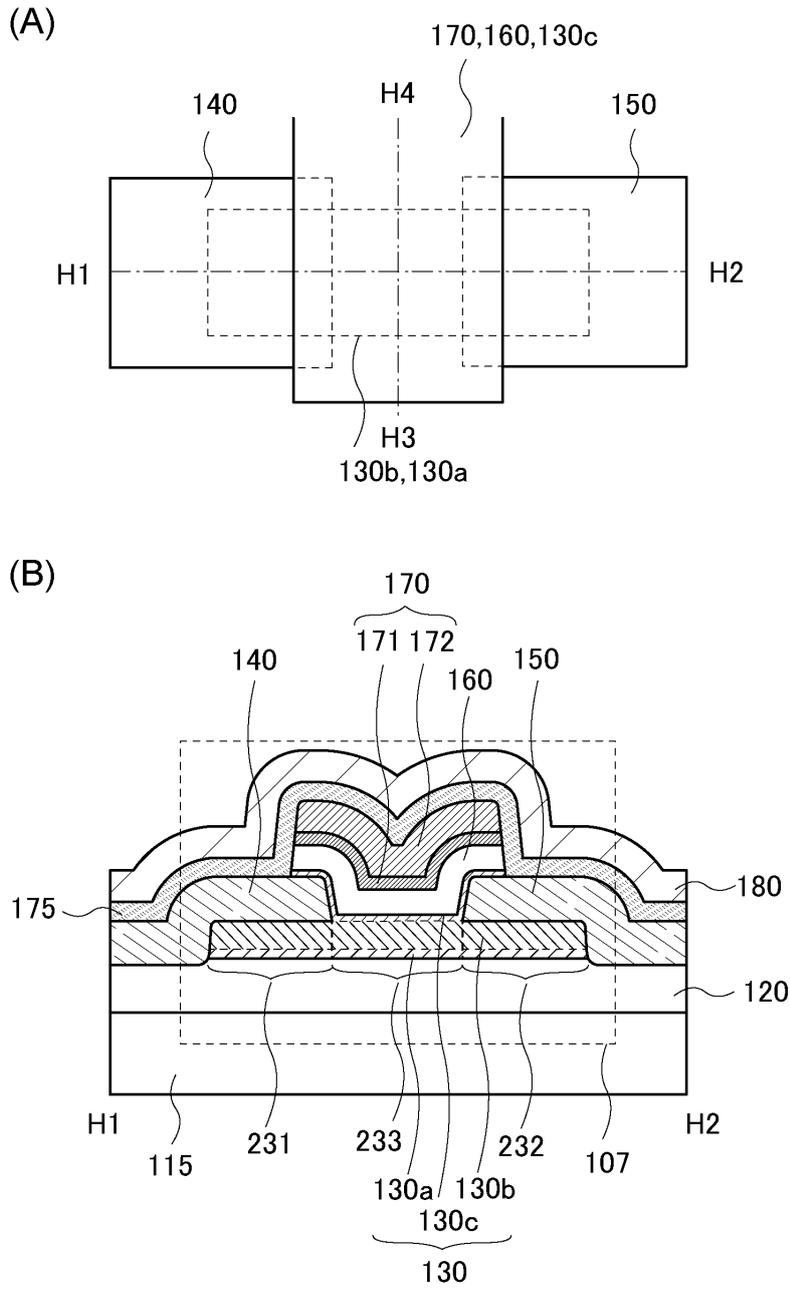
(B)



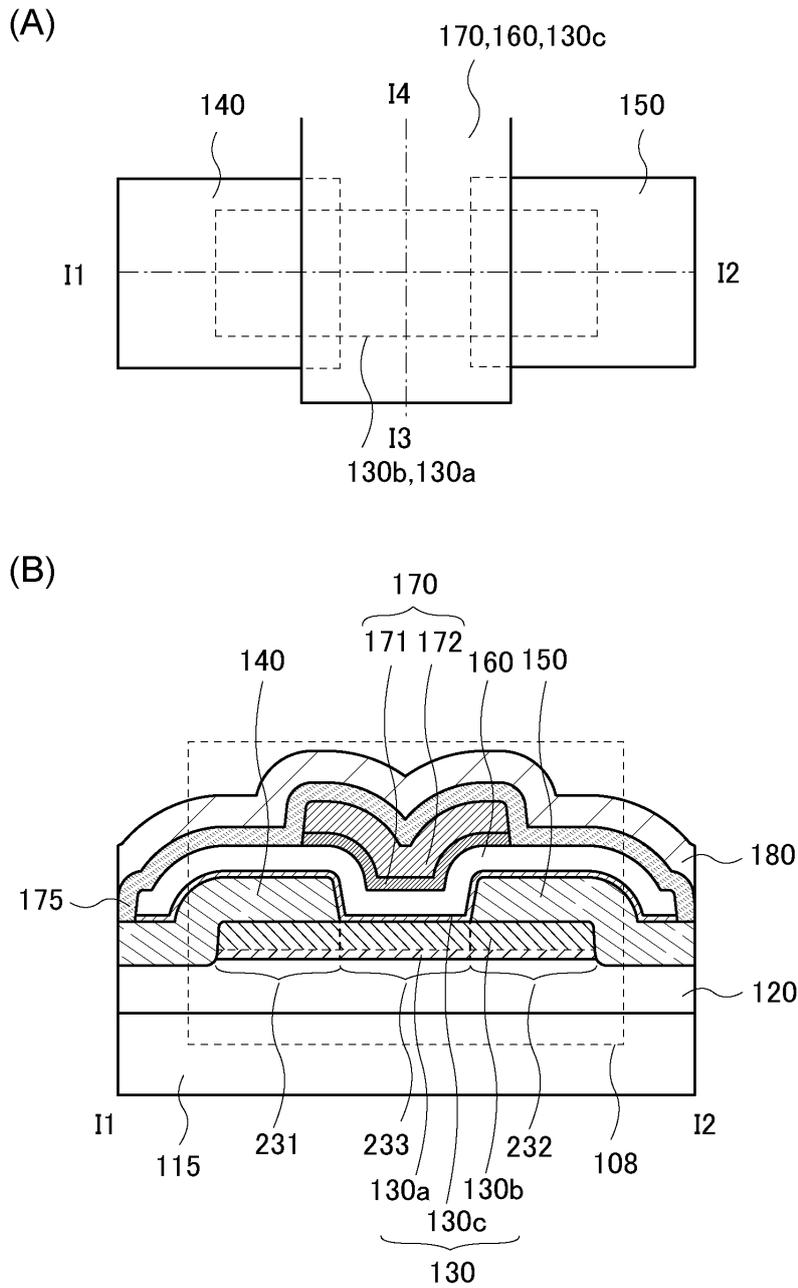
(C)



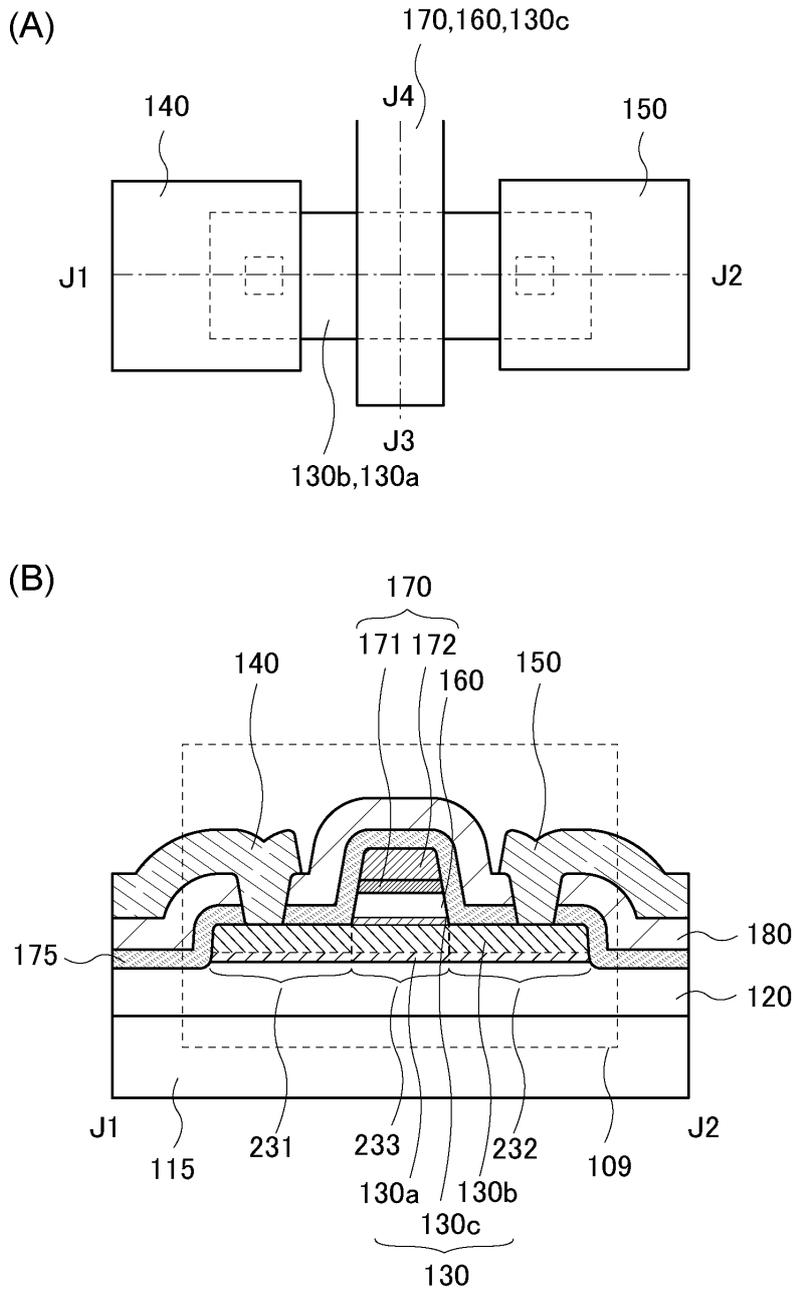
도면24



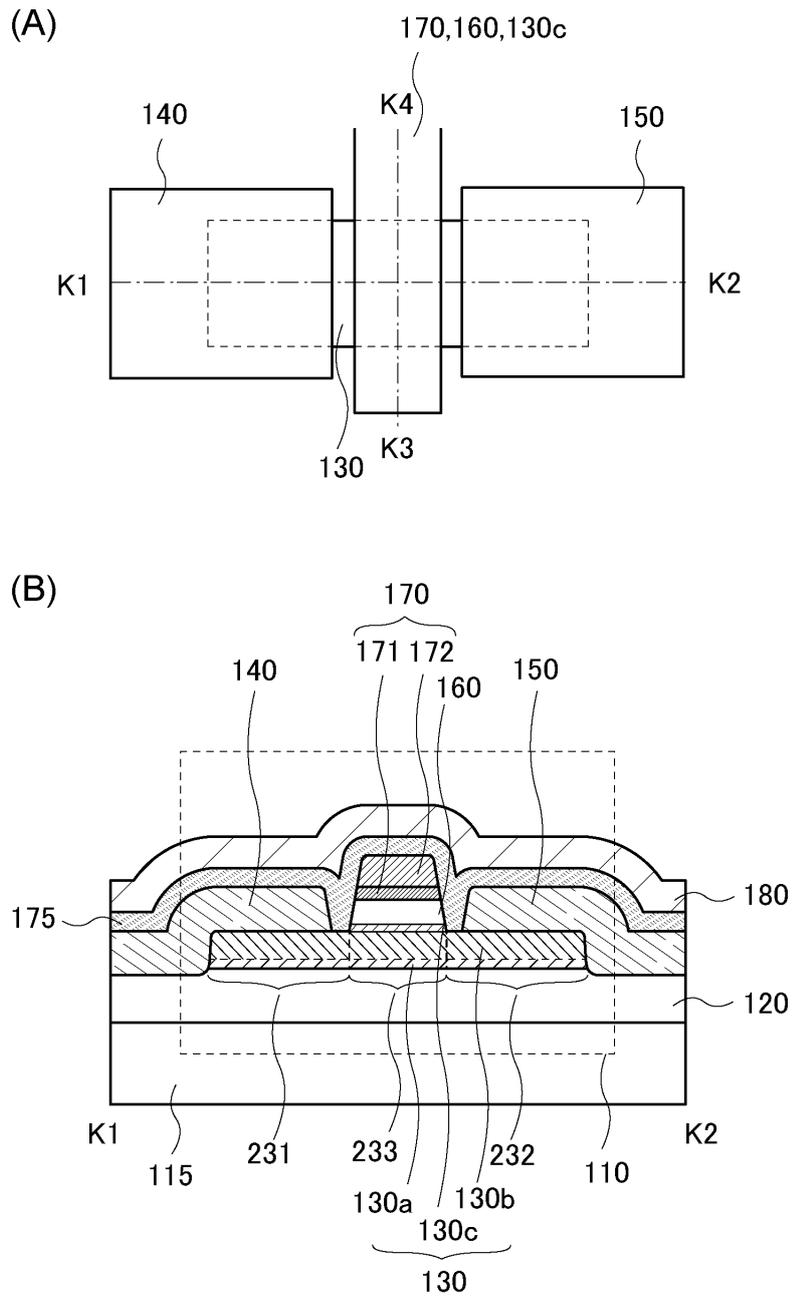
도면25



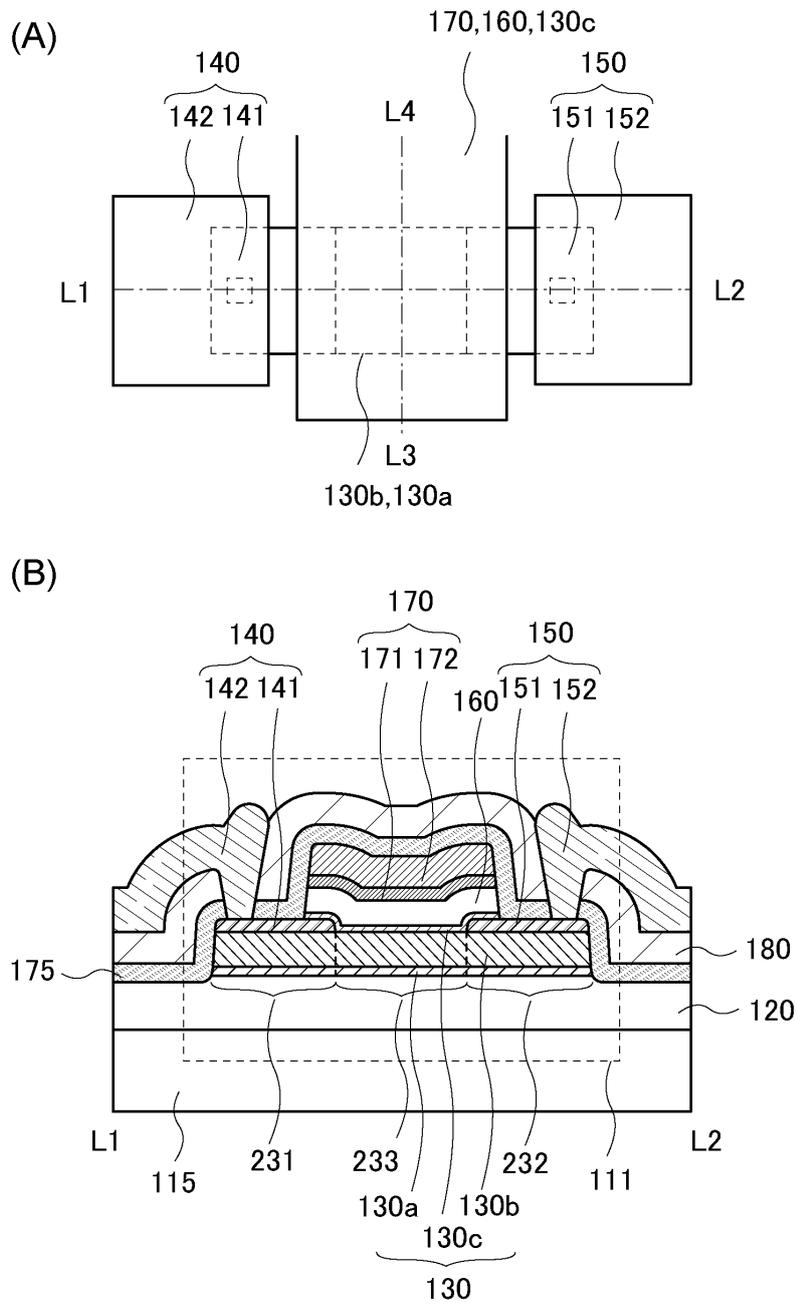
도면26



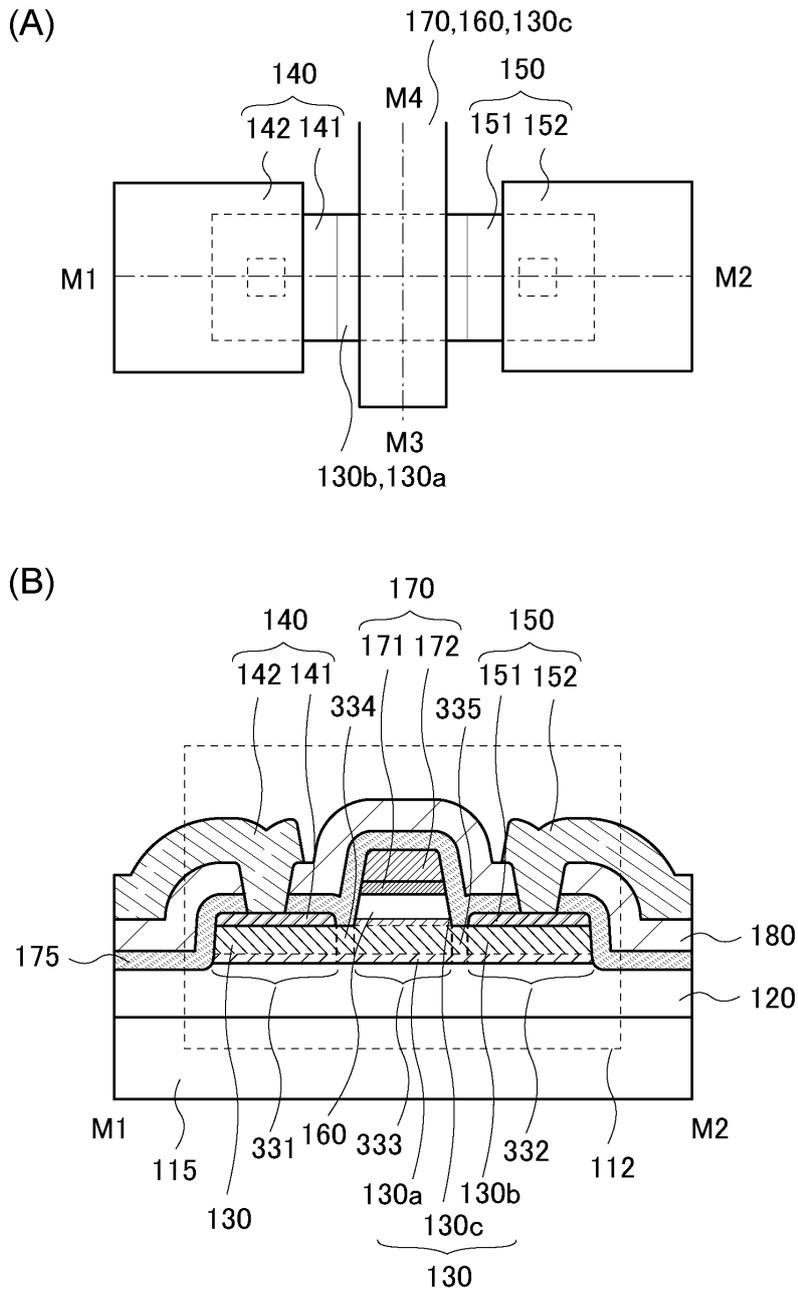
도면27



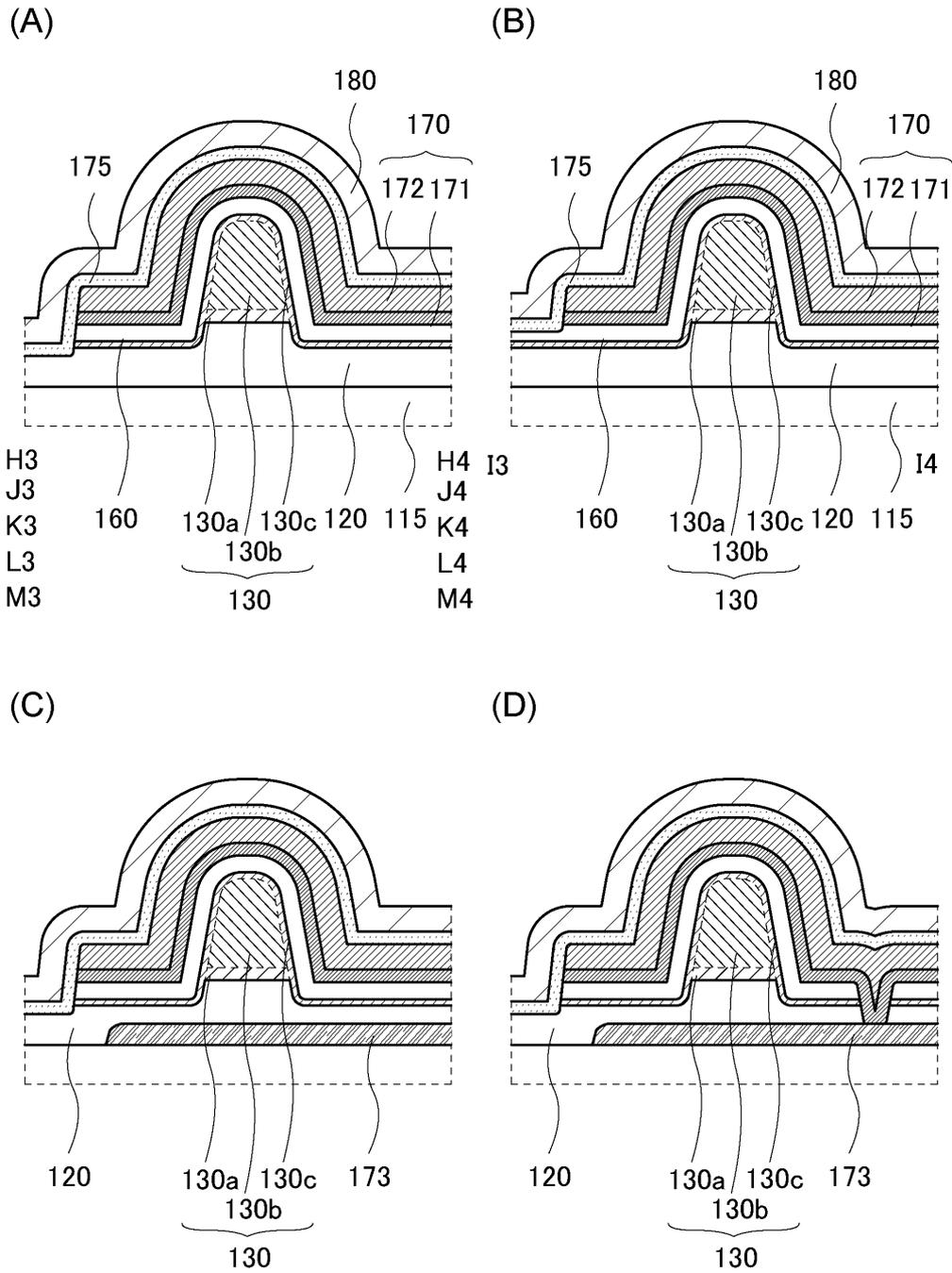
도면28



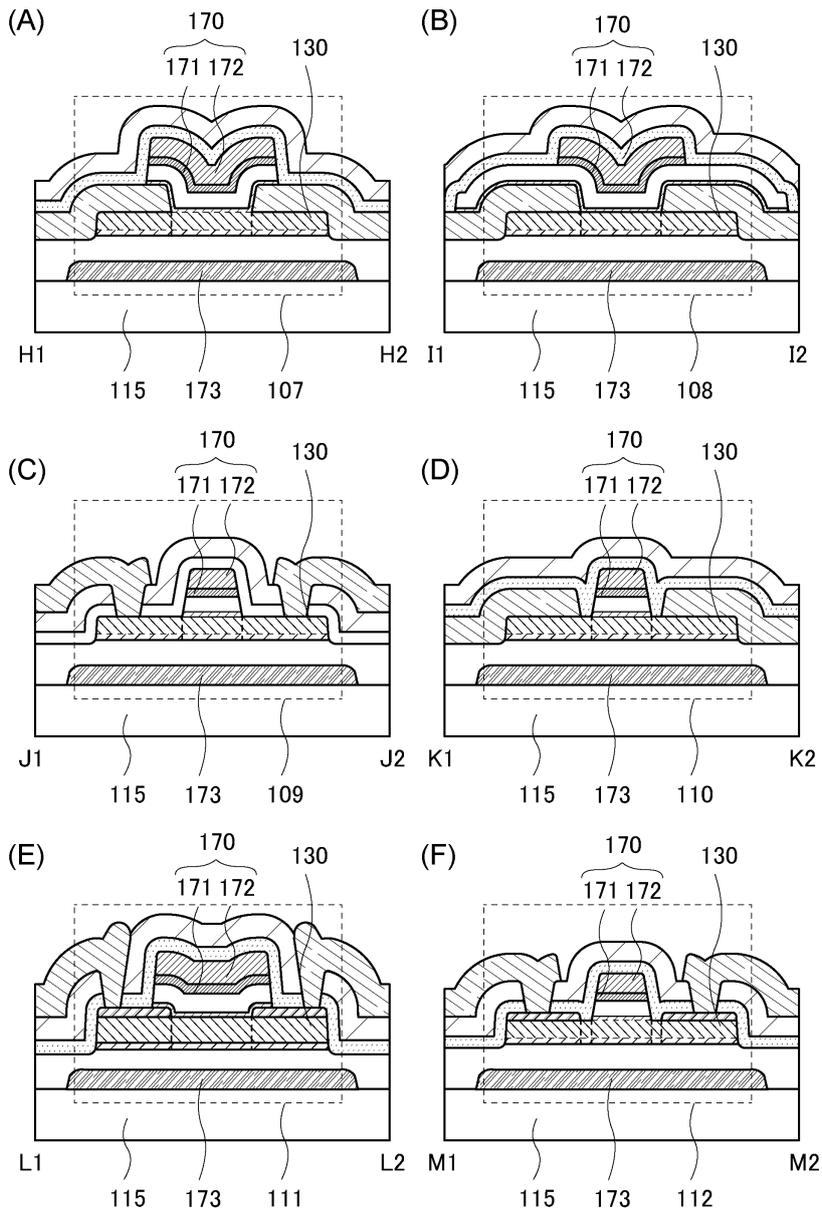
도면29



도면30

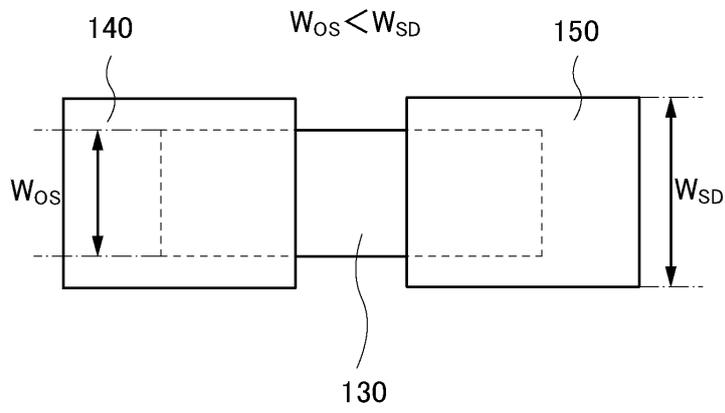


도면31

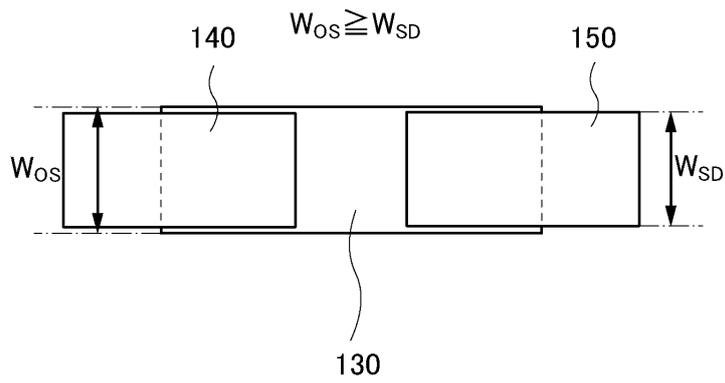


도면32

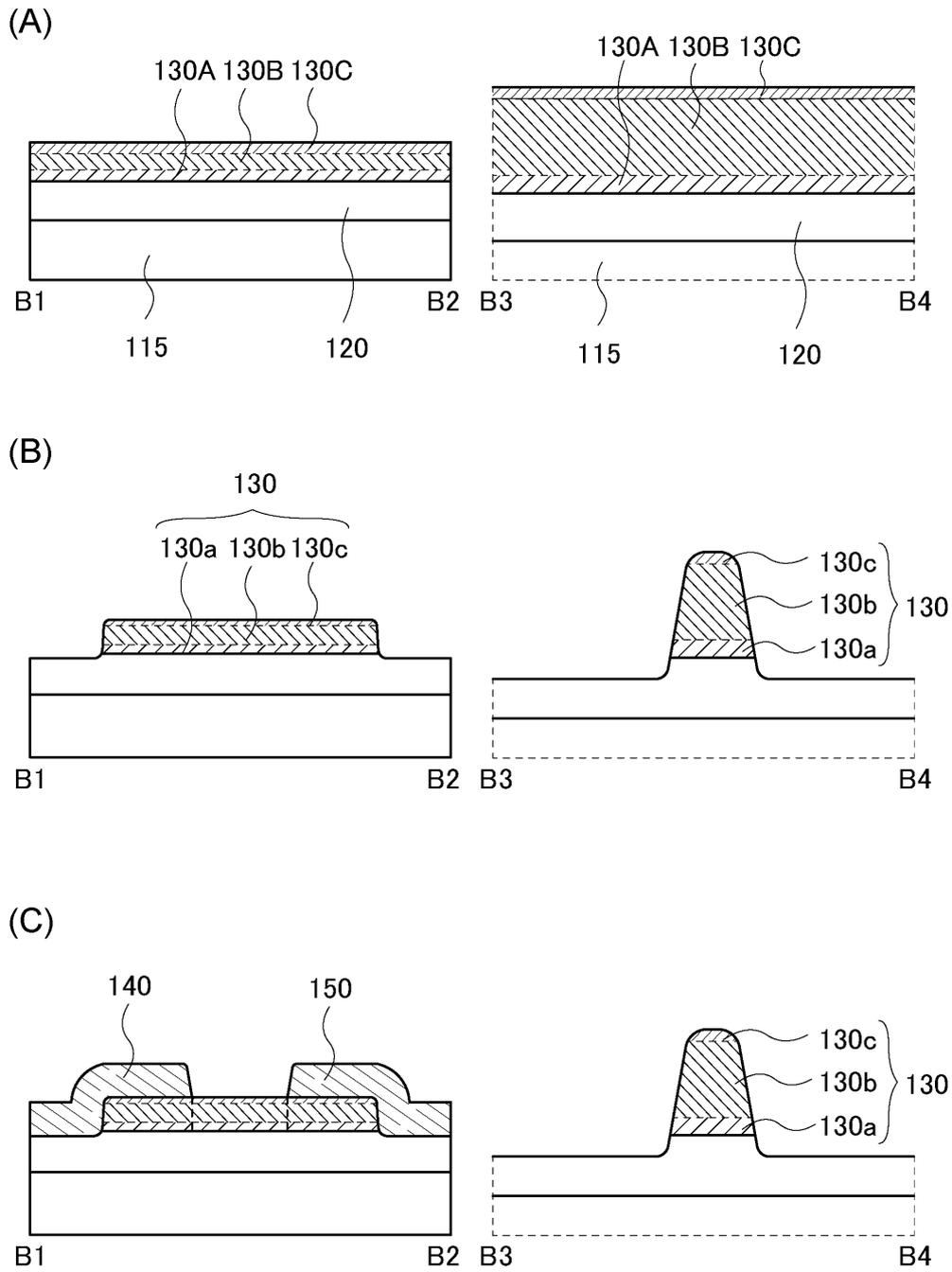
(A)



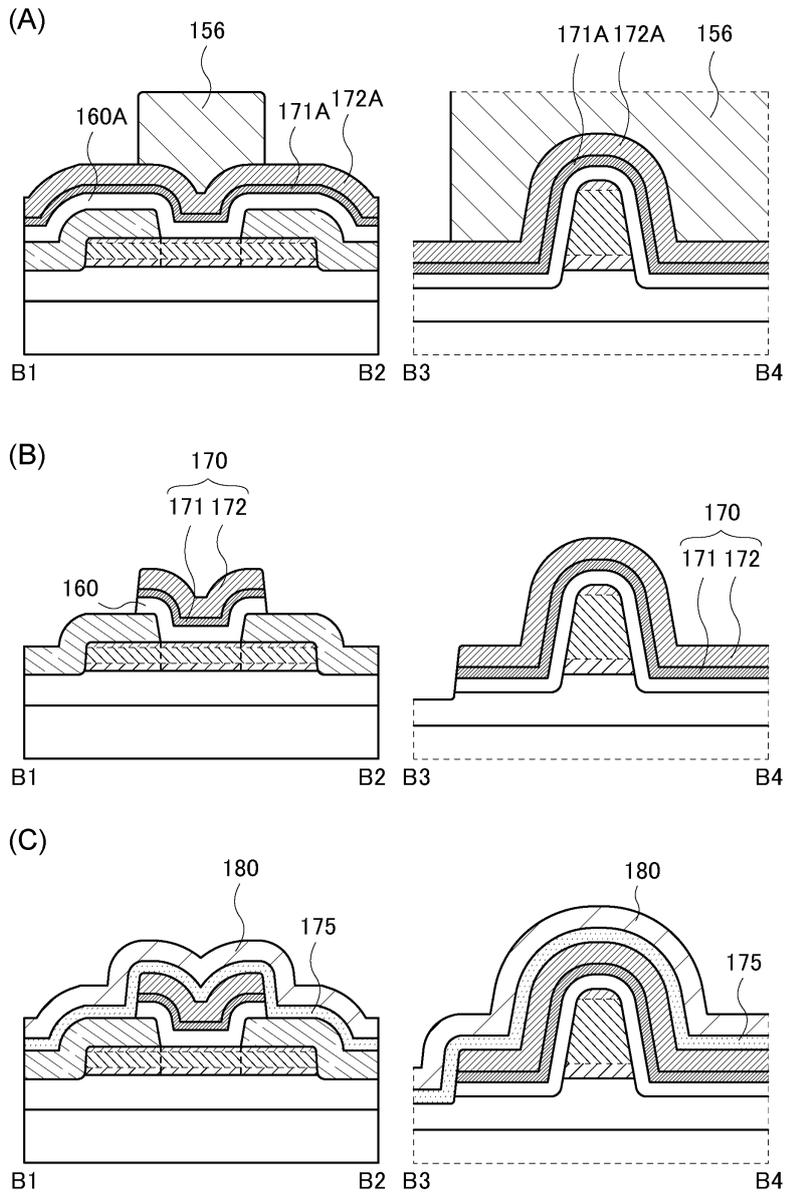
(B)



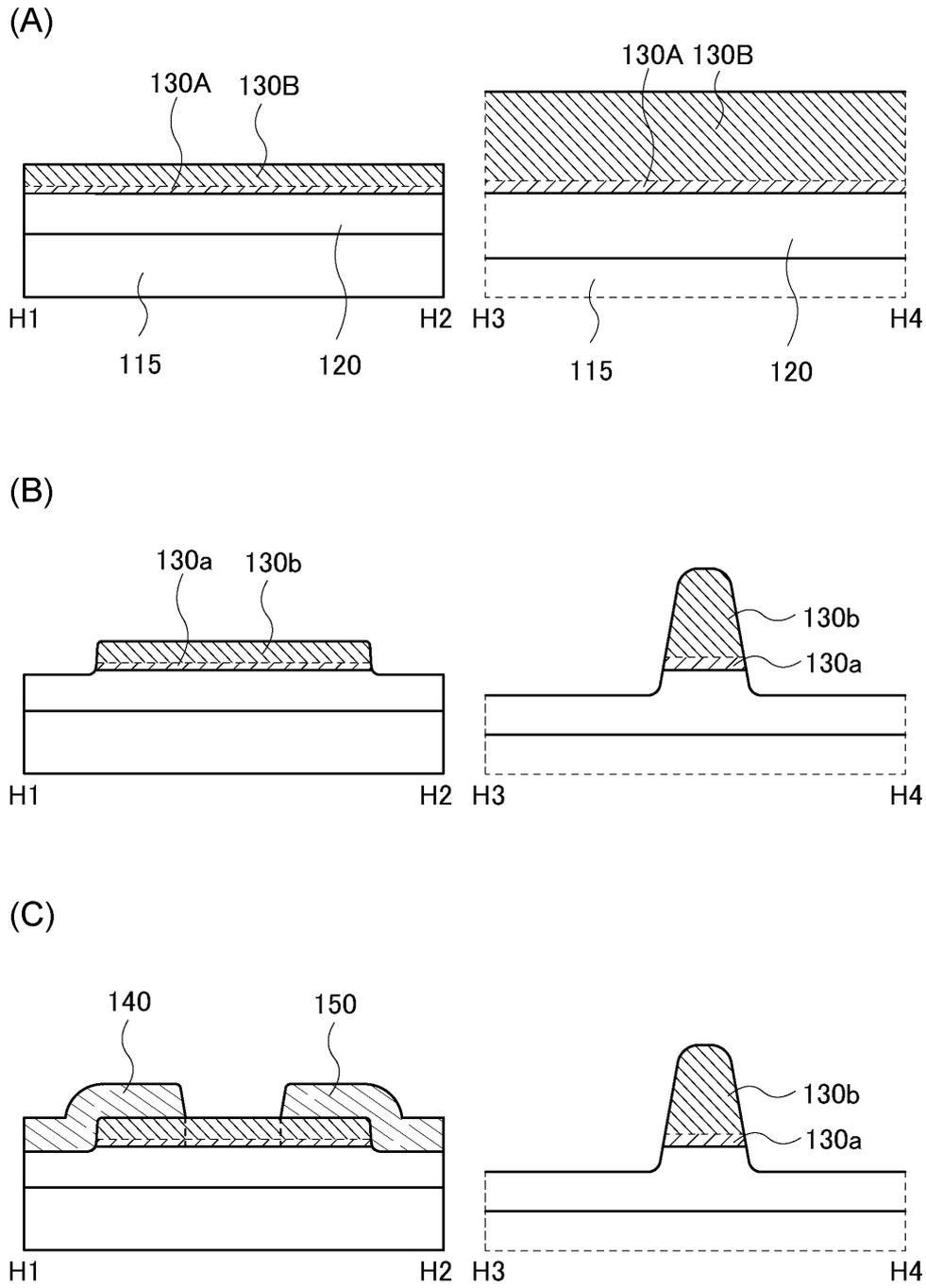
도면33



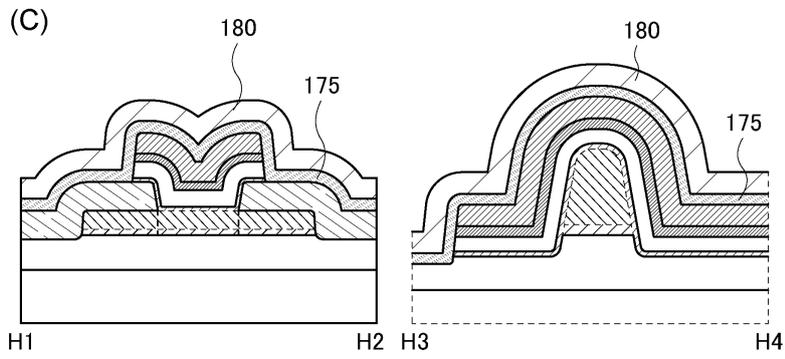
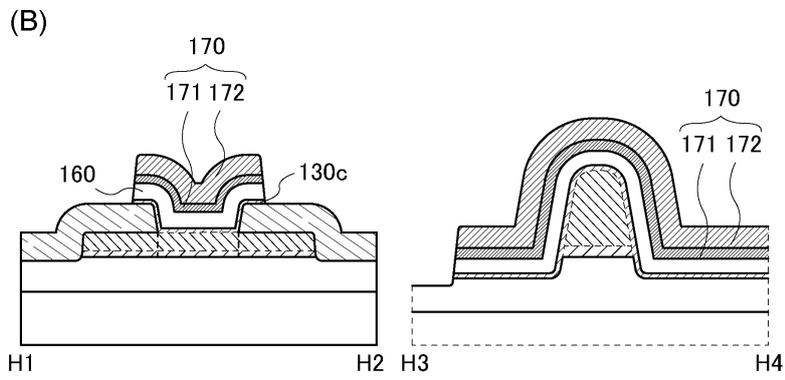
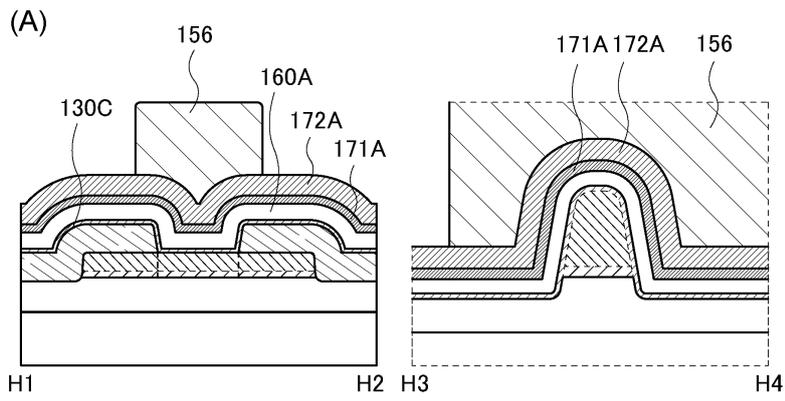
도면34



도면35

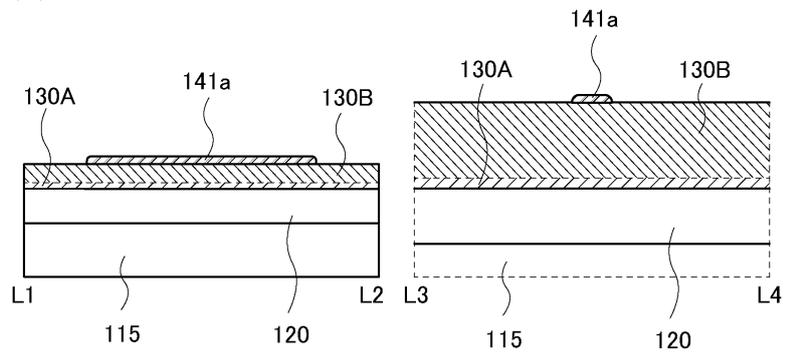


도면36

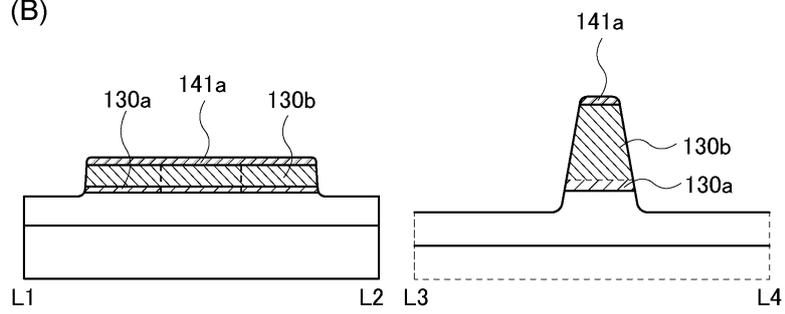


도면37

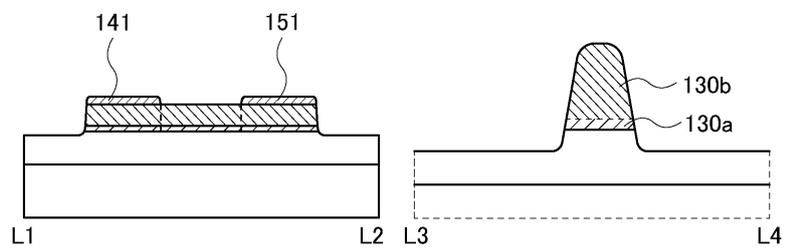
(A)



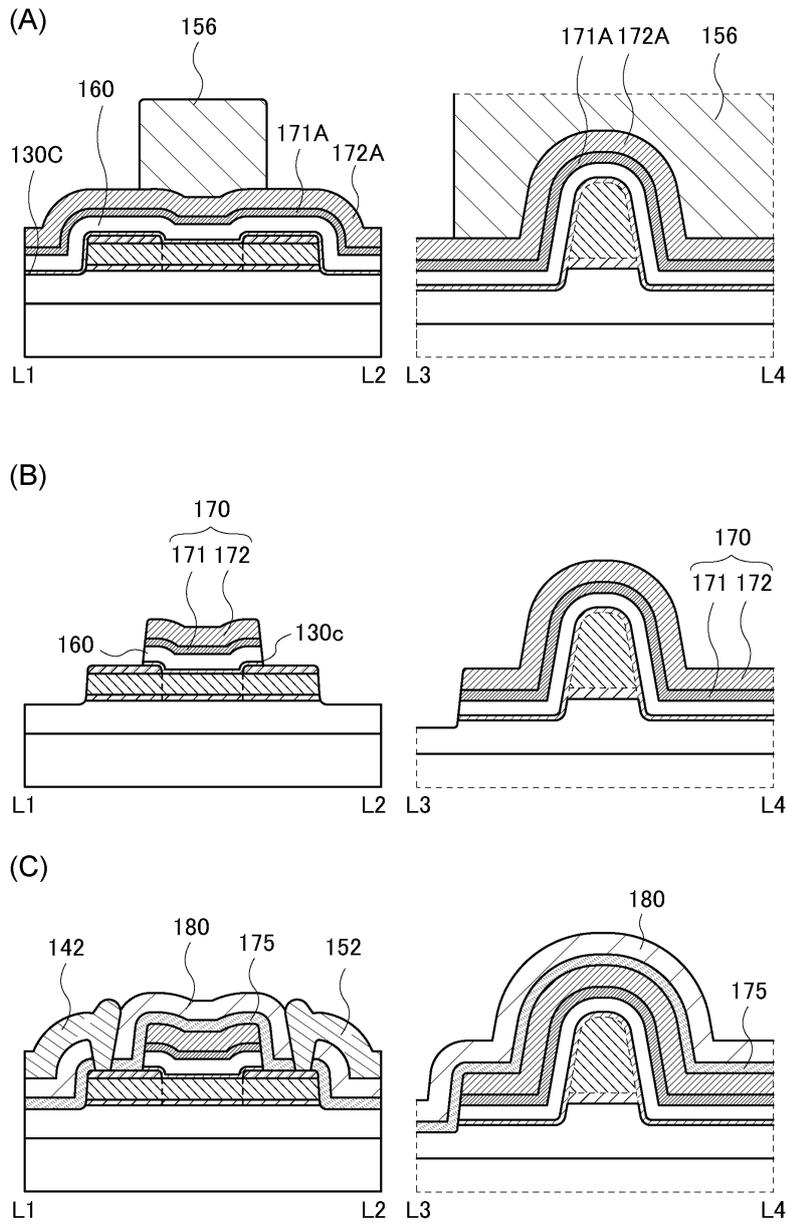
(B)



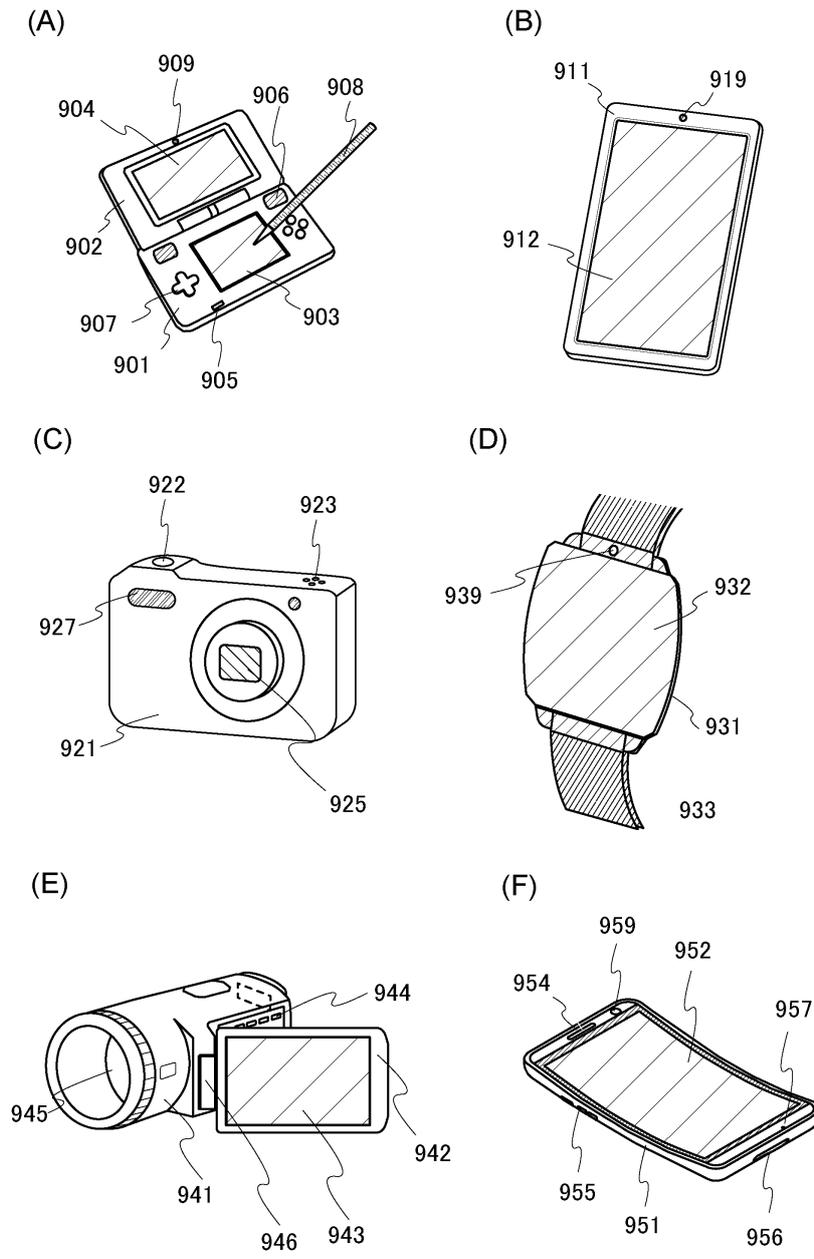
(C)



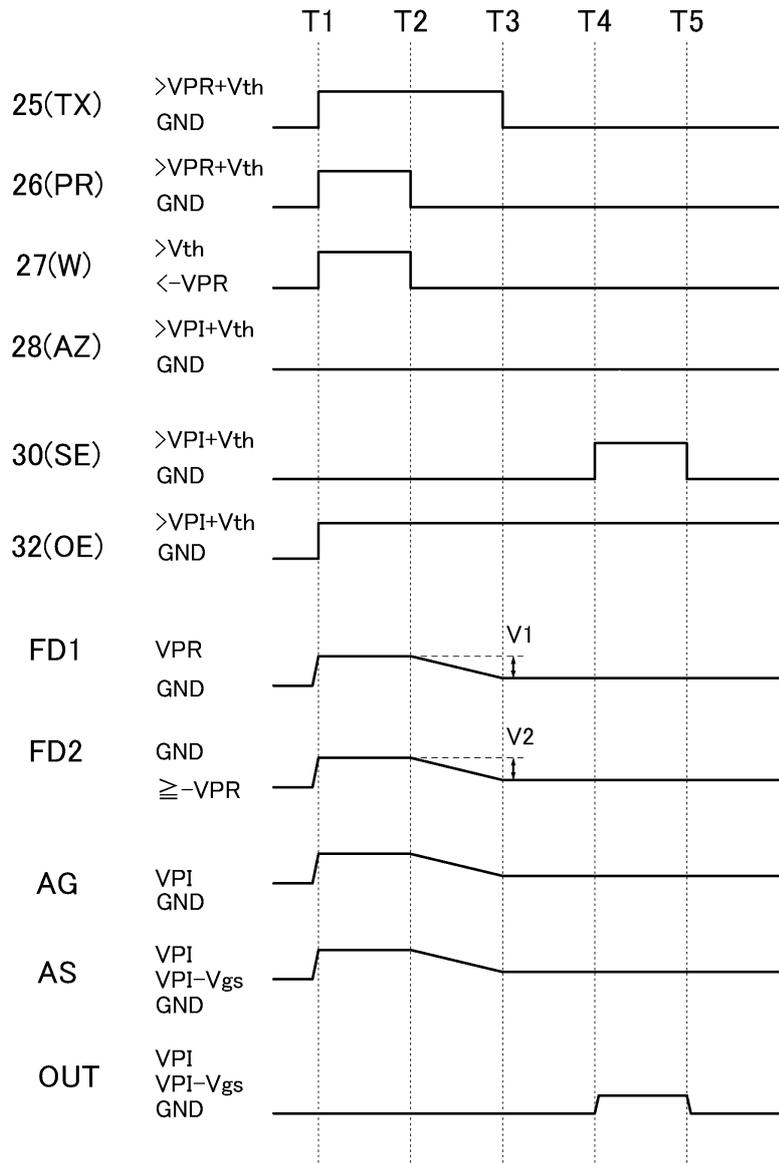
도면38



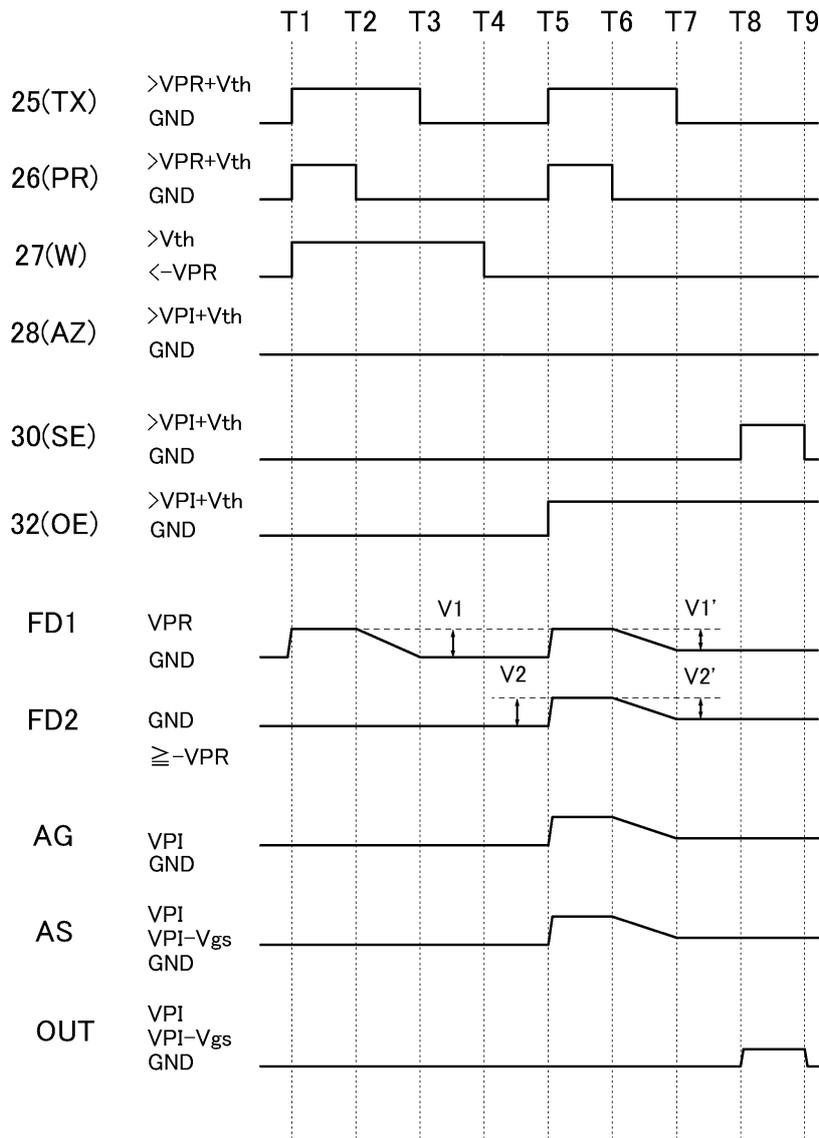
도면39



도면40



도면41



도면42

