



(12)发明专利申请

(10)申请公布号 CN 108550574 A

(43)申请公布日 2018.09.18

(21)申请号 201810415320.1

(22)申请日 2018.05.03

(71)申请人 长江存储科技有限责任公司

地址 430205 湖北省武汉市洪山区东湖开  
发区关东科技工业园华光大道18号  
7018室

(72)发明人 夏季 吕震宇 夏志良 华文字

戴晓望 刘念 张中 李艳妮

(74)专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51)Int. Cl.

H01L 27/115(2017.01)

H01L 27/11514(2017.01)

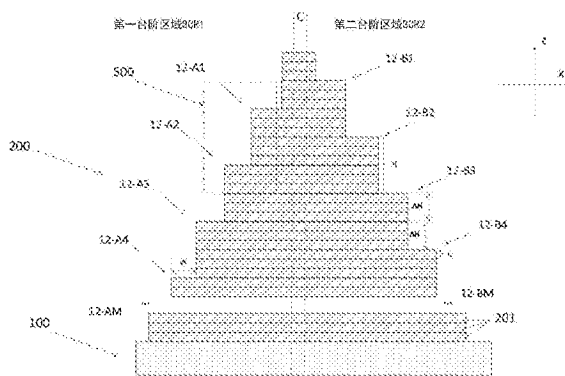
权利要求书2页 说明书9页 附图15页

(54)发明名称

三维存储器件及其制造方法

(57)摘要

本发明涉及三维存储器件及其制造方法。公开了一种三维存储器件,其包括:衬底,具有衬底表面;存储阵列区域,形成在所述衬底上,由导体层和绝缘层交替堆叠形成的等级层堆栈构成;所述存储阵列区域包括核心区域以及分别位于所述核心区域两侧的第一台阶区域和第二台阶区域,所述核心区域用于形成存储单元;所述第一台阶区域和所述第二台阶区域具有阶梯状结构,且关于所述核心区域是非对称的。



1. 一种三维存储器件,其特征在于,包括:

衬底,具有衬底表面;

存储阵列区域,形成在所述衬底上,由导体层和绝缘层交替堆叠形成的等级层堆栈构成;所述存储阵列区域包括核心区域以及分别位于所述核心区域两侧的第一台阶区域和第二台阶区域,所述核心区域用于形成存储单元;所述第一台阶区域和所述第二台阶区域具有阶梯状结构,且关于所述核心区域是非对称的。

2. 如权利要求1所述的三维存储器件,其特征在于,所述第一台阶区域具有沿X方向延伸的M个第一台阶结构,所述第二台阶区域具有沿X方向延伸的M个第二台阶结构,沿Z方向对所述M个第一台阶结构从1到M顺序编号,沿Z方向以与所述第一台阶结构同样的方式对所述M个第二台阶结构从1到M顺序编号,所述M个第一台阶结构中的第i个第一台阶结构分别与所述M个第二台阶结构中的第i个第二台阶结构和第i+1个第二台阶结构沿Z方向具有高度差;其中,X方向平行于所述衬底表面,Z方向垂直于所述衬底表面, $i=1, \dots, M$ 。

3. 如权利要求2所述的三维存储器件,其特征在于,所述M个第一台阶结构中的每一个第一台阶结构具有沿Y方向延伸的N个第一子台阶,所述M个第二台阶结构中的每一个第二台阶结构具有沿Y方向延伸的N个第二子台阶;其中,Y方向平行于所述衬底表面且与所述X方向垂直。

4. 如权利要求3所述的三维存储器件,其特征在于,第i个第一台阶结构的第j个第一子台阶具有厚度 $h_{i1j}$ ,第i+1个第二台阶结构的第j个第二子台阶具有厚度 $h_{(i+1)2j}$ ,所述第i个第一台阶结构的厚度为 $\sum_{j=1}^N (h_{i1j} + h_{(i+1)2j})$ 。

5. 如权利要求3所述的三维存储器件,其特征在于,第i个第一台阶结构的第j个第一子台阶具有厚度 $h_{i1j}$ ,第i个第二台阶结构的第j个第二子台阶具有厚度 $h_{i2j}$ ,第i个第一台阶结构与第i个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i2j}$ ,第i个第一台阶结构与第i+1个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i1j}$ 。

6. 如权利要求3所述的三维存储器件,其特征在于,所述第一子台阶和所述第二子台阶均包含一个导体层和一个绝缘层;所述N个第一子台阶中,靠近所述衬底的第一子台阶沿Y方向延伸超出远离所述衬底的第一子台阶的两端;所述N个第二子台阶中,靠近所述衬底的第二子台阶沿Y方向延伸超出远离所述衬底的第二子台阶的两端。

7. 如权利要求6所述的三维存储器件,其特征在于,所述N个第一子台阶中的每一个在X方向上具有相同的宽度;所述N个第二子台阶中的每一个在X方向上具有相同的宽度。

8. 如权利要求7所述的三维存储器件,其特征在于,对于所述N个第一子台阶中的每一个,其未被其他第一子台阶覆盖的面积相等。

9. 一种三维存储器件的制造方法,包括:

提供衬底,所述衬底具有衬底表面;

在所述衬底上设置由第一绝缘层与第二绝缘层交替堆叠形成的等级层堆栈构成的存储阵列区域;

在所述存储阵列区域定义核心区域和位于所述核心区域两侧的第一台阶区域和第二台阶区域;

在所述第一台阶区域形成多个第一台阶结构,在所述第二台阶区域形成多个第二台阶结构;

所述第一台阶结构和所述第二台阶结构关于所述核心区域是非对称的。

10. 如权利要求9所述的制造方法,其特征在于,所述在所述第一台阶区域形成多个第一台阶结构,在所述第二台阶区域形成多个第二台阶结构的步骤进一步包括:

形成第一掩模;

通过修整/蚀刻工艺,多次修整所述第一掩模,在所述第一台阶区域形成沿Y方向延伸的N个第一子台阶,在所述第二台阶区域形成沿Y方向延伸的N个第二子台阶;其中,Y方向平行于所述衬底表面。

11. 如权利要求10所述的制造方法,其特征在于,沿Z方向对所述N个第一子台阶从1到N顺序编号,沿Z方向以与所述第一子台阶同样的方式对所述N个第二子台阶从1到N顺序编号;所述N个第二子台阶中的第j个第二子台阶具有厚度 $h_{2j}$ ,所述N个第一子台阶中的第j个第一子台阶与所述N个第二子台阶中的第j个第二子台阶具有高度差 $\sum_{j=1}^N h_{2j}$ 。

12. 如权利要求10或11所述的制造方法,其特征在于,所述在所述第一台阶区域形成多个第一台阶结构,在所述第二台阶区域形成多个第二台阶结构的步骤进一步包括:

形成第二掩模;

通过修整/蚀刻工艺,多次修整第二掩模,在所述第一台阶区域形成沿X方向延伸的M个第一台阶结构,在所述第二台阶区域形成沿X方向延伸的M个第二台阶结构;其中,X方向平行于所述衬底表面且与所述Y方向垂直。

13. 如权利要求12所述的制造方法,其特征在于,第i个第一台阶结构的第j个第一子台阶具有厚度 $h_{i1j}$ ,第i个第二台阶结构的第j个第二子台阶具有厚度 $h_{i2j}$ ,第i个第一台阶结构与第i个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i2j}$ ,第i个第一台阶结构与第i+1个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i1j}$ ;其中, $i=1, \dots, M$ 。

## 三维存储器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体制造领域,更具体地涉及三维存储器件及其制造方法。

### 背景技术

[0002] NAND闪存是一种比硬盘驱动器更好的存储设备,随着人们追求功耗低、质量轻和性能佳的非易失存储产品,在电子产品中得到了广泛的应用。目前,平面结构的NAND闪存已近实际扩展的极限,为了进一步的提高存储容量,降低每比特的存储成本,提出了3D结构的NAND存储器。与2D结构的NAND存储器类似,3D结构的NAND存储器总体上包括外围区域以及具有核心区域和台阶区域的存储阵列区域,支持存储单元的电路形成在外围区域中,存储单元形成在核心区域中,台阶区域用于提供触点以连接字线。3D结构的NAND存储器与2D结构的NAND存储器的不同之处在于,三维存储器采用垂直堆叠多层数据存储单元的方式,实现了存储单元的立体式堆叠,其在同等体积下提供更多的存储空间而成为业界的焦点。

[0003] 三维存储器多采用垂直堆叠多层数据单元的方式形成存储结构,为了保证导电接触(CT)能顺利连到阵列区域中的栅极,需要形成如前所提到的台阶区域。目前存在一种台阶区域分布在核心区域两侧的存储阵列区域架构。但是随着三维层数的增加,这样的架构遇到了挑战,主要的问题是:(1)需要的修整/蚀刻(Trim/Etch)的工艺增加带来的成本急剧上升,且由于层多而导致生产周期长;(2)每个台阶上需要有金属接触结构,随着厚度的上升,台阶结构区的面积逐渐增加,造成了芯片制造成本的上升;(3)由于台阶区域分布在核心区域两侧,存在一般不需要接出CT的“未利用区域”(下文中称为“dummy台阶(虚设台阶)”),所以两侧台阶区域的利用率大约只有50%。

[0004] 因此,非常需要一种改进的台阶区域结构。

### 发明内容

[0005] 本发明的目的在于克服现有技术中的上述和/或其他的问题,特别是能够减小dummy台阶区的面积以获得更大的核心区域,从而增加存储单元的数量;同时期望在形成三维存储器件的工艺中,减少掩模的数量,从而缩短产品生产周期。

[0006] 因此,本发明的示例性实施例提供了一种三维存储器件,其包括:衬底,具有衬底表面;存储阵列区域,形成在所述衬底上,由导体层和绝缘层交替堆叠形成的等级层堆栈构成;所述存储阵列区域包括核心区域以及分别位于所述核心区域两侧的第一台阶区域和第二台阶区域,所述核心区域用于形成存储单元;所述第一台阶区域和所述第二台阶区域具有阶梯状结构,且关于所述核心区域是非对称的。

[0007] 较佳地,所述第一台阶区域具有沿X方向延伸的M个第一台阶结构,所述第二台阶区域具有沿X方向延伸的M个第二台阶结构,沿Z方向对所述M个第一台阶结构从1到M顺序编号,沿Z方向以与所述第一台阶结构同样的方式对所述M个第二台阶结构从1到M顺序编号,所述M个第一台阶结构中的第i个第一台阶结构分别与所述M个第二台阶结构中的第i个第二台阶结构和第i+1个第二台阶结构沿Z方向具有高度差;其中,X方向平行于所述衬底表

面, Z方向垂直于所述衬底表面,  $i=1, \dots, M$ 。

[0008] 较佳地, 所述M个第一台阶结构中的每一个第一台阶结构具有沿Y方向延伸的N个第一子台阶, 所述M个第二台阶结构中的每一个第二台阶结构具有沿Y方向延伸的N个第二子台阶; 其中, Y方向平行于所述衬底表面且与所述X方向垂直。

[0009] 较佳地, 第i个第一台阶结构的第j个第一子台阶具有厚度 $h_{i1j}$ , 第i+1个第二台阶结构的第j个第二子台阶具有厚度 $h_{(i+1)2j}$ , 所述第i个第一台阶结构的厚度为 $\sum_{j=1}^N (h_{i1j} + h_{(i+1)2j})$ 。

[0010] 较佳地, 第i个第一台阶结构的第j个第一子台阶具有厚度 $h_{i1j}$ , 第i个第二台阶结构的第j个第二子台阶具有厚度 $h_{i2j}$ , 第i个第一台阶结构与第i个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i2j}$ , 第i个第一台阶结构与第i+1个第二台阶结构沿Z方向具有高度差 $\sum_{j=1}^N h_{i1j}$ 。

[0011] 较佳地, 所述第一子台阶和所述第二子台阶均包含一个导体层和一个绝缘层; 所述N个第一子台阶中, 靠近所述衬底的第一子台阶沿Y方向延伸超出远离所述衬底的第一子台阶的两端; 所述N个第二子台阶中, 靠近所述衬底的第二子台阶沿Y方向延伸超出远离所述衬底的第二子台阶的两端。

[0012] 较佳地, 所述N个第一子台阶中的每一个在X方向上具有相同的宽度; 所述N个第二子台阶中的每一个在X方向上具有相同的宽度。

[0013] 较佳地, 对于所述N个第一子台阶中的每一个, 其未被其他第一子台阶覆盖的面积相等。

[0014] 根据本发明的另一示例性实施例, 提供了一种三维存储器件的制造方法, 包括: 提供衬底, 所述衬底具有衬底表面; 在所述衬底上设置由第一绝缘层与第二绝缘层交替堆叠形成的等级层堆栈构成的存储阵列区域; 在所述存储阵列区域定义核心区域和位于所述核心区域两侧的第一台阶区域和第二台阶区域; 在所述第一台阶区域形成多个第一台阶结构, 在所述第二台阶区域形成多个第二台阶结构; 所述第一台阶结构和所述第二台阶结构关于所述核心区域是非对称的。

[0015] 较佳地, 所述在所述第一台阶区域形成多个第一台阶结构, 在所述第二台阶区域形成多个第二台阶结构的步骤进一步包括: 形成第一掩模; 通过修整/蚀刻工艺, 多次修整所述第一掩模, 在所述第一台阶区域形成沿Y方向延伸的N个第一子台阶, 在所述第二台阶区域形成沿Y方向延伸的N个第二子台阶; 其中, Y方向平行于所述衬底表面。

[0016] 较佳地, 沿Z方向对所述N个第一子台阶从1到N顺序编号, 沿Z方向以与所述第一子台阶同样的方式对所述N个第二子台阶从1到N顺序编号; 所述N个第二子台阶中的第j个第二子台阶具有厚度 $h_{2j}$ , 所述N个第一子台阶中的第j个第一子台阶与所述N个第二子台阶中的第j个第二子台阶具有高度差 $\sum_{j=1}^N h_{2j}$ 。

[0017] 较佳地, 所述在所述第一台阶区域形成多个第一台阶结构, 在所述第二台阶区域形成多个第二台阶结构的步骤进一步包括: 形成第二掩模; 通过修整/蚀刻工艺, 多次修整第二掩模, 在所述第一台阶区域形成沿X方向延伸的M个第一台阶结构, 在所述第二台阶区域形成沿X方向延伸的M个第二台阶结构; 其中, X方向平行于所述衬底表面且与所述Y方向

垂直。

[0018] 较佳地,第*i*个第一台阶结构的第*j*个第一子台阶具有厚度 $h_{i1j}$ ,第*i*个第二台阶结构的第*j*个第二子台阶具有厚度 $h_{i2j}$ ,第*i*个第一台阶结构与第*i*个第二台阶结构沿*Z*方向具有高度差 $\sum_{j=1}^N h_{i2j}$ ,第*i*个第一台阶结构与第*i+1*个第二台阶结构沿*Z*方向具有高度差 $\sum_{j=1}^N h_{i1j}$ ;其中, $i=1, \dots, M$ 。

[0019] 通过下面的详细描述、附图以及权利要求,其他特征和方面会变得清楚。

### 附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,其中:

[0021] 图1示出了一种阶梯区域;

[0022] 图2示出了一种台阶区域分布在核心区域两侧的存储阵列区域架构的示意性框图;

[0023] 图3示出了一种台阶区域分布在核心区域两侧的存储阵列区域架构的示意性侧视图;

[0024] 图4为根据本发明示例性实施例的三维存储器件的侧视图;

[0025] 图5示出了图4中的点虚线框500所包括的一个半第一台阶结构12的立体等距视图,其中示出了 $N=3$ 的情况;

[0026] 图6为根据本发明示例性实施例的三维存储器件的俯视图;

[0027] 图7示出了根据本发明示例性实施例的非对称台阶区域布置的示意性框图;

[0028] 图8描述了根据本发明示例性实施例的三维存储器件的制造方法;

[0029] 图9A示出了形成一种64层三维存储器件的三分区对称台阶区域所使用的掩模SC1、SC2、SDP;

[0030] 图9B示出了形成根据本发明示例性实施例的64层三维存储器件的六分区非对称台阶区域所使用的掩模SC1、SC2、SDP;

[0031] 图10A示出了形成一种64层三维存储器件的三分区对称台阶区域所使用的掩模SC3、SC4、SC5和SC6;以及

[0032] 图10B示出了形成根据本发明示例性实施例的64层三维存储器件的六分区非对称台阶区域所使用的掩模SC3、SC4。

[0033] 图11A-11E分别示出了根据本发明的示例性方法利用SC1、SC2、SDP、SC3和SC4五张掩模所形成的示例性三维存储器件的示意图。

### 具体实施方式

[0034] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0035] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以

采用其他不同于在此描述的其它方式来实现,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0036] 而且,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0037] 一种三维存储器(例如,3D NAND闪存)制造方法中,通过修整掩模、蚀刻绝缘叠层的重复动作,以暴露常规的三维存储器的每层绝缘材料和导电材料,在每层导电材料上形成触点以连接字线,从而形成常规阶梯结构。图1示出了这样一种常规的阶梯区域。注意,在图1中仅示出核心区域一侧的台阶区域结构10,由于两侧台阶区域结构关于核心区域是镜像对称的,因此为了简明起见未示出另一侧台阶区域。为了减少台阶面积,已经提出了一种分区的台阶结构(staircase divide Scheme, SDS)。通过在Y方向(即平行于衬底表面的方向)的分区设计,可以至少将台阶区的面积减半(2分区),实现成本的降低。另外,还可以实现Y方向的更多分区,例如3分区、4分区等等。

[0038] 上述Y方向的分区设计虽然在一定程度上减少了台阶区的面积,但还是没有解决两侧台阶区域结构的利用率较低(大约50%)的问题,而且随着三维存储器层数的增加,dummy台阶(如图2-3所示)所占的面积也随之增大,浪费了晶片上的宝贵区域。例如,在64层三维存储器的情况下,单侧台阶区域长度L大约为 $23\mu\text{m}$ ,存在长度同样大约为 $23\mu\text{m}$ 的dummy台阶区。另外,在形成台阶区域的过程中,对于每一个台阶都有相对应的平坦化(PH)、蚀刻、去胶(ASHER)以及湿法蚀刻等步骤,工艺周期长且成本较高。

[0039] 为了提高台阶利用率以节约晶片上的面积留给核心区域,同时降低成本,本发明实施例提供了一种新型的三维存储器件,其包括:衬底,具有衬底表面;以及形成在所述衬底上的存储阵列区域,所述存储阵列区域由导体层和绝缘层交替堆叠形成的等级层堆栈构成,其中所述存储阵列区域包括核心区域和分别位于核心区域两侧的第一台阶区域和第二台阶区域,所述核心区域用于形成沿垂直于衬底的方向贯穿所述等级层堆栈的存储串,所述第一台阶区域和所述第二台阶区域关于所述核心区域是非对称的,用于将导电层电性引出。在该新型三维存储器件中,由于第一台阶区域与第二台阶区域关于核心区域是非对称的,因此都可以用来接出CT以连接字线,从而相比对称的台阶区域分布在核心区域两侧的存储阵列区域架构具有较小的dummy台阶区和更大的核心区域,即增加了存储单元的数量。同时在形成这种新型三维存储器件的工艺中,掩模板的数量也比传统工艺中所使用的数量要少,缩短了产品生产周期。

[0040] 下面结合附图详细描述根据本发明实施例提供的三维存储器件。

[0041] 图4为根据本发明示例性实施例的三维存储器件的侧视图。

[0042] 如图4所示,本发明所提供的三维存储器件包括:衬底100;以及形成在所述衬底100上的存储阵列区域,所述存储阵列区域由导体层和绝缘层交替堆叠形成的等级层堆栈200构成,其中所述存储阵列区域包括核心区域C和分别位于核心区域C两侧的第一台阶区域SCR1和第二台阶区域SCR2,所述第一台阶区域SCR1和所述第二台阶区域SCR2具有阶梯状结构,且关于所述核心区域是非对称的。

[0043] 在本发明的一个实施例中,衬底100为半导体衬底,例如可以为Si衬底、Ge衬底、SiGe衬底、SOI(绝缘体上硅,Silicon On Insulator)或GOI(绝缘体上锗,Germanium On

Insulator)等。在其他实施例中,所述半导体衬底还可以为包括其他元素半导体或化合物半导体的衬底,例如GaAs、InP或SiC等,或者可以为叠层结构,例如Si/SiGe等,或是其他外延结构,例如SGOI(绝缘体上锗硅)等。在本发明的示例性实施例中,衬底100为体硅衬底,三维存储器件为3D NAND闪存器件。可选地,在衬底100中形成有源区。

[0044] 为了简明起见,图4中未单独示出每一层导电层和绝缘层,而是用单个层结构代表由单个导电层和单个绝缘层构成的导电/绝缘叠层。例如,组合层201包括三个层结构,每个层结构分别由一个导电层和一个绝缘层构成。

[0045] 在一些实施例中,等级层堆栈200中一个位置的导电层与另一位置的导电层由不同的材料制成和/或具有不同的厚度;在一些实施例中,等级层堆栈200中一个位置的绝缘层与另一位置的绝缘层由不同的材料制成和/或具有不同的厚度。例如,等级层堆栈中一个位置的导电/绝缘叠层中的绝缘层的厚度为5-40nm,导电层的厚度为5-40nm;另一位置的导电/绝缘叠层中的绝缘层的厚度为10-40nm,导电层的厚度为10-40nm;又一位置的导电/绝缘叠层中的绝缘层的厚度为50-200nm,导电层的厚度为5-40nm。

[0046] 在一些实施例中,导体层由导电材料制成,可以为钨、钴、铜、铝、掺杂硅和金属硅化物中的一种或多种的组合,也可以为其他合适的材料。绝缘层由绝缘材料制成,可以为氧化硅、氮化硅和氮氧化硅中的一种或多种的组合,也可以为其他合适的材料。

[0047] 在一些实施例中,在所述核心区域C,形成有沿垂直于衬底的方向贯穿所述等级层堆栈的存储串(图中未示出,以简化图形结构)。所述存储串包括半导体通道层和介质层。在一些实施例中,半导体通道层由非晶硅、多晶硅或单晶硅制成。在一些实施例中,介质层包括隧道层、存储单元层和阻隔层。在一些实施例中,所述隧道层包括绝缘材料,包括但不限于氧化硅、氮化硅或氮氧化硅,或者上述材料的组合。在一些实施例中,隧道层的厚度为5-15nm,半导体通道中的电子或空穴可以通过这层隧道层隧穿至NAND串的存储单元层中。在一些实施例中,存储单元层可以用于存储操作NAND的电荷,存储单元层中的电荷的存储或是移除决定了半导体通道的开关状态。存储单元层的材料包括但不限于氮化硅、氮氧化硅或硅,或者以上材料的组合。在一些实施例中,存储单元层的厚度为3-15nm。在一些实施例中,阻隔层材料为氧化硅、氮化硅或高介电常数绝缘材料,或者多种以上材料的组合。例如一个氧化硅层或一个包含氧化硅/氮化硅/氧化硅(ONO)三层的厚度为4-15nm的复合层。在一些实施例中,阻隔层可以进一步包括一个高K介电层(例如厚度为1-5nm的氧化铝)。

[0048] 在一些实施例中,等级层堆栈200中的导体层用作多个NAND串的选择门或字线。在一些实施例中,等级层堆栈200中的导体层用作NAND串的字线。在一些实施例中,等级层堆栈200中的形成在NAND串的一端的导体层用作NAND串的源极选择门。在一些实施例中,等级层堆栈200中的形成在NAND串的另一端的导体层用作NAND串的漏极选择门。

[0049] 在图4所示的侧视图中,第一台阶区域SCR1和第二台阶区域SCR2在X方向上呈阶梯状。具体地,第一台阶区域SCR1在X方向上具有M个第一台阶结构,第二台阶区域SCR2在X方向上具有M个第二台阶结构,其中M为大于1的整数。如图4所示,第一台阶区域SCR1中的M个第一台阶结构由附图标记12-A<sub>i</sub>( $i=1, \dots, M$ )指示,即12-A<sub>1</sub>、12-A<sub>2</sub>、……、12-A<sub>M</sub>,第二台阶区域SCR2中的M个第二台阶结构由附图标记12-B<sub>i</sub>( $i=1, \dots, M$ )指示,即12-B<sub>1</sub>、12-B<sub>2</sub>、……、12-B<sub>M</sub>。

[0050] 从图4中可见,第一台阶区域的第i个第一台阶结构12-A<sub>i</sub>与所述第二台阶区域的



第 $i$ 或第 $i+1$ 个第二台阶结构12-B $i$ 或12-B( $i+1$ )具有高度差 $\Delta H$ 。例如,第一台阶区域的第1个第一台阶结构12-A1与第二台阶区域的第1或第2个第二台阶结构12-B1或12-B2具有高度差 $\Delta H$ ;第一台阶区域的第2个第一台阶结构12-A2与第二台阶区域的第2或第3个第二台阶结构12-B2或12-B3具有高度差 $\Delta H$ 。

[0051] 需要说明的是,虽然第一台阶区域SCR1和第二台阶区域SCR2中的每一个第一台阶结构和第二台阶结构在图4中示出为包含6层导电/绝缘叠层(即包含导电层和绝缘层共12层),但这样的结构仅作为示例而非限制性的。可以构想到,每一个第一台阶结构和第二台阶结构可以包含4层、6层、8层或更多的导电/绝缘叠层。

[0052] 在本发明的一个实施例中,第一台阶区域和所述第二台阶区域的相应的 $M$ 个第一台阶结构和第二台阶结构在 $Y$ 方向上分别具有 $N$ 个子台阶。如此,可以在每一个子台阶上形成触点以连接导电层(例如字线)。

[0053] 参见图5-图6。图5示出了图4中的点虚线框500所包括的一个半第一台阶结构的立体等距视图,其中示出了 $N=3$ 的情况。图6为根据本发明示例性实施例的三维存储器件的俯视图。

[0054] 具体地,第一台阶区域和第二台阶区域的相应的 $M$ 个第一台阶结构和第二台阶结构在 $Y$ 方向上分别具有3个子台阶1/2/3。在上下文中,规定第一台阶结构和第二台阶结构具有相同高度的子台阶为同一子台阶,因此不另作区分。

[0055] 图5示出了3分区(如上所述)设计的子台阶结构的一种情况,其中在中心处的子台阶用附图标记1指示,在子台阶1两侧的具有相同高度的子台阶用附图标记2指示,在子台阶2两侧的具有相同高度的子台阶用附图标记3指示。在此情况下,子台阶1/2/3在 $Y$ 方向上关于子台阶1的中心镜像对称,换言之,在 $Y$ 方向上,子台阶2和3以子台阶1为中心向相反的方向都呈阶梯状。然而,也可以构想子台阶1/2/3在 $Y$ 方向上不镜像对称,而是沿着 $Y$ 方向依次递增或递减高度,换言之,在 $Y$ 方向上,子台阶1/2/3可以沿单一方向呈阶梯状。例如,在本发明的可选实施例中,以图5的子台阶的中心沿 $XZ$ 平面截取的立体结构就可以是第一台阶结构的子台阶的可选布置方式。

[0056] 需要说明的是,虽然每个第一台阶结构在图5中示出为包含3个子台阶,但这样的结构仅作为示例而非限制性的。可以构想到,每一个第一台阶结构12可以包含2个、3个、4个、5个或更多个子台阶。

[0057] 在本发明的实施例中, $N$ 个子台阶结构中的每一个子台阶由一个导电/绝缘叠层构成,包含一层导电层和与所述导电层相邻的一层绝缘层并且具有厚度 $h$ ,所述 $M$ 个第一台阶结构中的每一个第一台阶结构具有厚度 $2N \times h$ ,所述 $M$ 个第二台阶结构中的每一个第二台阶结构具有厚度 $2N \times h$ 。同时,第一台阶区域的第 $i$ 个第一台阶结构12-A $i$ 与所述第二台阶区域的第 $i$ 或 $i+1$ 个第二台阶结构12-B $i$ 或12-B( $i+1$ )具有高度差 $\Delta H=N \times h$ 。第一台阶区域的第 $i$ 个第一台阶结构的第 $j$ 个子台阶与所述第二台阶区域的第 $i$ 个第二台阶结构的第 $j$ 个子台阶也具有高度差 $\Delta H=N \times h$ ,其中, $j=1, \dots, N$ 。

[0058] 应当指出,所述厚度 $h$ 仅用于表示由单个导电层和单个绝缘层堆叠构成的导电/绝缘叠层的厚度,但这并不代表 $h$ 的取值恒定或者唯一。如前所述,在一些实施例中,等级层堆栈200中存在不同厚度的导电层以及不同厚度的绝缘层。更进一步地,在一些实施例中,等级层堆栈200中存在不同厚度的导电/绝缘叠层。也就是说,在一些实施例中, $h$ 的取值会随

着其所表示的导电/绝缘叠层的厚度的变化而变化。

[0059] 在图4和图5所示的 $N=3$ 的示例中,每一个第一台阶结构和第二台阶结构(12-Ai/12-Bi)的厚度 $H$ 为 $6h$ 。在此情况下,第一台阶区域的第 $i$ 个第一台阶结构12-Ai与所述第二台阶区域的第 $i$ 或 $i+1$ 个第二台阶结构12-Bi或12-B( $i+1$ )具有高度差 $\Delta H=3h$ 。同时,第一台阶区域的第 $i$ 个第一台阶结构的第 $j$ ( $j=1/2/3$ )个子台阶与所述第二台阶区域的第 $i$ 或 $i+1$ 个第二台阶结构的第 $j$ 个子台阶也具有高度差 $\Delta H=3h$ 。

[0060] 可选地,对第一台阶区域的 $M$ 个第一台阶结构以及第二台阶区域的 $M$ 个第二台阶结构中的每一个,其具有的所有 $N$ 个子台阶在 $X$ 方向可以具有相同的宽度 $W$ ,但这并不是必须的。可选地,对第一台阶区域的 $M$ 个第一台阶结构以及第二台阶区域的 $M$ 个第二台阶结构中的每一个,其具有的所有 $N$ 个子台阶可以具有彼此大致相等的面积。例如,在图5和图6示出的 $N=3$ 的子台阶对称布置中, $S_1 \approx S_{2上}+S_{2下} \approx S_{3上}+S_{3下}$ 。

[0061] 图6示出了根据本发明示例性实施例的三维存储器件( $N=3$ )的示意性俯视图。由图可见,由于第一台阶区域SCR1和第二台阶区域SCR2是不对称的,即第一台阶区域SCR1中的每一个第一台阶结构的每一个子台阶与第二台阶区域SCR2中的每一个第二台阶结构的每一个子台阶均不在同一个平面上(即由不同的导电/绝缘叠层形成),所以可以实现台阶区域的6分区架构,如图6所示的第一分区、第二分区、第三分区、第四分区、第五分区和第六分区。由此,导电接触CT可以分别从第一台阶区域SCR1和第二台阶区域SCR2的不同分区中的子台阶接出以连接导电层(例如字线)。其他结构,例如台阶区域对称地分布在核心区域两侧的存储阵列区域架构,要想实现6分区架构,台阶区域在 $Y$ 方向需要具有6个子台阶,而且它的两个台阶区域中的一个dummy的,浪费了晶片上的宝贵空间。

[0062] 以上结合图4至图6描述了根据本发明示例性实施例的新型三维存储器件。参见图7,在相同层数三维存储堆叠的情况下,与台阶区域对称地分布在核心区域两侧的存储阵列区域架构(如图2所示)相比,该新型三维存储器件的单边台阶区域的长度 $l$ 得以减小( $l < L$ ),同时由于台阶区域的非对称性,导电接触(CT)可以从两侧接出,显著地提高了台阶区域的利用率,由此可以把节约出来的晶片区域留给核心区域中的存储单元。

[0063] 下面结合图8描述如上所述的新型三维存储器件的制造方法800。

[0064] 方法800包括:

[0065] 步骤802:提供衬底,所述衬底具有衬底表面;

[0066] 步骤804:在所述衬底上设置由第一绝缘层与第二绝缘层交替堆叠形成的等级层堆栈构成的存储阵列区域;其中,单个第一绝缘层和单个第二绝缘层构成绝缘叠层;

[0067] 步骤806:在所述存储阵列区域定义核心区域和位于所述核心区域两侧的第一台阶区域和第二台阶区域;

[0068] 步骤808:在所述核心区域形成沿垂直于衬底的方向贯穿所述等级层堆栈的存储串;在所述第一台阶区域形成多个第一台阶结构,在所述第二台阶区域形成多个第二台阶结构;所述第二台阶结构相对于所述第一台阶结构在沿垂直于所述衬底的方向上发生偏移。

[0069] 在一些实施例中,所述存储串在所述第一台阶结构和第二台阶结构之前形成;在一些实施例中,所述存储串在所述第一台阶结构和第二台阶结构之后形成。在本发明的一个实施例中,在所述第一台阶区域形成多个第一台阶结构,在所述第二台阶区域形成多个

第二台阶结构进一步包括:形成第一掩膜;通过修整/蚀刻工艺,多次修整第一掩膜,在核心区域两侧的第一台阶区域和第二台阶区域中沿Y方向分别形成N个厚度为h的子台阶,所述第一台阶区域的第j个子台阶与所述第二台阶区域的第j个子台阶具有高度差 $\Delta H=N \times h$ ;然后形成第二掩膜;通过修整/蚀刻工艺,多次修整第二掩膜,在核心区域两侧的第一台阶区域和第二台阶区域中沿X方向分别形成M个第一台阶结构和M个第二台阶结构,其中所述第一台阶区域的第i个第一台阶结构与所述第二台阶区域的第i个第二台阶结构具有高度差 $\Delta H=N \times h$ 。在相同层数三维存储堆叠的情况下,与台阶区域对称地分布在核心区域两侧的存储阵列区域架构(如图2所示)的制造方法相比,方法800减少了需要的掩膜数量,降低了成本,同时节省了工艺步骤,缩短了产品生产周期。

[0070] 与前述对三维存储器件的结构描述类似地,所述厚度h仅用于表示由单个第一绝缘层和单个第二绝缘层堆叠构成的绝缘叠层的厚度,但这并不代表h的取值恒定或者唯一。如前所述,在一些实施例中,等级层堆栈中存在不同厚度的第一绝缘层以及不同厚度的第二绝缘层。更进一步地,在一些实施例中,等级层堆栈中存在不同厚度的绝缘叠层。也就是说,在一些实施例中,h的取值会随着其所表示的绝缘叠层的厚度的变化而变化。在一些实施例中,第一绝缘层或第二绝缘层被替换为导体层。在一些实施例中,导电/绝缘叠层与其对应的绝缘叠层具有相同的厚度。在一些实施例中,利用干法和/或湿法刻蚀工艺,将第一绝缘层或第二绝缘层替换为导体层。

[0071] 后续形成三维存储器件的工艺是多样的,且为本领域技术人员所熟知,在此不再赘述。

[0072] 示例

[0073] 以下参照图9A-9B,以64层三维存储器件的三分区台阶结构作为示例,描述本发明示例性实施例的三维存储器件的制造方法800的技术优势。一种64层三维的三分区台阶结构是用7张掩模(SC1、SC2、SDP、SC3、SC4、SC5、SC6)来实现的,如上所述,由于层数较多且每层都需要对应的PH、蚀刻、去胶以及湿法蚀刻步骤,所以工艺周期长,成本高。此外,核心区域两侧台阶成镜像对称,单边长度 $23\mu\text{m}$ ,而导电接触CT只从一侧接出,有将近一半的台阶区域是dummy的,利用率很低(大约50%)。采用上述的新型的非对称的台阶设计,可以减少传统工艺流程中的两张掩模,降低成本,省去两层的修整/蚀刻步骤。

[0074] 具体地,图9A示出了形成一种64层三维存储器件的三分区对称台阶区域和所使用的掩模SC1、SC2、SDP;图9B示出了形成根据本发明实施例的新型64层三维存储器件的六分区非对称台阶区域所使用的掩模SC1、SC2、SDP。图10A示出了形成一种64层三维存储器件的三分区对称台阶区域和所使用的掩模SC3、SC4、SC5和SC6;图10B示出了形成根据本发明实施例的新型64层三维存储器件的六分区非对称台阶区域所使用的掩模SC3、SC4。从图中可见,通过对SC2~SC4作调整,省去了SC5和SC6。在具体工艺流程中,保持SC1的修整/蚀刻(Trim/Etch)操作不变,SC2的Trim/Etch操作由原先的trim 1次蚀刻2次变为trim 2次蚀刻3次,从图9A-9B的新SC2掩模可见,由于SC2扩展到了第二台阶区域SCR2中,第二台阶区域SCR2中的层堆叠不会被蚀刻掉N层(例如3层),而第一台阶区域SCR1中的层堆叠会被蚀刻掉N层,因此第一台阶区域SCR1中的层堆叠和第二台阶区域SCR2中的层堆叠会存在N层的高度差。SDP的Trim/Etch操作不变,即在SDP的过程中,trim 2次etch 3次,在第一台阶区域SCR1中形成4、5、6层子台阶,在第二台阶区域SCR2中形成1、2、3层子台阶。对SC3、SC4的Trim/

Etch操作进行调整,由原先的trim 5次、etch 6次、每次etch 3个绝缘叠层,改为trim 5次etch 6次、每次etch 6个绝缘叠层。

[0075] 图11A-11E分别示出了根据本发明的示例性方法利用SC1、SC2、SDP、SC3和SC4五张掩模所形成的示例性三维存储器件的示意图。特别地,如图11E所示,在核心区域C的各侧分别形成了两个台阶区,即第一左台阶区(SCR<sub>L1</sub>)、第二左台阶区(SCR<sub>L2</sub>)、第一右台阶区(SCR<sub>R1</sub>)和第二右台阶区(SCR<sub>R2</sub>)。第一左台阶区(SCR<sub>L1</sub>)和第一右台阶区(SCR<sub>R1</sub>)关于核心区域C是非对称的,第二左台阶区(SCR<sub>L2</sub>)和第二右台阶区(SCR<sub>R2</sub>)关于核心区域C是非对称的。注意,在核心区域C的各侧分别形成的台阶区的数量可以根据需要改变(诸如,通过修改掩模的尺寸和形状),而不仅限于图中的两个,因为附图仅用于说明而非限制性的。例如,在核心区域C的各侧分别形成的台阶区的数量可以是1个、2个、3个、4个、5个、6个或更多。

[0076] 从上述流程中可见,新型64层三维存储器件的六分区非对称台阶区域在形成工艺方面比传统工艺节约了掩模,相应减少了工艺步骤,并且在整体结构方面,减少了单边台阶的数量,即降低两侧台阶区域的长度。由于核心区域两侧台阶区域的非对称性,导电接触CT可以从两侧接出,显著减小了dummy台阶区,有效提高台阶区域面积利用率,进而增加存储单元的数量。

[0077] 虽然本发明已参照当前的具体实施例来描述,但是本技术领域中的普通技术人员应当认识到,以上的实施例仅是用来说明本发明,在没有脱离本发明精神的情况下还可做出各种等效的变化或替换,因此,只要在本发明的实质精神范围内对上述实施例的变化、变型都将落在本申请的权利要求书的范围内。

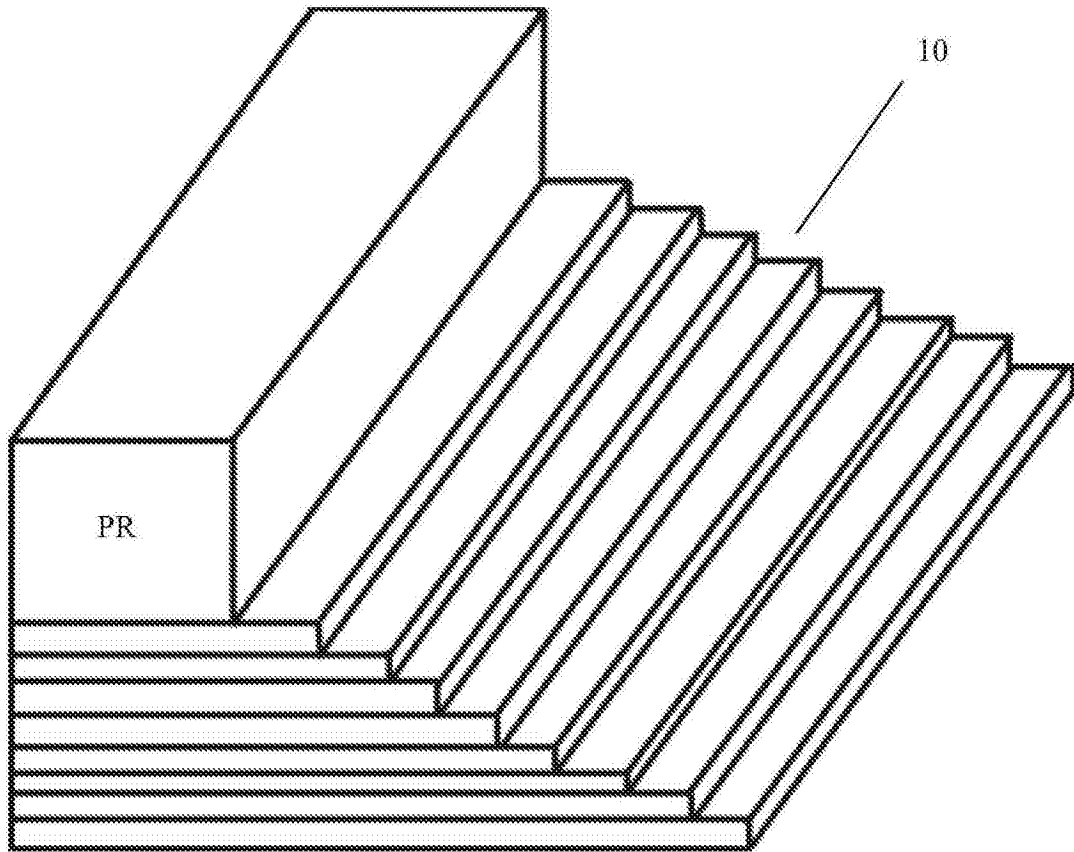


图1

阵列区域

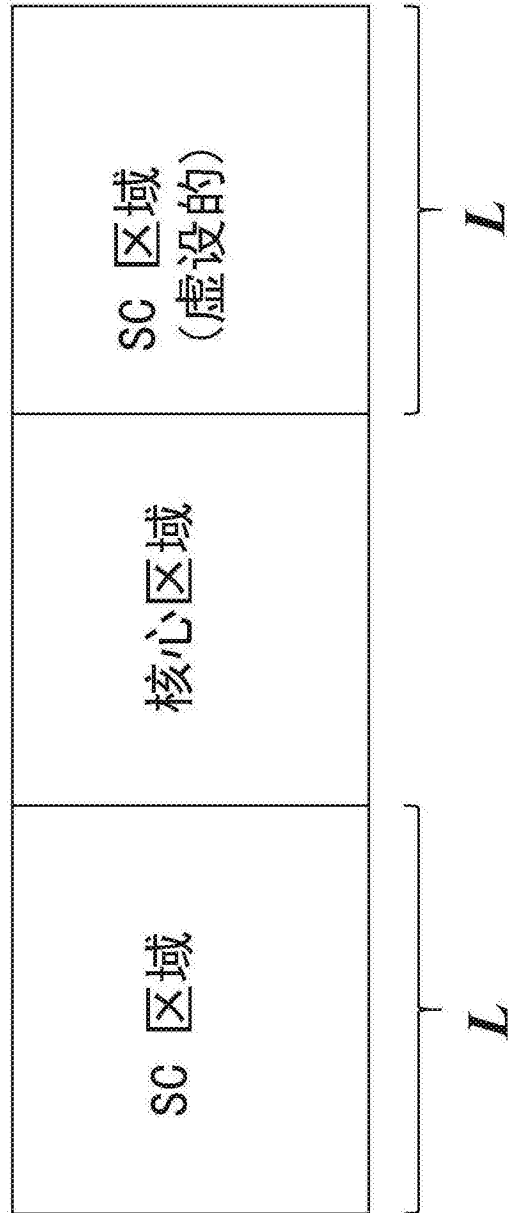


图2

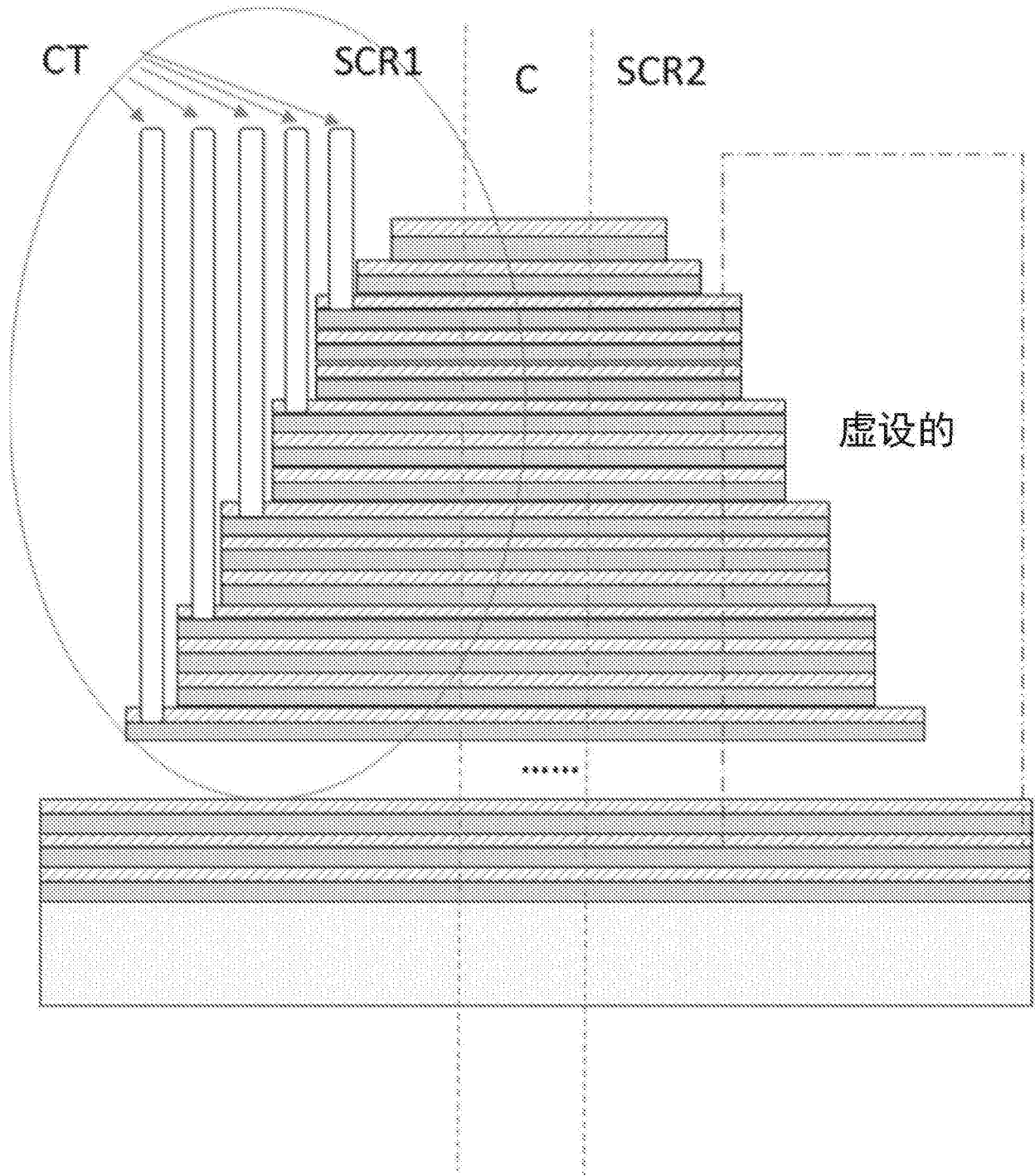


图3

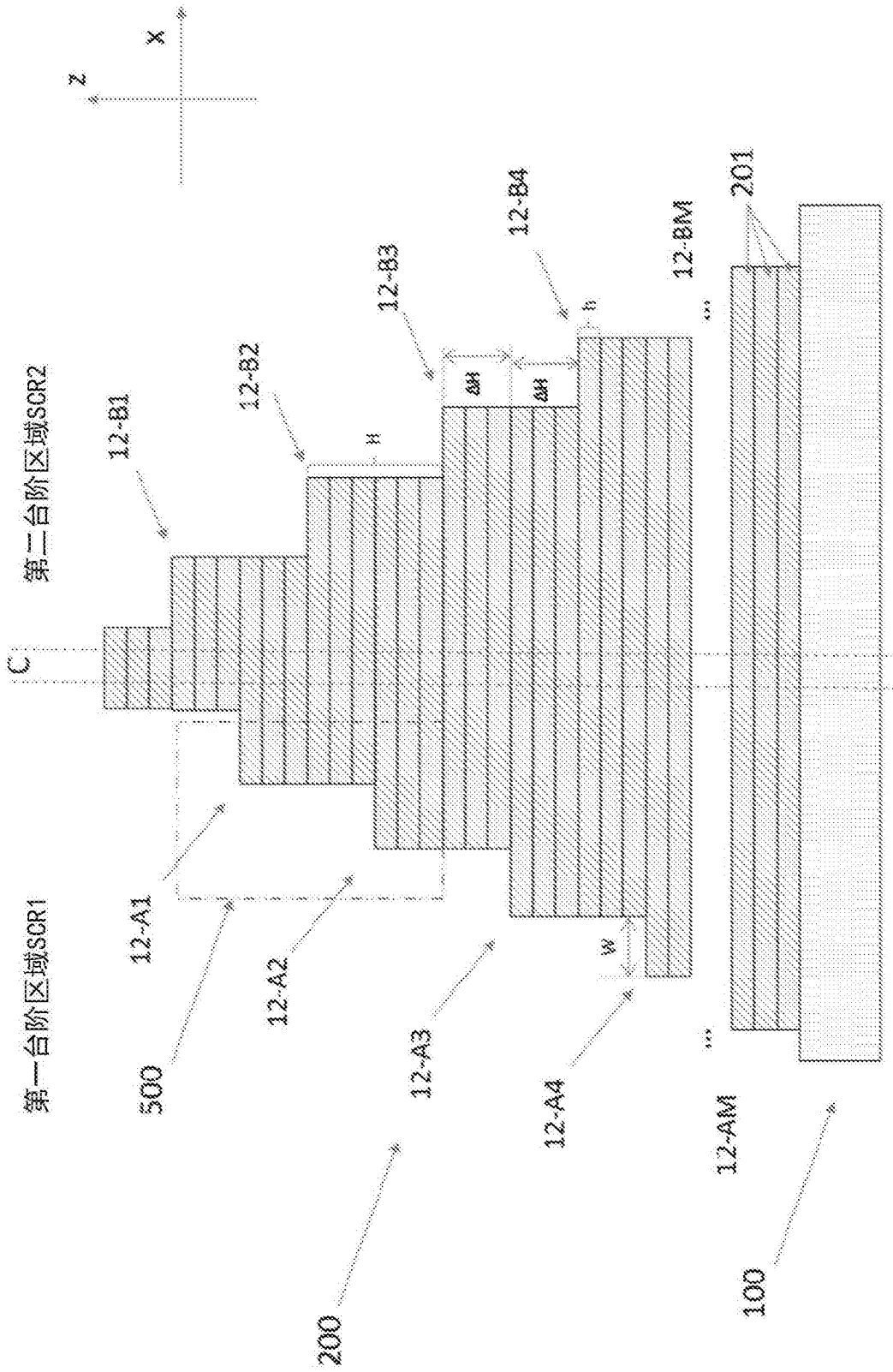


图4



500

$N=3$

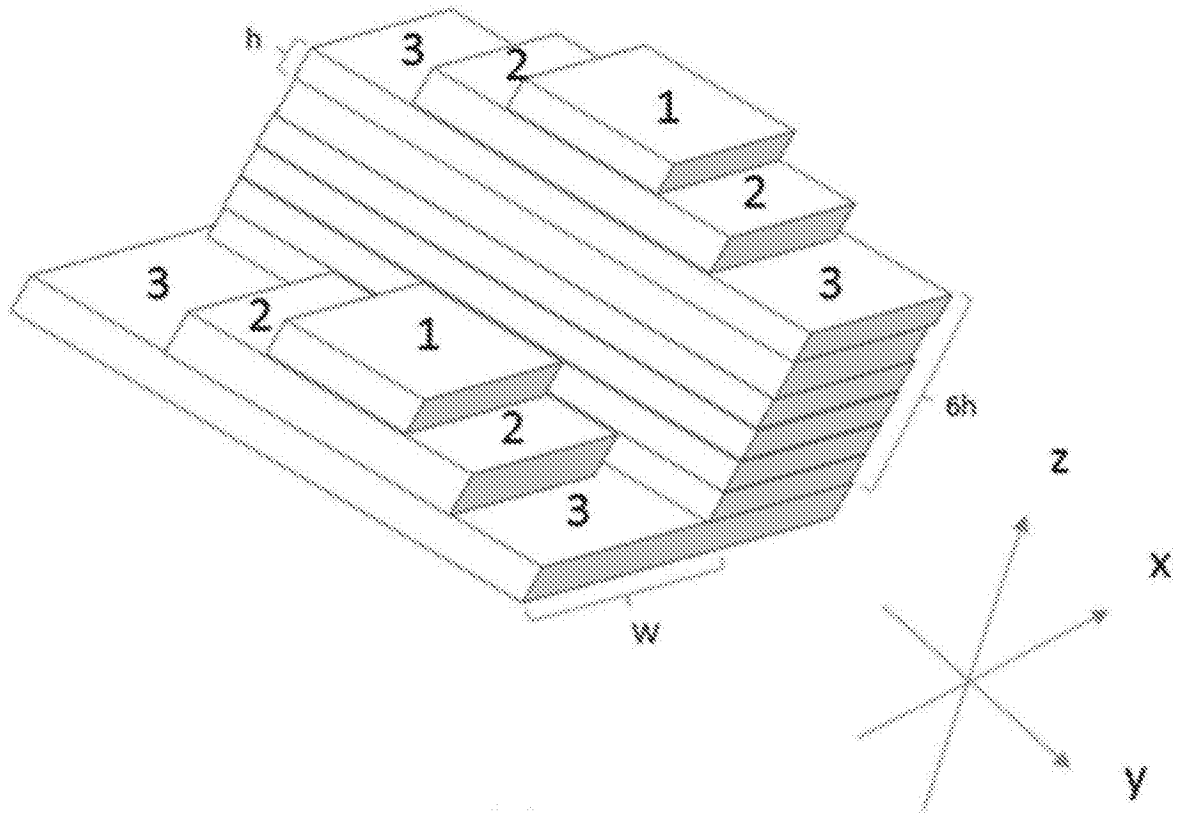


图5

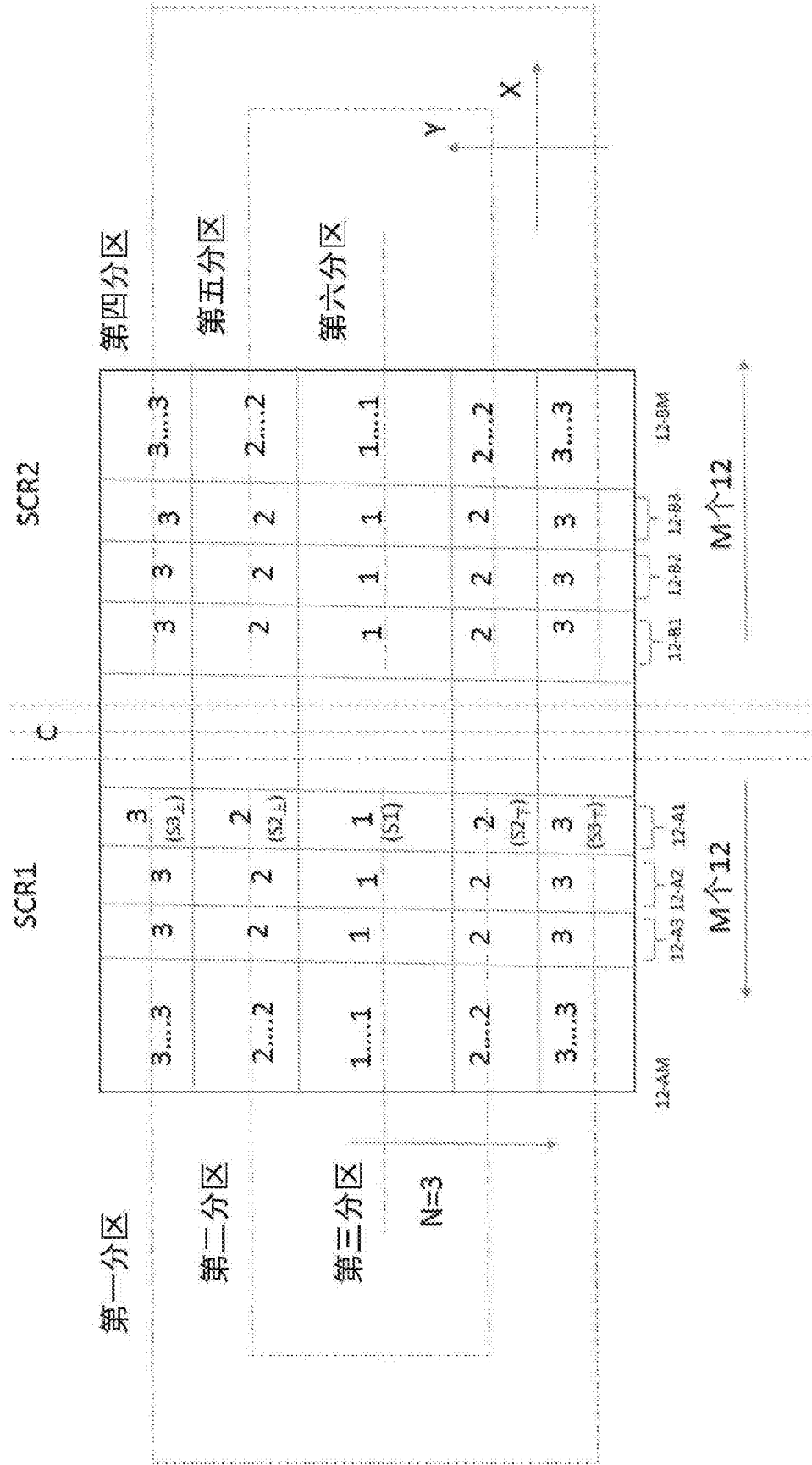


图6

### 阵列区域

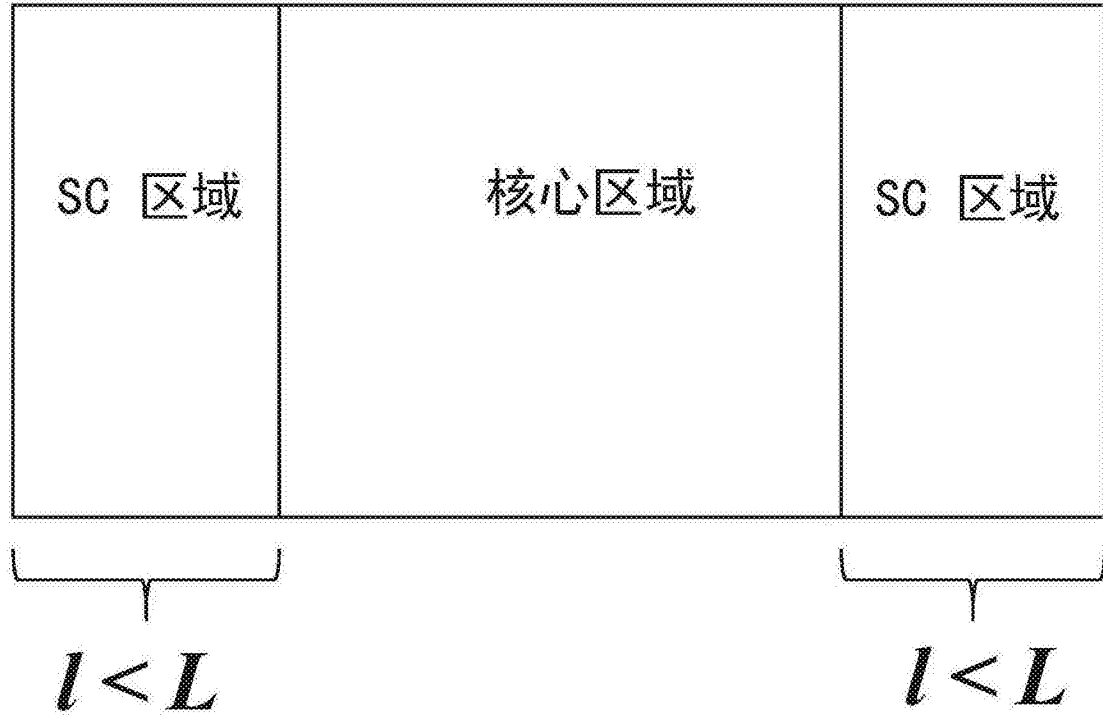


图7

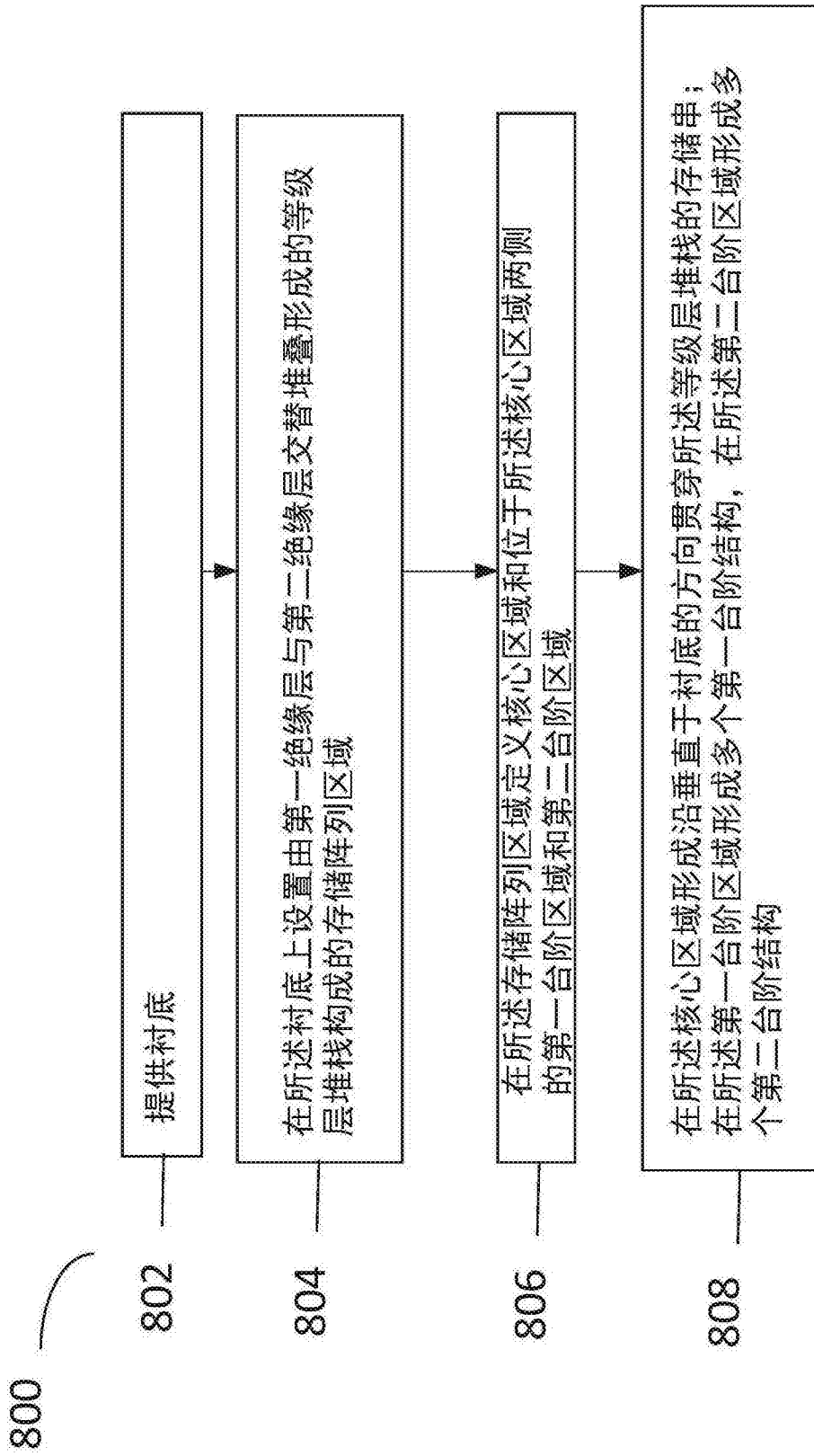


图8

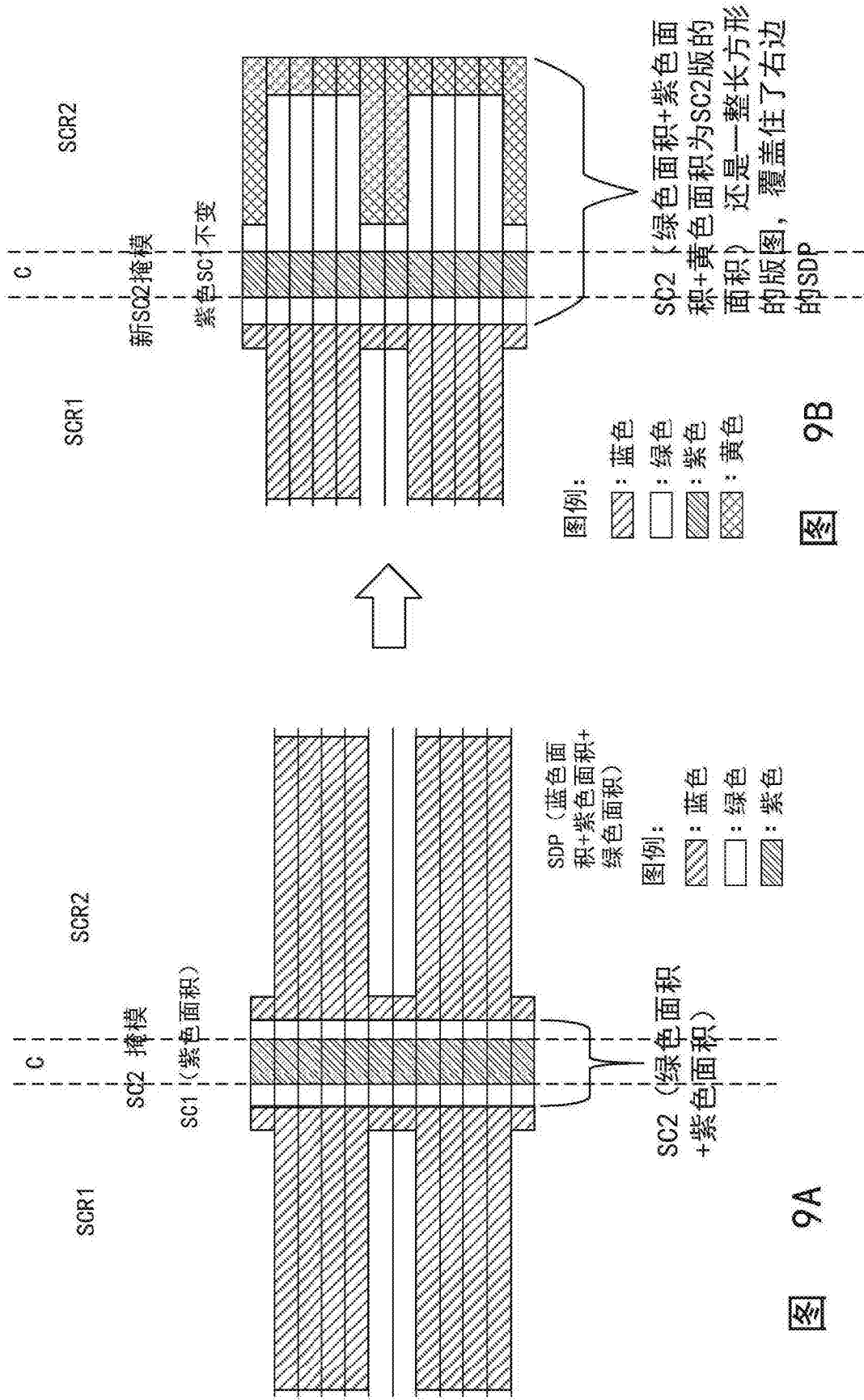


图 9A

图 9B

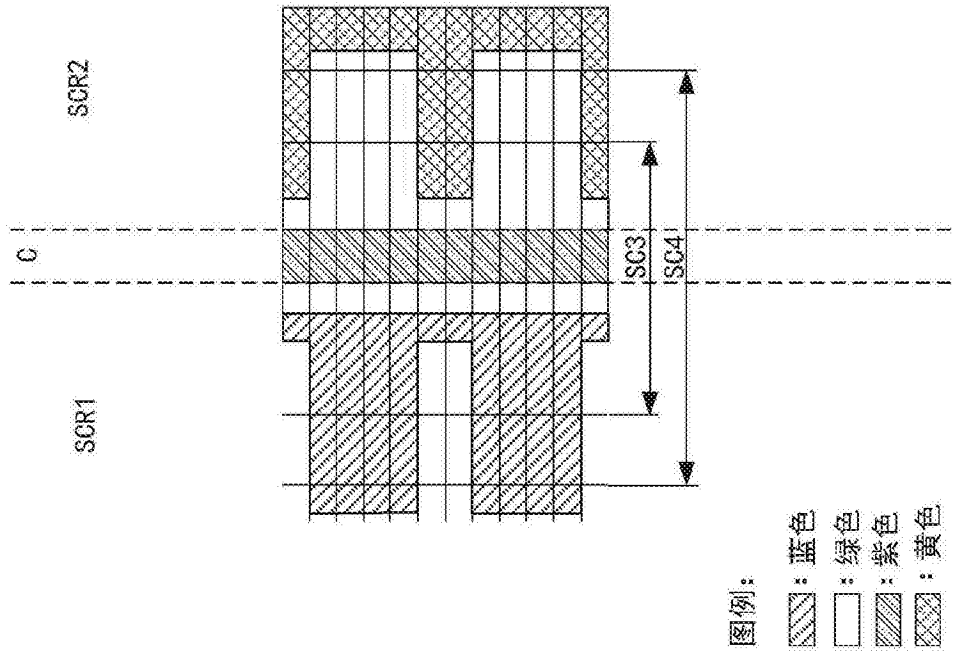


图 10B

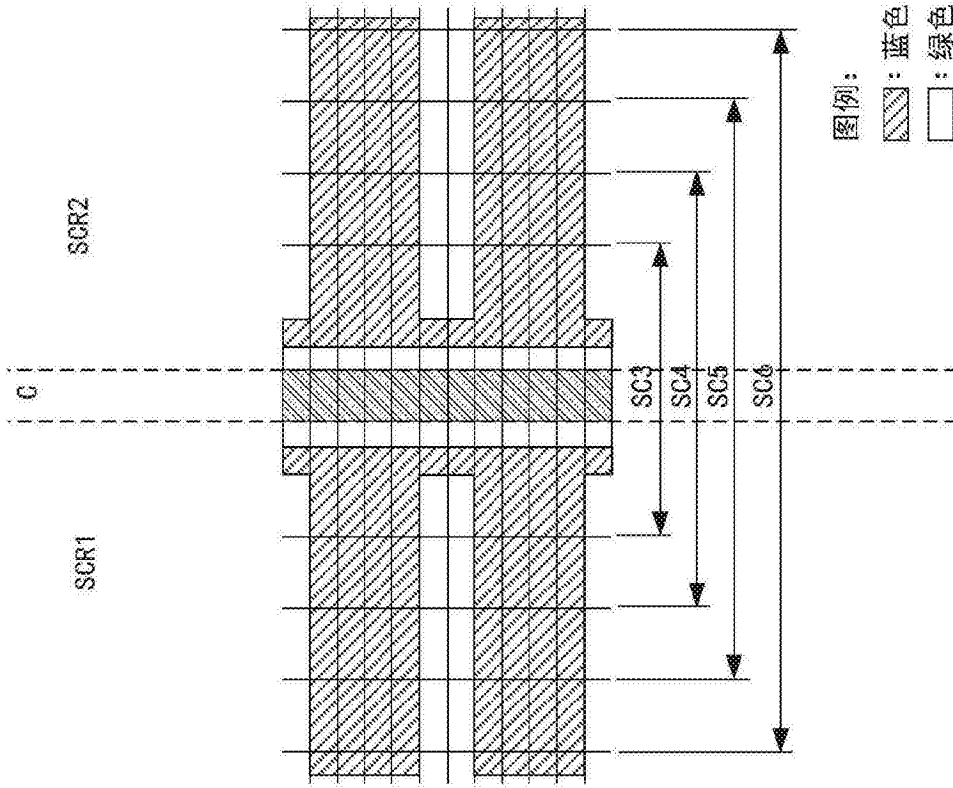
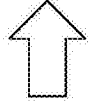


图 10A

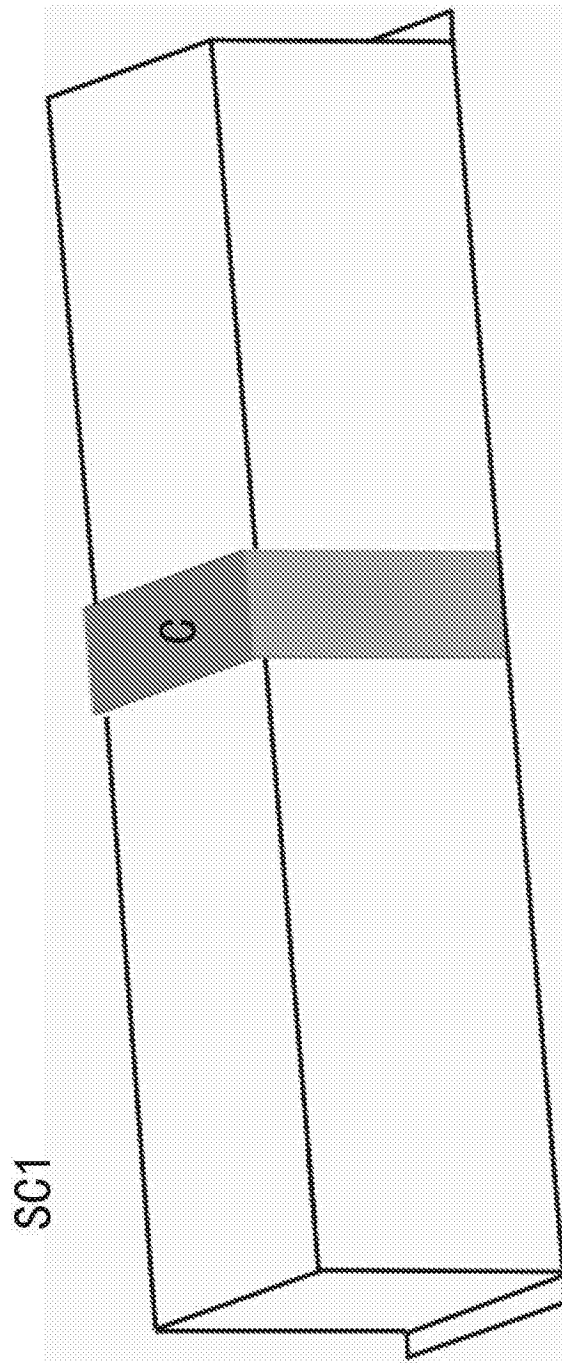


图11A

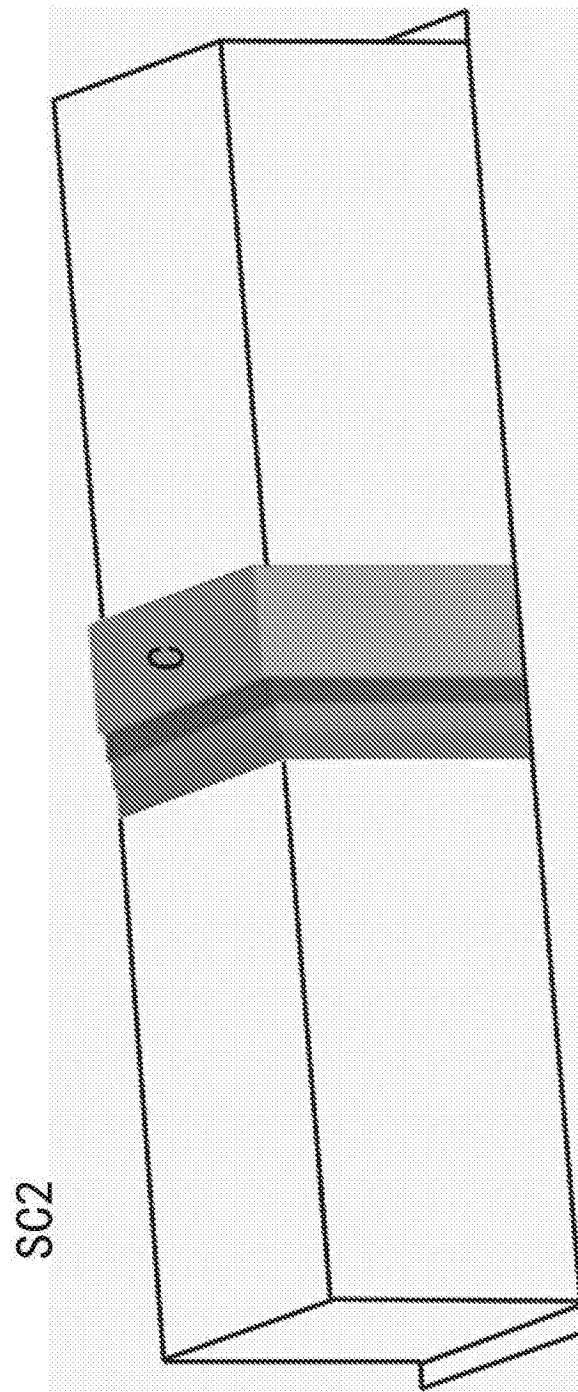


图11B



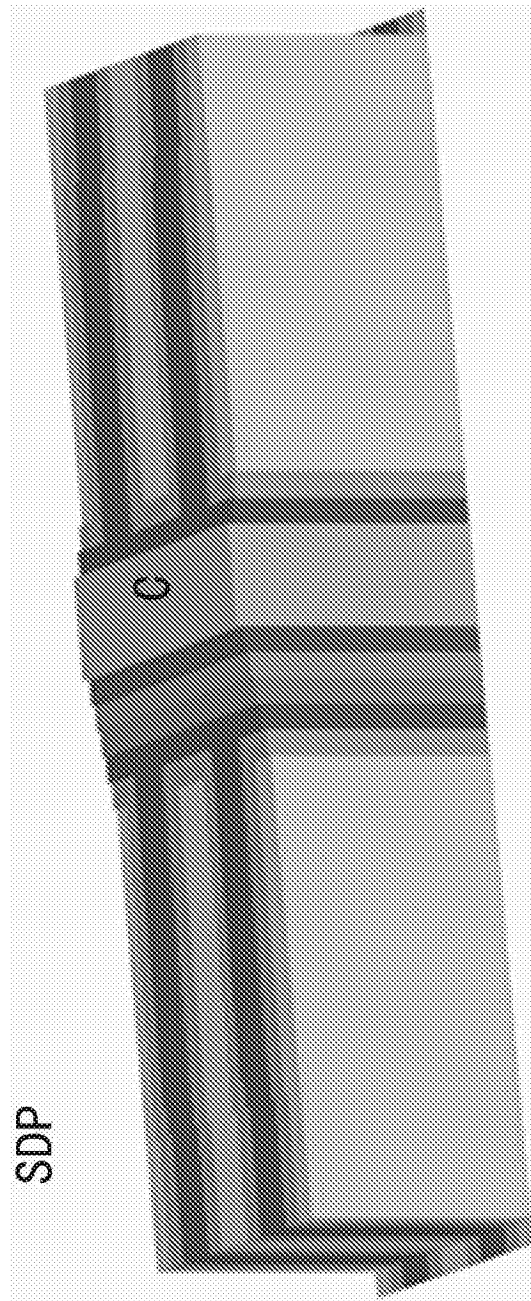


图11C

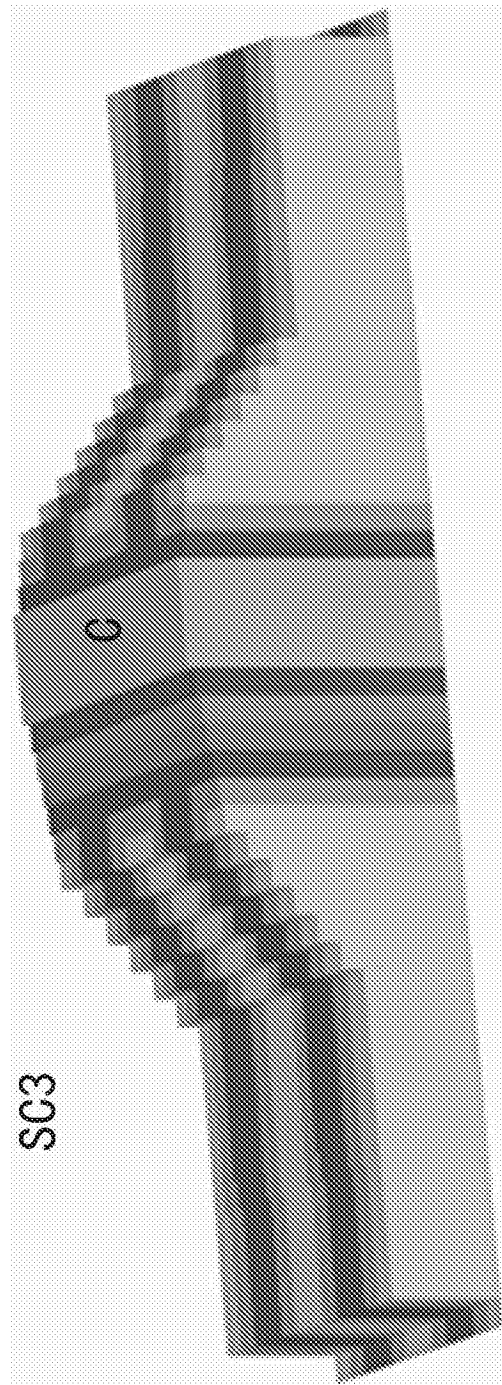


图11D

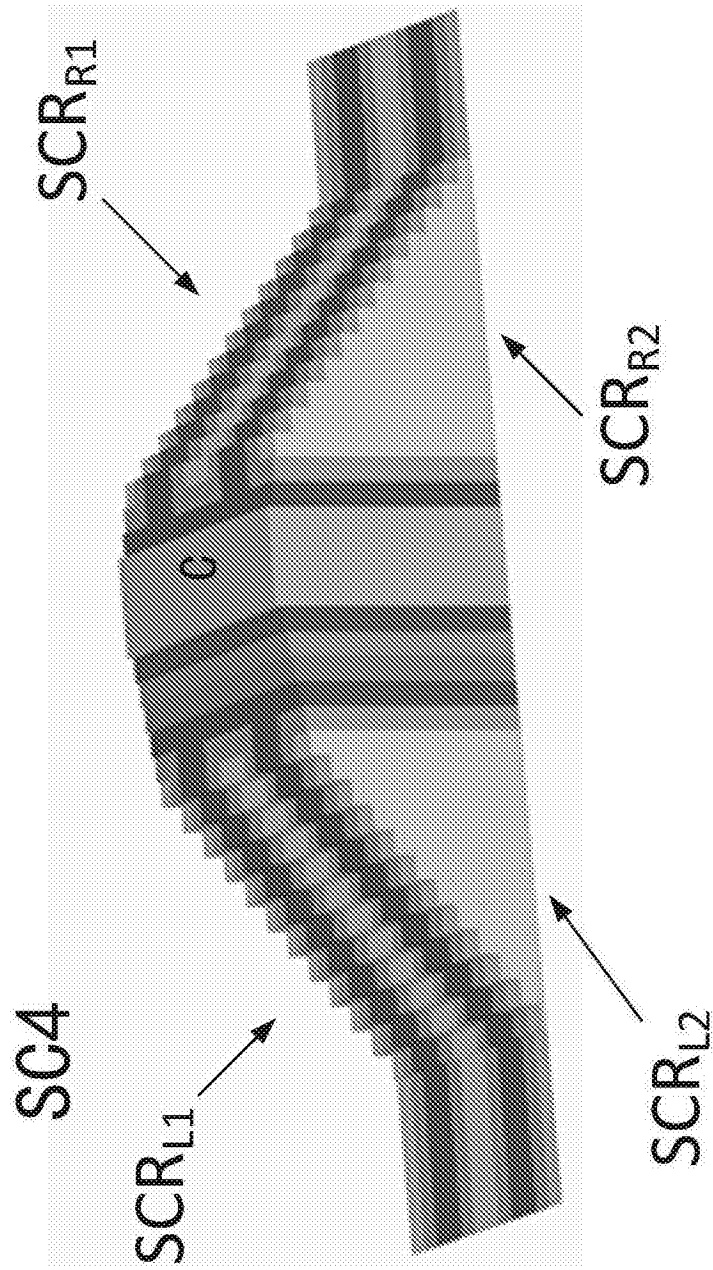


图11E