



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I723006 B

(45) 公告日：中華民國 110 (2021) 年 04 月 01 日

(21) 申請案號：105103663

(22) 申請日：中華民國 105 (2016) 年 02 月 04 日

(51) Int. Cl. : **G06F13/00 (2006.01)**

(30) 優先權：2015/02/04 美國 14/614,326

(71) 申請人：美商泰瑞達公司 (美國) TERADYNE, INC. (US)

美國

(72) 發明人：康尼 喬治 W CONNER, GEORGE W. (US)

(74) 代理人：閻啓泰；林景郁

(56) 參考文獻：

TW 201137624A

TW 201503596A

JP 4063392B2

US 6853181B1

US 2006/0123297A1

US 2008/0114563A1

US 2008/0204066A1

US 2011/0161544A1

US 2011/0239031A1

US 2013/0341518A1

US 2014/0229785A1

審查人員：林剛煌

申請專利範圍項數：25 項 圖式數：5 共 37 頁

(54) 名稱

使用經校準、單一時脈來源同步串列器-解串列器協定之高速資料傳輸

(57) 摘要

揭示一種電子系統，其包含：一第一半導體裝置；一第二半導體裝置；一時脈電路；及複數個獨立可調整校準電路，其等連接於該複數個串列資料路徑之各者中。該第一半導體裝置可包含複數個串列器-解串列器介面。該第二半導體裝置可包含複數個串列資料介面，其等耦合至該複數個串列器-解串列器介面，以提供介於該第一半導體裝置與該第二半導體裝置之間之複數個串列資料路徑。該複數個串列器-解串列器介面及該複數個串列資料介面可受時控於導出自該時脈電路之一時脈信號。該複數個獨立可調整校準電路可經組態以補償跨該複數個串列資料路徑之時序差。

An electronic system, comprising a first semiconductor device, a second semiconductor device, a clock circuit, and a plurality of independently adjustable calibration circuits connected in each of the plurality of serial data paths. The first semiconductor device may comprise a plurality of Serializer-Deserializer interfaces. The second semiconductor device may comprise a plurality of serial data interfaces coupled to the plurality of Serializer-Deserializer interfaces to provide a plurality of serial data paths between the first semiconductor device and the second semiconductor device. The plurality of Serializer-Deserializer interfaces and the plurality of serial data interfaces may be clocked from a clock signal derived from the clock circuit. The plurality of independently adjustable calibration circuits may be configured to compensate for timing differences across the plurality of serial data paths.

指定代表圖：

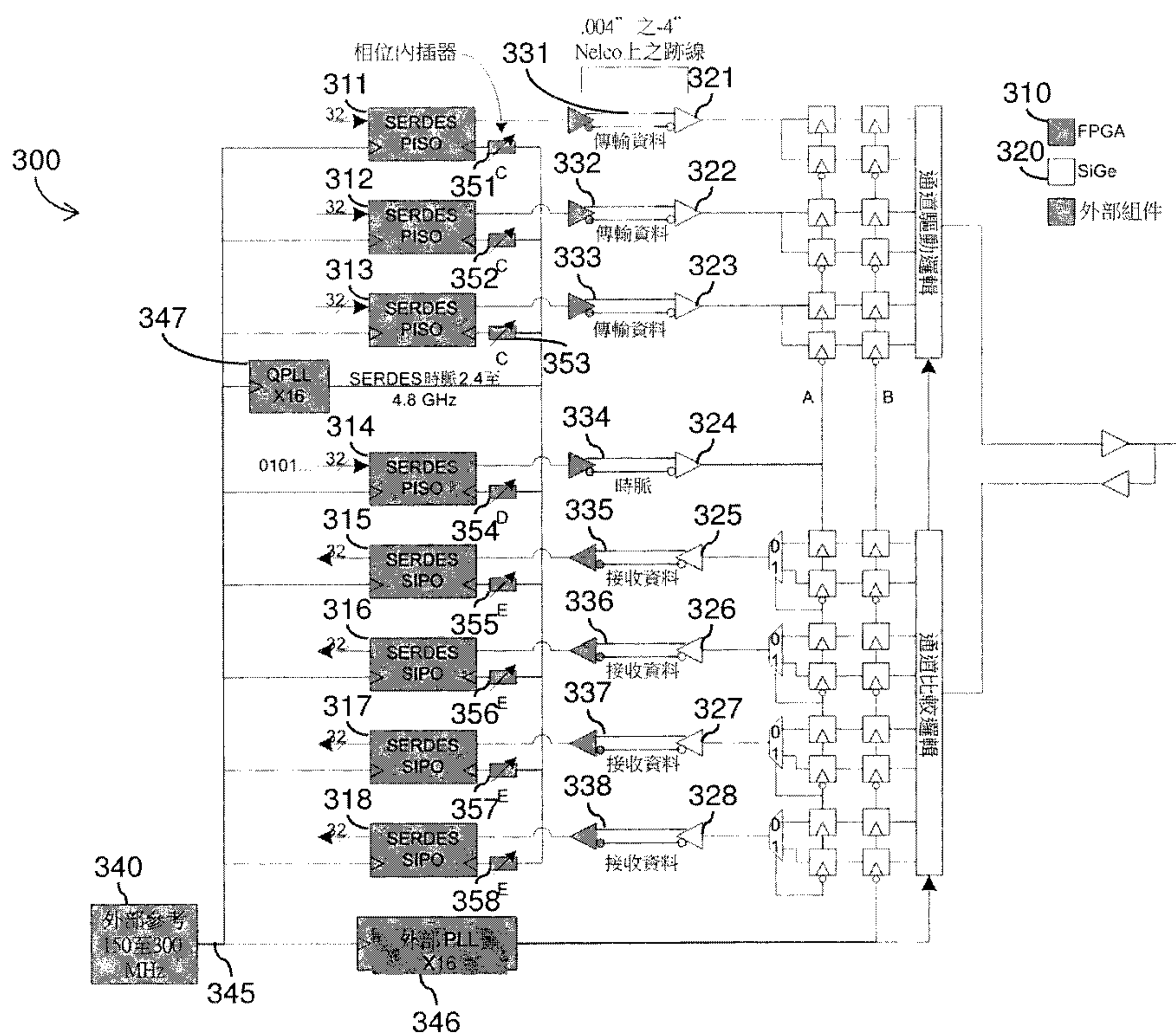


圖3

符號簡單說明：

- 300 . . . 系統
- 310 . . . 第一半導體裝置
- 311 . . . SerDes 介面；並列輸入串列輸出(PISO)介面
- 312 . . . SerDes 介面；並列輸入串列輸出(PISO)介面
- 313 . . . SerDes 介面；並列輸入串列輸出(PISO)介面
- 314 . . . SerDes 介面；並列輸入串列輸出(PISO)介面
- 315 . . . SerDes 介面；串列輸入並列輸出(SIPO)介面
- 316 . . . SerDes 介面；串列輸入並列輸出(SIPO)介面
- 317 . . . SerDes 介面；串列輸入並列輸出(SIPO)介面
- 318 . . . SerDes 介面；串列輸入並列輸出(SIPO)介面
- 320 . . . 第二半導體裝置
- 321 . . . 串列資料介面
- 322 . . . 串列資料介面
- 323 . . . 串列資料介面
- 324 . . . 串列資料介面
- 325 . . . 串列資料介面

- 326 . . . 串列資料介面
- 327 . . . 串列資料介面
- 328 . . . 串列資料介面
- 331 . . . 串列資料路徑
- 332 . . . 串列資料路徑
- 333 . . . 串列資料路徑
- 334 . . . 串列資料路徑
- 335 . . . 串列資料路徑
- 336 . . . 串列資料路徑
- 337 . . . 串列資料路徑
- 338 . . . 串列資料路徑
- 340 . . . 時脈電路
- 345 . . . 時脈信號
- 346 . . . 鎖相迴路  
(PLL)
- 347 . . . 四元鎖相迴路(QPLL)
- 351 . . . 校準電路
- 352 . . . 校準電路
- 353 . . . 校準電路
- 354 . . . 校準電路
- 355 . . . 校準電路
- 356 . . . 校準電路
- 357 . . . 校準電路
- 358 . . . 校準電路

I723006

## 發明摘要

※ 申請案號：105103663

※ 申請日：105年2月4日

※IPC 分類：G06F 13/00 (2006.01)

## 【發明名稱】(中文/英文)

使用經校準、單一時脈來源同步串列器-解串列器協定之高速資料傳輸

HIGH SPEED DATA TRANSFER USING CALIBRATED, SINGLE-CLOCK

SOURCE SYNCHRONOUS SERIALIZER-DESERIALIZER PROTOCOL

## 【中文】

揭示一種電子系統，其包含：一第一半導體裝置；一第二半導體裝置；一時脈電路；及複數個獨立可調整校準電路，其等連接於該複數個串列資料路徑之各者中。該第一半導體裝置可包含複數個串列器-解串列器介面。該第二半導體裝置可包含複數個串列資料介面，其等耦合至該複數個串列器-解串列器介面，以提供介於該第一半導體裝置與該第二半導體裝置之間之複數個串列資料路徑。該複數個串列器-解串列器介面及該複數個串列資料介面可受時控於導出自該時脈電路之一時脈信號。該複數個獨立可調整校準電路可經組態以補償跨該複數個串列資料路徑之時序差。

## 【英文】

An electronic system, comprising a first semiconductor device, a second semiconductor device, a clock circuit, and a plurality of independently adjustable calibration circuits connected in each of the plurality of serial data paths. The first semiconductor device may comprise a plurality of Serializer-Deserializer interfaces.

The second semiconductor device may comprise a plurality of serial data interfaces coupled to the plurality of Serializer-Deserializer interfaces to provide a plurality of serial data paths between the first semiconductor device and the second semiconductor device. The plurality of Serializer-Deserializer interfaces and the plurality of serial data interfaces may be clocked from a clock signal derived from the clock circuit. The plurality of independently adjustable calibration circuits may be configured to compensate for timing differences across the plurality of serial data paths.

**【代表圖】**

**【本案指定代表圖】**：第（ 3 ）圖。

**【本代表圖之符號簡單說明】**：

- 300…系統
- 310…第一半導體裝置
- 311…SerDes 介面；並列輸入串列輸出(PISO)介面
- 312…SerDes 介面；並列輸入串列輸出(PISO)介面
- 313…SerDes 介面；並列輸入串列輸出(PISO)介面
- 314…SerDes 介面；並列輸入串列輸出(PISO)介面
- 315…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 316…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 317…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 318…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 320…第二半導體裝置
- 321…串列資料介面
- 322…串列資料介面
- 323…串列資料介面
- 324…串列資料介面
- 325…串列資料介面
- 326…串列資料介面
- 327…串列資料介面
- 328…串列資料介面
- 331…串列資料路徑

- 332...串列資料路徑
- 333...串列資料路徑
- 334...串列資料路徑
- 335...串列資料路徑
- 336...串列資料路徑
- 337...串列資料路徑
- 338...串列資料路徑
- 340...時脈電路
- 345...時脈信號
- 346...鎖相迴路(PLL)
- 347...四元鎖相迴路(QPLL)
- 351...校準電路
- 352...校準電路
- 353...校準電路
- 354...校準電路
- 355...校準電路
- 356...校準電路
- 357...校準電路
- 358...校準電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

使用經校準、單一時脈來源同步串列器-解串列器協定之高速資料傳輸

HIGH SPEED DATA TRANSFER USING CALIBRATED, SINGLE-CLOCK

SOURCE SYNCHRONOUS SERIALIZER-DESERIALIZER PROTOCOL

## 【技術領域】

【0001】 本發明係有關具有高速資料傳輸之電子系統及操作該電子系統之方法。

## 【先前技術】

【0002】 電子系統可具有處理資料之子區段，且大量資料在這些子區段之間傳輸。系統之快速且可靠操作可需要迅速傳輸大量資料。在設計此一系統時，兩個半導體裝置之間之資料傳輸速率受限於各種因素。這些因素包括形成彼等裝置之間之連接的接腳可用性(pin availability)。此外，許多因素可影響在各連接上可傳送資料的速度。彼等因素可包括信號雜音比(signal to noise ratio)，繼而信號雜音比受到可用於傳送信號之功率及由系統引入之時序變化的影響。

【0003】 例如，在一自動測試系統中，必須在判定適當控制值的半導體裝置與使用彼等控制值產生或測量測試信號的接腳電子器件(pin electronics)之間傳輸大量資料。接腳電子器件通常由矽鍺(SiGe)製成，而會消耗相對較大量的功率。

【0004】 一種用以提供在低數目個接腳上之高速資料傳輸的技術係串列器-解串列器介面(Serializer-Deserializer interface)，其在串列資料介面與



並列資料介面之間轉換資料。一串列器-解串列器介面可使用各種協定，包括 8b/10b 編碼(8b/10b coding)及嵌入式時脈(embedded clocking)。

### 【發明內容】

【0005】 一些態樣包括一種電子系統，其包含：一第一半導體裝置；一第二半導體裝置；一時脈電路；及複數個獨立可調整校準電路，其等連接於該複數個串列資料路徑之各者中。該第一半導體裝置可包含複數個串列器-解串列器介面。該第二半導體裝置可包含複數個串列資料介面，其等耦合至該複數個串列器-解串列器介面，以提供介於該第一半導體裝置與該第二半導體裝置之間之複數個串列資料路徑。該複數個串列器-解串列器介面及該複數個串列資料介面可受時控於導出自該時脈電路之一時脈信號。該複數個獨立可調整校準電路可經組態以補償跨該複數個串列資料路徑之時序差。

【0006】 進一步態樣包括一種操作包含一第一半導體裝置及一第二半導體裝置之一電子系統之方法。該第一半導體裝置可包含耦合至該第二半導體裝置之複數個串列器-解串列器介面，以形成複數個串列資料路徑。該方法可包含校準該複數個串列器-解串列器介面以補償該複數個串列資料路徑之中的信號內延遲；使用一來源同步串列器-解串列器協定，經由該複數個串列器-解串列器介面之一第一部分將複數個多位元字組(multi-bit word)自該第一半導體裝置傳送至該第二半導體裝置；經由該複數個串列器-解串列器介面之一第二部分將一重複位元型樣(pattern of bits)自該第一半導體裝置傳送至該第二半導體裝置；及使用經由該複數個串列器-解串列器介面之該第二部分接收的該重複位元型樣作為一參考時脈，在該第二半導體裝置

處接收該複數個多位元字組，用於解碼經由該複數個串列器-解串列器介面之該第一部分接收之資料。

**【0007】** 額外態樣包括一種操作一電子系統之方法。該電子系統可包含一第一半導體裝置及一第二半導體裝置。該第一半導體裝置可經由複數個串列資料路徑耦合至該第二半導體裝置。該方法可包含校準該複數個串列資料路徑以等化介於該第一半導體裝置與該第二半導體裝置之間之延遲；使用一串列器-解串列器協定，藉由分布複數個多位元字組之位元，將該複數個多位元字組自該第一半導體裝置傳送至該第二半導體裝置，用於經由該經校準複數個串列資料路徑之一第一部分並行傳送；及在該第二半導體裝置處接收該複數個多位元字組。該傳送及接收可相對於一相同時脈經同步化。

**【0008】** 前述為如藉由隨附申請專利範圍所定義的本發明之非限制摘要。

#### **【圖式簡單說明】**

**【0009】** 將參考下列圖式描述本申請案之各種態樣及實施例。應理解，圖式非必然按比例繪製。多個圖式中出現的項目係藉由其等所出現之圖式中的相同元件符號予以指示。

圖 1 係可應用一些實施例之一自動測試系統之方塊圖；

圖 2 係根據一些實施例之一種實施一單一時脈來源同步串列器-解串列器協定之系統之方塊圖；

圖 3 係根據一些實施例之一種系統之示意圖，該系統實施一單一時脈來源的同步串列器-解串列器協定；

圖 4 係根據一些實施例之一種操作一電子系統之方法之示意圖，該電子系統實施一單一時脈來源同步串列器-解串列器協定；及

圖 5 係根據一些實施例之一種操作一電子系統之額外方法之流程圖，該電子系統實施一單一時脈來源同步串列器-解串列器協定。

### 【實施方式】

【0010】 發明人已認知且理解，技術可搭配串列器-解串列器電路系統應用以調適彼電路系統，以使用低數目個接腳及低功率來提供半導體裝置之間之高速資料傳輸。根據一些實施例，彼等技術可包括使用一來源同步串列器-解串列器(Serializer Deserializer, SerDes)協定。半導體裝置上的 SerDes 電路系統可使用導出自相同時脈來源之時脈，在一些實施例中，可使用多個 SerDes 路徑之一者分布時脈。在一些實施例中，該等技術可包括在多串列資料路徑上傳送資料及補償在多串列資料路徑上之時序差。載送時脈之 SerDes 路徑可連同其他串列資料路徑予以校準。

【0011】 當根據這些技術操作時，來源同步協定可使用顯著少於 SerDes 電路系統的功率，該 SerDes 電路系統應用了通常在 SerDes 裝置中使用之時脈復原技術(clock recovery techniques)。使用 SiGe 半導體裝置時，此一功率使用量的減少可尤其至關重要，其中習知技術會超過功率容許度。進一步，發明人已認知且理解，如本文所述之技術可縮減路徑之間之時序差，使得甚至有抖動及時脈域交叉(clock domain crossing)的來源情況中（其等在其他狀況下可能會造成錯誤），半導體裝置仍可運作。因此，資料錯誤率可低到足以捨棄使用高度冗餘的錯誤校正碼(error correcting code)。例如，可不用 8/10 編碼（意謂用 10 個位元來編碼 8 個位元之資訊，以提供可在錯誤校

正中使用的冗餘資訊)，其有時候用於校正 SerDes 電路路徑中的錯誤。由於不使用 8b/10b 編碼，所以可達成較大的資料輸送量，諸如透過使用 9/10 或 10/10 編碼方案。

【0012】 發明人已認知且理解，如本文所述之資料傳輸技術在半導體裝置測試環境中可為有益。可使用一台自動測試設備（稱為「測試器」）以產生激發受測試裝置(DUT)的測試信號並且測量回應。在此一環境中，一接腳電子器件半導體裝置可以 SiGe 實施以提供所需速度及精確度。為了低成本及低功率消耗，可在分開之 CMOS 半導體裝置中實施用以控制接腳電子器件及處理來自接腳電子器件之資料的電路系統。

【0013】 在測試器操作之各循環期間，可將資料自格式化及時序電路系統（其可在一第一半導體裝置中）傳輸至接腳電子器件（其可在一分開之半導體裝置中），以指定待藉由接腳電子器件電路系統執行之所欲測試或量測操作。各接腳電子器件晶片可含有電路系統以產生及測量多個通道之測量信號，在各測試器循環中，通道之各者會需要許多位元。因此，必須在半導體裝置之間傳輸的總位元量可能非常大。對於高速測試器操作，可依非常高資料速率傳輸資料。

【0014】 格式化及時序半導體裝置可係一現場可程式陣列(Field Programmable Gate Array, FPGA)。此組態造成需要在該兩個半導體裝置之間傳遞資料，該兩個半導體裝置之一者可係一 FPGA。已知的 FPGA 裝置可包括多個 I/O 接腳。彼等 I/O 接腳之一些者可專用於實施含多個並列路徑之一並列 I/O 匯流排，各並列路徑一次傳送一資料字組之一個位元。其他 I/O 接腳可連接至 SerDes 電路系統，並且可用於串列資料路徑。串列資料路徑傳

送位元之速率可快於一並列 I/O 匯流排之任意路徑之速率，但運用並列之多個路徑，並列 I/O 匯流排可一次傳送更多位元。例如，一並列匯流排上的各並列路徑可依至多約 1.2 Gbps 之速率傳送資料。在一匯流排中含有並列之 8 個路徑，匯流排資料傳輸速率可係 9.6 Gbps。一 SerDes 路徑可依約 33 Gbps 之速率傳送資料。然而，習知用於在 SerDes 路徑提供精確資料傳送的時脈復原電路系統會消耗比測試器可用功率更多的每通道功率，尤其如果實施於 SiGe 裝置中。根據本文中描述之技術，可應用 SerDes 電路系統以提供相對於一並列匯流排而言的高資料速率及低接腳計數，但提供可接受之功率消耗。

【0015】 圖 1 繪示一自動測試系統或測試器（大體上標示為 100）之一實施例，其可包括一電腦工作站 110 及一測試頭 120（以虛線標示）。該測試頭可容納用於產生及測量測試信號的複數個電子板總成，包括中心卡 126、分布卡 128 及多個儀器卡 130。

【0016】 如圖 1 中所繪示，中心卡 126 可饋送信號至分布卡 128，用於分布至一陣列的儀器卡 130。中心卡 126 可包括：一電腦介面 132，其繫結工作站 110 至測試頭板總成；及一參考時脈產生器 134，其產生一低頻率參考時脈，標示為 RCLK。該參考時脈產生器可包含例如一 100 MHz 或 400 MHz 晶體振盪器。電腦介面 132 可允許測試器介接至一電腦工作站 110，使用者透過電腦工作站 110 可開發可載入至測試器 120 中的測試程式。電腦工作站 110 可提供其他功能給使用者，諸如起始執行先前開發之測試程式或分析測試結果。

【0017】 在一些實施例中，可使用任意適合的技術使多個儀器卡 130

之操作同步化。在闡釋之實施例中，中心卡 126 可包括回應於來自工作站之命令而產生控制信號的控制電路系統。控制信號之一者可包含一「DSYNC」信號。DSYNC 信號可提供一參考時間至所有儀器或意圖同步化操作之其他組件。可分別沿設置在分布卡 128 上的 DSYNC 扇出電路系統 (fan-out circuitry) 136 及 RCLK 扇出電路系統 138 扇出或分布參考時脈信號及 DSYNC 信號。分布這些信號可允許多個儀器上的型樣產生器共同一起開始及操作。

**【0018】** 儀器卡 130 上的儀器可係數位或類比儀器或可執行涉及數位信號與類比信號的功能。儀器 130A 描繪一數位儀器，亦稱為一「通道卡 (channel card)」。一通道卡可含有用於多個測試器通道之電子資源。一測試系統很可能包括多個通道卡。

**【0019】** 如圖 1 中所示，各儀器卡包括電路系統以執行儀器之所欲功能。在諸如儀器 130A 之數位儀器的情況中，功能電路系統可包括格式化/時序電路系統 147 及接腳電子器件電路系統 149。此電路系統可產生及測量用於測試 DUT 150 之數位信號。

**【0020】** 此外，數位儀器 130A 可包括一型樣產生器 146。型樣產生器 146 可提供控制儀器 130A 之功能部分的一序列的命令。型樣產生器 146 可回應於某些條件而提供分支(branching)，或基於測試系統之狀態而執行其他條件式功能。型樣產生器 146 可受時控於來自本地時脈模組 142 之時脈且因此可依可程式化速率（其可高於參考時脈之頻率）提供指令。

**【0021】** 此外，儀器 130A 可包括一儀器同步化鏈路 (instrument synchronization link, ISL) 介面 132A。ISL 介面 132A 可允許型樣產生器 146 與

可類似地含有一 ISL 介面之其他儀器通訊。型樣產生器 146 可發送待藉由其他儀器之功能電路系統執行的命令或接收來自其他儀器之狀態資訊，其可例如用於控制條件式分支。

【0022】 其他儀器可具有不同功能電路系統，此取決於待藉由該儀器實施之特定功能。在所描述之實施例中，各儀器卡可包括一時脈模組 142。然而，如上所述，各儀器可不具有、具有一個或更多時脈模組。

【0023】 如圖 1 中所示，各通道卡 130A 可包括一時脈模組 142。時脈模組 142 可被程式化以自 RCLK 產生所欲頻率之一或多個時脈。在所描述之實施例中，藉由一時脈模組 142 產生之時脈之各者意圖在「本地」使用，即，在含有時脈產生器之儀器或板內。一時脈產生器可產生數個不同頻率之時脈。因為所有時脈皆自相同來源產生，所以該等時脈可視為彼此同步。然而，應理解，時脈模組中產生的時脈數目、及是否彼等時脈在本地使用或分布至其他儀器並非關鍵。

【0024】 時脈模組可含有依低但可程式化頻率而產生參考時脈的電路系統。彼低頻率參考時脈可被供應至一鎖相迴路(phase locked loop, PLL) 或其他電路以產生參考時脈。一 PLL 可經組態以倍增低頻率參考時脈之頻率。替代地或此外，該 PLL 可包括控制抖動之一濾波器。

【0025】 在闡釋之實施例中，可在格式化/時序電路系統 147 與接腳電子器件 149 之間傳輸大量資料。可使用如本文所述之用於高資料速率傳輸之技術以傳輸彼資料。在闡釋之實施例中，格式化/時序電路系統 147 可實施在一 FPGA 中。一 FPGA 可含有多個 SerDes 電路。接腳電子器件 149 亦可具有多個 SerDes 電路。可連接這些電路以提供用於傳輸資料之多個路

徑，因此有效率增加資料傳輸速率。

【0026】 圖 2 繪示根據一些實施例之一種系統 200，系統 200 實施一單一時脈來源同步的 SerDes 協定。如本文中所使用，「單一時脈」指示相對於經同步化之時脈來定時在一路徑上的傳送及接收位元。然而，可有執行其他功能之其他時脈。根據一些實施例，系統 200 可係一自動化測試系統，諸如上文描述者。在此一實施例中，第一半導體裝置 210 可係實施格式化/時序電路系統之一 FPA，及第二半導體裝置 220 可係一接腳電子器件晶片。

【0027】 系統 200 可包括一第一半導體裝置 210、一第二半導體裝置 220 及一時脈電路 240。根據一些實施例，第二半導體裝置 220 可係一 SiGe 裝置。替代地或此外，第二半導體裝置 220 可係一接腳電子器件晶片，或任意其他適合的晶片裝置，其可由任意其他適合的材料製成。

【0028】 第一半導體裝置 210 可包括 SerDes 介面 211 及 212。第二半導體裝置 220 可包括串列資料介面 221 及 222，串列資料介面 221 及 222 可分別耦合至 SerDes 介面 211 及 212，以提供介於第一半導體裝置 210 與第二半導體裝置 220 之間之串列資料路徑 231 及 232。

【0029】 系統 200 亦可包括獨立可調整校準電路 251 及 252，校準電路 251 及 252 可經連接以影響串列資料路徑 231 及 232 之各者中資料之時序。根據一些實施例，校準電路 251 及 252 可分別耦合至 SerDes 介面 211 及 212。校準電路 251 及 252 可例如改變傳送或偵測資料位元之時間。如一具體實例，校準電路 251 及 252 可耦合至各 SerDes 電路之一傳送/接收時脈，且可經調整以變更傳遞一時脈信號至 SerDes 電路之一延遲。在一些實施例中，校準電路 251 及 252 可實施為相位內插器(phase interpolator)及/或任意其



他適合電路。

【0030】 SerDes 介面 211 及 212 以及串列資料介面 221 及 222 可受時控於導出自時脈電路 240 的一時脈信號 245。校準電路 251 及 252 可補償跨串列資料路徑 231 及 232 之時序差。

【0031】 圖 3 繪示根據一些實施例之一種系統 300，系統 300 實施一單一時脈來源同步的 SerDes 協定。圖 3 可應用圖 2 中繪示之技術，但此外亦繪示可存在於一測試器中的多個並列路徑，並且繪示經由一串列路徑傳輸一時脈。

【0032】 系統 300 可包括一第一半導體裝置 310（其可對應於第一半導體裝置 210）、一第二半導體裝置 320（其可對應於第一半導體裝置 220）及一時脈電路 340（其可對應於時脈電路 240）。如所示，第一半導體裝置 310 可係一 FPGA，及/或第二半導體裝置 320 可係一 SiGe 裝置。時脈電路 340 可係一外部參考時脈電路。此處，「外部(external)」可意指半導體裝置外部之時脈。然而，彼電路系統可在一測試器內部，諸如在一時脈模組 142（圖 1）內。

【0033】 第一半導體裝置 310 可包括 SerDes 介面 311 至 318。SerDes 介面 311 至 314 可係並列輸入串列輸出(PISO)介面。SerDes 介面 315 至 318 可係串列輸入並列輸出(SIPO)介面。第二半導體裝置 320 可包括串列資料介面 321 至 328，串列資料介面 321 至 328 可分別耦合至 SerDes 介面 311 至 318，以提供介於第一半導體裝置 310 與第二半導體裝置 320 之間之串列資料路徑 331 至 338。

【0034】 根據一些實施例，可使用該等串列資料路徑之一第一部分

(即，串列資料路徑 331 至 333) 以將資料自第一半導體裝置 310 傳送至第二半導體裝置 320。此外，可使用該等串列資料路徑之一第二部分(即，334) 以將導出自時脈電路 340 之一參考時脈(例如，時脈信號 345) 自第一半導體裝置 310 傳送至第二半導體裝置 320。

【0035】 替代地或此外，可使用該等串列資料路徑之一第三部分(即，串列資料路徑 335 至 338) 以將資料自第二半導體裝置 320 傳送至第一半導體裝置 310。串列資料介面 321 至 328 可耦合至該等串列資料路徑之該第三部分(即，335 至 338)。如圖 3 中所示，各路徑具有一專用功能。然而，不需要各路徑專用於一單一功能。而是，在一些實施例中，例如，可操作路徑以在不同時間執行傳送或接收的功能。

【0036】 根據一些實施例，時脈電路 340 可輸出超過 2 吉赫(gigaHertz, GHz)之一頻率之一時脈。替代地或此外，時脈電路 340 可輸出任意其他適合的頻率之一時脈。

【0037】 根據一些實施例，第一半導體裝置 310 亦可包括一四元鎖相迴路(QPLL)，其將來自時脈電路 340 之一時脈信號 345 以一乘數倍增(諸如 16)。依此方式，約 2 GHz 之一時脈可產生超過 30 GHz 之一時脈以用於定時在一 SerDes 路徑上的高速資料傳輸。替代地或此外，時脈電路 340 本身可包括一 QPLL 347。如所示，QPLL 347 可將來自時脈電路 340 之時脈信號 345 以任意其他適合的乘數倍增(包括 4 及 8)。例如，來自時脈電路 340 之時脈信號 345 可係 150 至 300 兆赫(megahertz)，而基於 16 之乘數，來自 QPLL 347 之時脈信號可係 2.4 至 3.8 吉赫(gigaHertz, GHz)。可由 SerDes 介面 311 至 318 使用來自 QPLL 347 之時脈信號。

【0038】 根據一些實施例，系統 300 亦可包括耦合於時脈電路 340 與第二半導體裝置 320 之間之一 PLL 346。PLL 346 亦可將來自時脈電路 340 之時脈信號 345 以 16 之乘數或任意其他適合的乘數倍增。此乘數可等於 QPLL 347 所使用之乘數。然而，甚至當乘數不相同時，提供至第一半導體裝置之時脈可同步於提供至第二半導體裝置之時脈，此係因為該兩個時脈皆導出自時脈信號 345。第二半導體裝置 320 可使用來自 PLL 358 之時脈信號，該時脈信號包括作為串列資料介面 321 至 328 之一時脈。

【0039】 因為來自 QPLL 347 之時脈信號、該等串列資料路徑之該第二部分（即，串列資料路徑 334）及來自 PLL 346 之時脈信號可皆基於來自時脈電路 340 之時脈信號 345，所以 SerDes 介面 311 至 318、及串列資料介面 321 至 328 可受時控於一單一時脈（例如，來自時脈電路 340 之時脈信號 345）。

【0040】 此外，第一半導體裝置 310 可額外包括獨立可調整校準電路 351 至 358。如所示，校準電路 351 至 358 可係相位內插器，其等基於一控制輸入來組態，以調整在各 SerDes 電路處傳送或接收位元之相對時間。可藉由電腦工作站 110 上運行的一程式（而該電腦工作站 110 在測試器上運行一校準程式），或依任意其他適合方式來建置在各者處的相對延遲。如所示，校準電路 351 至 358 亦可分別耦合至 SerDes 介面 311 至 318，且可補償跨 SerDes 介面 311 至 318 及/或串列資料路徑 331 至 338 之時序差。根據一些實施例，校準電路 351 至 358 可在一頻率變更的任意時間時使所有時脈及資料傳送置中。

【0041】 根據一些實施例，串列資料路徑 331 至 338 之取決於資料的

抖動可小於或等於串列資料路徑 331 至 338 之一資料眼(data eye)之約 10 至 15 百分比。替代地或此外，第一半導體裝置 310 可與第二半導體裝置 320 分開小於約 15 公分(6 吋)之一距離。例如，此距離可係約 10 公分(4 吋)，如所示。可基於上述之串列資料路徑 331 至 338 之所欲之資料相依抖動來判定此一距離，或該距離可導致此資料相依抖動。

【0042】 根據一些實施例，第二半導體裝置 320 可係一接腳電子器件晶片，其含有一或多個驅動器及驅動電路系統，驅動電路系統可基於在該等串列資料路徑之該第一部分（即，331 至 333）上並行接收之資料在各循環中控制該等驅動器。此外，第二半導體裝置 320 可包括一或多個比較器及比較電路系統，比較電路系統可在各循環中，自該等比較器獲得比較資料，並且可在該等串列資料路徑之該第三部分（即，335 至 338）上並行控制傳送該比較資料。第二半導體裝置 320 亦可包括多工器(multiplexers)，該等多工器的數量相同於該等串列資料路徑之該第三部分（即，335 至 338）。

【0043】 圖 4 係根據一些實施例之一種操作一電子系統之方法之示意圖，該電子系統實施一單一時脈來源同步 SerDes 協定。根據一些實施例，該電子系統可係包括多個通道的一自動測試系統，且在耦合至該測試系統之一工作站上運行的一程式可控制測試系統硬體，以執行圖 4 至圖 5 中繪示之一些或所有動作。

【0044】 根據一些實施例，在階段 410，該等 SerDes 介面（例如，311 至 318）可經校準以補償該等串列資料路徑（例如，331 至 338）之中變化的信號內延遲。例如，在階段 410，可判定傳播穿過路徑的相對延遲。接著，可使用相對延遲來判定程式化至校準電路 351 至 358(圖 3)之各者中之值，

以補償相對差。

【0045】 在階段 420，可使用一來源同步 SerDes 協定，經由 SerDes 介面之一第一部分（例如，311 至 313）將多位元字組自第一半導體裝置（例如，310）傳送至第二半導體裝置（例如，320）。根據一些實施例，傳送該等多位元字組可包含以小於每通道 500 毫瓦之一功率、以超過每秒 25 GB（gigabit，十億位元）之一資料速率傳送每通道至少 8 個位元之字組。然而，可使用每通道任意適合數目個位元、資料速率及/或功率。

【0046】 替代地或此外，傳送該等多位元字組可包含傳送以資訊密度高於一 8/10 編碼方案的一編碼方案來編碼的資料。替代於這些實施例或除了這些實施之外，傳送該等多位元字組亦可包含經由該等 SerDes 介面之該第一部分、以大於每秒 30 GB 並列傳送該經編碼資料。然而，可使用任意適合的資訊密度及/或資料速率。

【0047】 在階段 430，可經由該等 SerDes 介面之一第二部分（例如，SerDes 介面 314），將一重複位元型樣（例如，導出自時脈電路 340 之一時脈信號）自該第一半導體裝置傳送至該第二半導體裝置。應理解，雖然圖 4 中展示階段 430 接在階段 420 之後，及階段 440 接在階段 420 之後，但是一些或所有這些階段可同時發生，使得可使用該重複位元型樣作為用於傳送及接收兩者之一時脈。

【0048】 在階段 440，可使用經由該等 SerDes 介面之該第二部分接收之該重複位元型樣作為一參考時脈，在該第二半導體裝置處接收該等多位元字組，其可用於解碼經由該等 SerDes 介面之該第一部分接收之資料。

【0049】 根據一些實施例，在階段 450，可使用（經由該等 SerDes

介面之該第二部分接收之) 該重複位元型樣作為一參考時脈，在該第二半導體裝置處傳送多位元字組，其可用於編碼資料以用於經由該等 SerDes 介面之一第三部分 (例如，335 至 338) 傳送。

**【0050】** 圖 5 係根據一些實施例之一種操作一電子系統之額外方法之示意圖，該電子系統實施一單一時脈來源 SerDes 協定。

**【0051】** 根據一些實施例，在階段 510，該等串列資料路徑 (例如，331 至 338) 可經校準以等化介於第一半導體裝置 (例如，310) 與第二半導體裝置 (例如，320) 之間之延遲。例如，校準該等串列資料路徑可包含調整至一或多個相位內插器 (例如，351 至 358) 之一控制輸入。替代地或此外，經校準的該等串列資料路徑可作用為一並列資料匯流排，使得可並行傳送該等多位元字組之位元。

**【0052】** 在階段 520，可使用一 SerDes 協定，藉由分布該等多位元字組之位元，將多位元字組自該第一半導體裝置傳送至該第二半導體裝置，用於經由經校準的該等串列資料路徑之一第一部分 (例如，331 至 333) 並行傳送。根據一些實施例，可使用一來源同步協定，在經校準的該等串列資料路徑之各者上傳送該等多位元字組之該等位元。替代地或此外，可使用一非對稱編碼方案，在經校準的該等串列資料路徑之各者上傳送該等多位元字組之該等位元。

**【0053】** 根據一些實施例，在階段 530，可經由經校準的該等串列資料路徑之一第二部分 (例如，334)，將一重複位元型樣自該第一半導體裝置傳送至該第二半導體裝置。該重複位元型樣可相對於該傳送該等多位元字組可相對於其經同步化的一時脈經同步化。此外，可使用該重複位元型

樣作為該接收該等多位元字組相對於其經同步化之時脈。

【0054】 在階段 540，可在該第二半導體裝置處接收該等多位元字組。此外，該傳送及接收該等多位元字組可相對於相同、單一時脈經同步化。

【0055】 根據一些實施例，在階段 550，可使用經由經校準的該等串列資料路徑之該第二部分接收之該重複位元型樣作為一參考時脈，自該第二半導體裝置傳送多位元字組，用於編碼資料。

【0056】 此類變更、修改與改進意欲為此揭露之部分，並且意欲為落於本發明之精神與範疇中。再者，雖然已指出本發明之優點，應理解的是並非本發明之每一個實施例皆將包括每一項所述之優點。一些實施例可不實施在本文中及在一些例子中描述為優點的任意特徵。因此，前述說明與圖式皆僅作為例子之用。

【0057】 可單獨、組合或用各式安排（前述實施例中未特地討論者）來使用本發明的各式態樣，並且因而前述說明或繪示於圖式中者所提出的細節與組件安排不會對其應用造成限制。例如，一個實施例中所述的態樣可用任何方式與其他實施例中所述的態樣組合。

【0058】 並且，本發明可體現為一種已提供例子的方法。作為該方法之部件而進行的行動可用任何合適的方式排序。因此，可將實施例建構為以不同於所繪示者的順序而進行行動，其可包括同時進行某些行動，即使在說明性實施例中顯示為循序行動。

【0059】 再者，可依任意順序重新排序所描繪及描述的電路及模組，及可提供信號以據此啟用重新排序。

【0060】 在申請專利範圍中使序數用語例如「第一(first)」、「第二(second)」、「第三(third)」等來修飾一申請專利元件本身並無隱含任何優先順序、地位先後或一申請專利元件超越另一個的順序，或者方法行動進行的時間順序，而只是用來作為標示以區別一個具有特定名稱的申請專利元件與另一個具有相同名稱的元件（但針對序數用語的使用），以區別申請專利元件。

【0061】 並且，本說明書中所用之用詞與用語係針對說明之目的，而且不應將其視為限制。本文中使用的「包括(including)」，「包含(comprising)」，或「具有(having)」，「含有(containing)」，「涉及(involving)」及其等之變化形意指涵蓋其後所列出的項目及其同等物以及額外項目。

#### 【符號說明】

- 【0062】 100…自動測試系統或測試器
- 【0063】 110…電腦工作站
- 【0064】 120…測試頭
- 【0065】 126…中心卡
- 【0066】 128…分布卡
- 【0067】 130…儀器卡
- 【0068】 130A…儀器（通道卡）
- 【0069】 132…電腦介面
- 【0070】 132A…儀器同步化鏈路(ISL)介面
- 【0071】 133…路由器
- 【0072】 134…參考時脈產生器



- 【0073】 136...DSYNC 扇出電路系統
- 【0074】 138...RCLK 扇出電路系統
- 【0075】 142...時脈模組
- 【0076】 146...型樣產生器
- 【0077】 147...格式化/時序電路系統
- 【0078】 149...接腳電子器件（電路系統）
- 【0079】 150...受測試裝置(DUT)
- 【0080】 200...系統
- 【0081】 210...第一半導體裝置
- 【0082】 211...串列器-解串列器(SerDes)介面
- 【0083】 212...SerDes 介面
- 【0084】 220...第二半導體裝置
- 【0085】 221...串列資料介面
- 【0086】 222...串列資料介面
- 【0087】 231...串列資料路徑
- 【0088】 232...串列資料路徑
- 【0089】 240...時脈電路
- 【0090】 245...時脈信號
- 【0091】 251...校準電路
- 【0092】 252...校準電路
- 【0093】 300...系統
- 【0094】 310...第一半導體裝置

- 【0095】 311…SerDes 介面；並列輸入串列輸出(PISO)介面
- 【0096】 312…SerDes 介面；並列輸入串列輸出(PISO)介面
- 【0097】 313…SerDes 介面；並列輸入串列輸出(PISO)介面
- 【0098】 314…SerDes 介面；並列輸入串列輸出(PISO)介面
- 【0099】 315…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 【0100】 316…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 【0101】 317…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 【0102】 318…SerDes 介面；串列輸入並列輸出(SIPO)介面
- 【0103】 320…第二半導體裝置
- 【0104】 321…串列資料介面
- 【0105】 322…串列資料介面
- 【0106】 323…串列資料介面
- 【0107】 324…串列資料介面
- 【0108】 325…串列資料介面
- 【0109】 326…串列資料介面
- 【0110】 327…串列資料介面
- 【0111】 328…串列資料介面
- 【0112】 331…串列資料路徑
- 【0113】 332…串列資料路徑
- 【0114】 333…串列資料路徑
- 【0115】 334…串列資料路徑
- 【0116】 335…串列資料路徑

- 【0117】 336…串列資料路徑
- 【0118】 337…串列資料路徑
- 【0119】 338…串列資料路徑
- 【0120】 340…時脈電路
- 【0121】 345…時脈信號
- 【0122】 346…鎖相迴路(PLL)
- 【0123】 347…四元鎖相迴路(QPLL)
- 【0124】 351…校準電路
- 【0125】 352…校準電路
- 【0126】 353…校準電路
- 【0127】 354…校準電路
- 【0128】 355…校準電路
- 【0129】 356…校準電路
- 【0130】 357…校準電路
- 【0131】 358…校準電路
- 【0132】 410…階段
- 【0133】 420…階段
- 【0134】 430…階段
- 【0135】 440…階段
- 【0136】 450…階段
- 【0137】 510…階段
- 【0138】 520…階段

- 【0139】 530…階段
- 【0140】 540…階段
- 【0141】 550…階段
- 【0142】 RCLK…低頻率參考時脈

## 申請專利範圍

1. 一種電子系統，其包含：

一第一半導體裝置，其包含複數個串列器-解串列器介面 (Serializer-Deserializer interfaces)；

一第二半導體裝置，其包含複數個串列資料介面，其中該複數個串列資料介面耦合至該複數個串列器-解串列器介面，以提供介於該第一半導體裝置與該第二半導體裝置之間之複數個串列資料路徑；

一時脈電路；及

複數個校準電路，其等在該第一半導體裝置一側處連接於該複數個串列資料路徑之各者中，其中該複數個校準電路之各者基於由一校準電腦所提供之一控制輸入而獨立可調整，

其中：

該複數個串列器-解串列器介面及該複數個串列資料介面受時控(clocked)於導出自該時脈電路之一時脈信號，且

該複數個校準電路之各者為一相位內插器(phase interpolator)，其經組態以基於由該校準電腦所提供之該控制輸入來補償跨對應的複數個串列資料路徑之時序差。

2. 如請求項 1 之電子系統，其中：

該第一半導體裝置包含一現場可程式閘陣列(field-programmable gate array)。

3. 如請求項 1 之電子系統，其中：

該複數個串列資料路徑之一第一部分經組態成用於將資料自該第

一半導體裝置傳送至該第二半導體裝置，且

該複數個串列資料路徑之一第二部分經組態成用於自該時脈電路傳送一參考時脈。

4. 如請求項 3 之電子系統，其中：

該複數個串列資料路徑之一第三部分經組態成用於將資料自該第二半導體裝置傳送至該第一半導體裝置，且

該複數個串列資料介面係耦合至該複數個串列資料路徑之該第三部分。

5. 如請求項 4 之電子系統，其中：

該第二半導體裝置進一步包含：

至少一驅動器及驅動電路系統，該驅動電路系統經組態以在複數個循環之各者中，基於在該複數個串列資料路徑之該第一部分上並行接收之資料來控制該至少一驅動器；及

至少一比較器及比較電路系統，該比較電路系統經組態以在複數個循環之各者中，自該至少一比較器獲得比較資料，並且在該複數個串列資料路徑之該第三部分上並行控制傳送該比較資料的傳輸。

6. 如請求項 1 之電子系統，其中：

該時脈電路經組態以輸出具有超過 2 GHz (gigaHertz)之一頻率之一時脈。

7. 如請求項 1 之電子系統，其中：

該時脈電路輸出一時脈信號；及

一四元鎖相迴路(quad phase locked loop)經連接至該時脈電路，並且以 4、8 或 16 之一乘數來倍增該時脈信號。

8. 如請求項 1 之電子系統，其中：

該時脈電路經組態以輸出具有 2 GHz 之一頻率之一時脈；及

該第一半導體裝置與該第二半導體裝置分開小於約 6 吋之一距離。

9. 如請求項 1 之電子系統，其中：

該第二半導體裝置包含一矽鍺裝置。

10. 如請求項 1 之電子系統，其中：

該電子系統包含一自動化測試系統。

11. 如請求項 10 之電子系統，其中：

該第二半導體裝置包含一接腳電子器件晶片(pin electronics chip)。

12. 如請求項 1 之電子系統，其中：

該第一半導體裝置係與該第二半導體裝置分開小於約 6 吋之一距離。

13. 如請求項 1 之電子系統，其中：

該複數個串列資料路徑之資料相依抖動係小於或等於該複數個串列資料路徑之一資料眼(data eye)之約 10 至 15 百分比。

14. 一種操作一電子系統之方法，該電子系統包含一第一半導體裝置及一第二半導體裝置，該第一半導體裝置包含耦合至該第二半導體裝置之複數個串列器-解串列器介面以形成複數個串列資料路徑，和複數個校準電路，其等在該第一半導體裝置一側處連接於該複數個串列資料路徑之各者中，其中該複數個校準電路之各者基於由一校準電腦所提供

之一控制輸入而獨立可調整，該方法包含：

基於由該校準電腦所提供之該控制輸入，藉由該複數個校準電路中之一對應校準電路來校準該複數個串列器-解串列器介面，以補償在該複數個串列資料路徑之各者處變化的信號內延遲，該對應校準電路為一相位內插器(phase interpolator)；

使用一來源同步串列器-解串列器協定，經由該複數個串列器-解串列器介面之一第一部分將複數個多位元字組(multi-bit word)自該第一半導體裝置傳送至該第二半導體裝置；

經由該複數個串列器-解串列器介面之一第二部分將一重複位元型態(pattern of bits)自該第一半導體裝置傳送至該第二半導體裝置；及

使用經由該複數個串列器-解串列器介面之該第二部分接收的該重複位元型態作為一參考時脈，在該第二半導體裝置處接收該複數個多位元字組，用於解碼經由該複數個串列器-解串列器介面之該第一部分接收之資料。

15. 如請求項 14 之方法，其中：

該電子系統包含一包含複數個通道的自動測試系統；及

傳送該複數個多位元字組包含以小於每通道 500 毫瓦之一功率、以超過每秒 25 GB (gigabit) 之一資料速率傳送每通道至少 8 個位元之字組。

16. 如請求項 14 之方法，其進一步包含：

使用經由該複數個串列器-解串列器介面之該第二部分接收的該重複位元型態作為一參考時脈，在該第二半導體裝置處傳送複數個多位元



字組，用於編碼資料以經由該複數個串列器-解串列器介面之一第三部分傳送。

17. 如請求項 14 之方法，其中：

傳送該複數個多位元字組包含傳送以具有資訊密度高於一 8/10 編碼方案的一編碼方案經編碼的資料。

18. 如請求項 14 之方法，其中：

傳送該複數個多位元字組包含經由該複數個串列器-解串列器介面之該第一部分以大於每秒 30 GB (gigabit, 十億位元) 並列傳送該經編碼資料。

19. 一種操作一電子系統之方法，該電子系統包含一第一半導體裝置及一第二半導體裝置，該第一半導體裝置經由複數個串列資料路徑耦合至該第二半導體裝置，和複數個校準電路，其等在該第一半導體裝置一側處連接於該複數個串列資料路徑之各者中，其中該複數個校準電路之各者基於由一校準電腦所提供之一控制輸入而獨立可調整，該方法包含：

基於由該校準電腦所提供之該控制輸入，藉由該複數個校準電路中之一對應校準電路來校準該複數個串列資料路徑之各者，以等化介於該第一半導體裝置與該第二半導體裝置之間之延遲，該對應校準電路為一相位內插器(phase interpolator)；

使用一串列器-解串列器協定，藉由分布複數個多位元字組之位元，將該複數個多位元字組自該第一半導體裝置傳送至該第二半導體裝置，用於經由該經校準複數個串列資料路徑之一第一部分並行傳送；及

在該第二半導體裝置處接收該複數個多位元字組，

其中該傳送及接收相對於一相同時脈經同步化。

20. 如請求項 19 之方法，其中：

校準該複數個串列資料路徑以等化介於該第一半導體裝置與該第二半導體裝置之間之該延遲包含調整至至少一個相位內插器之一控制輸入。

21. 如請求項 19 之方法，其進一步包含：

經由該經校準複數個串列資料路徑之一第二部分將一重複位元型樣自該第一半導體裝置傳送至該第二半導體裝置，該重複型樣相對於一時脈經同步化，該傳送該複數個多位元字組相對於該時脈經同步化，

其中該重複位元型樣係作為該接收該複數個多位元字組經同步化所相對之該時脈。

22. 如請求項 21 之方法，其進一步包含：

使用經由該經校準複數個串列資料路徑之該第二部分接收之該重複位元型樣作為一參考時脈，自該第二半導體裝置傳送多位元字組以用於編碼資料。

23. 如請求項 19 之方法，其中：

該經校準複數個串列資料路徑經組態為一並列資料匯流排使得該複數個多位元字組之位元並行傳送。

24. 如請求項 23 之方法，其中：

該複數個多位元字組之該等位元經使用一來源同步協定在該經校準複數個串列資料路徑之各者上傳送。

25. 如請求項 23 之方法，其中：

該等多位元字組之該等位元係使用一非對稱編碼方案在該經校準  
複數個串列資料路徑之各者上傳送。

圖式

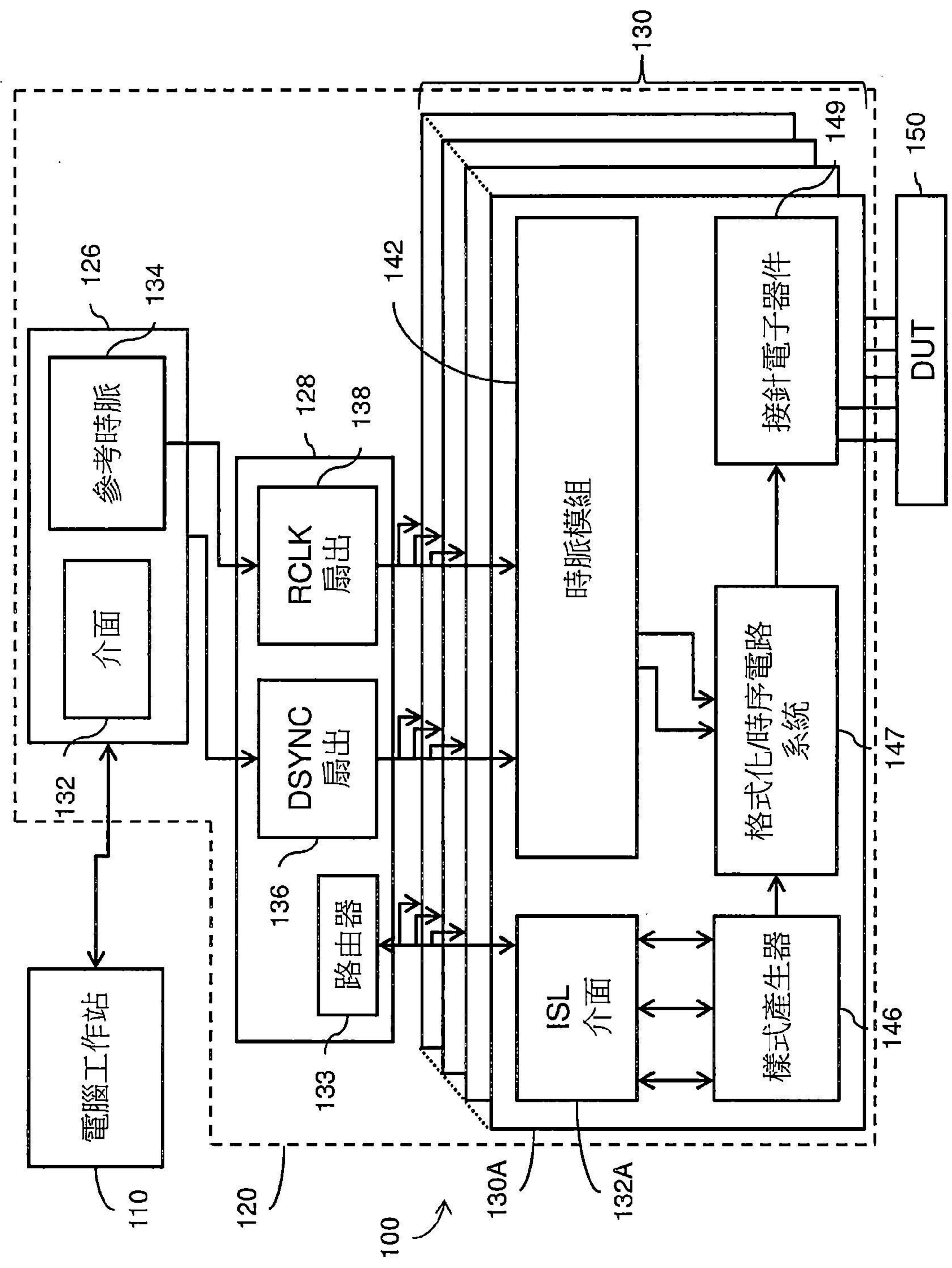


圖1

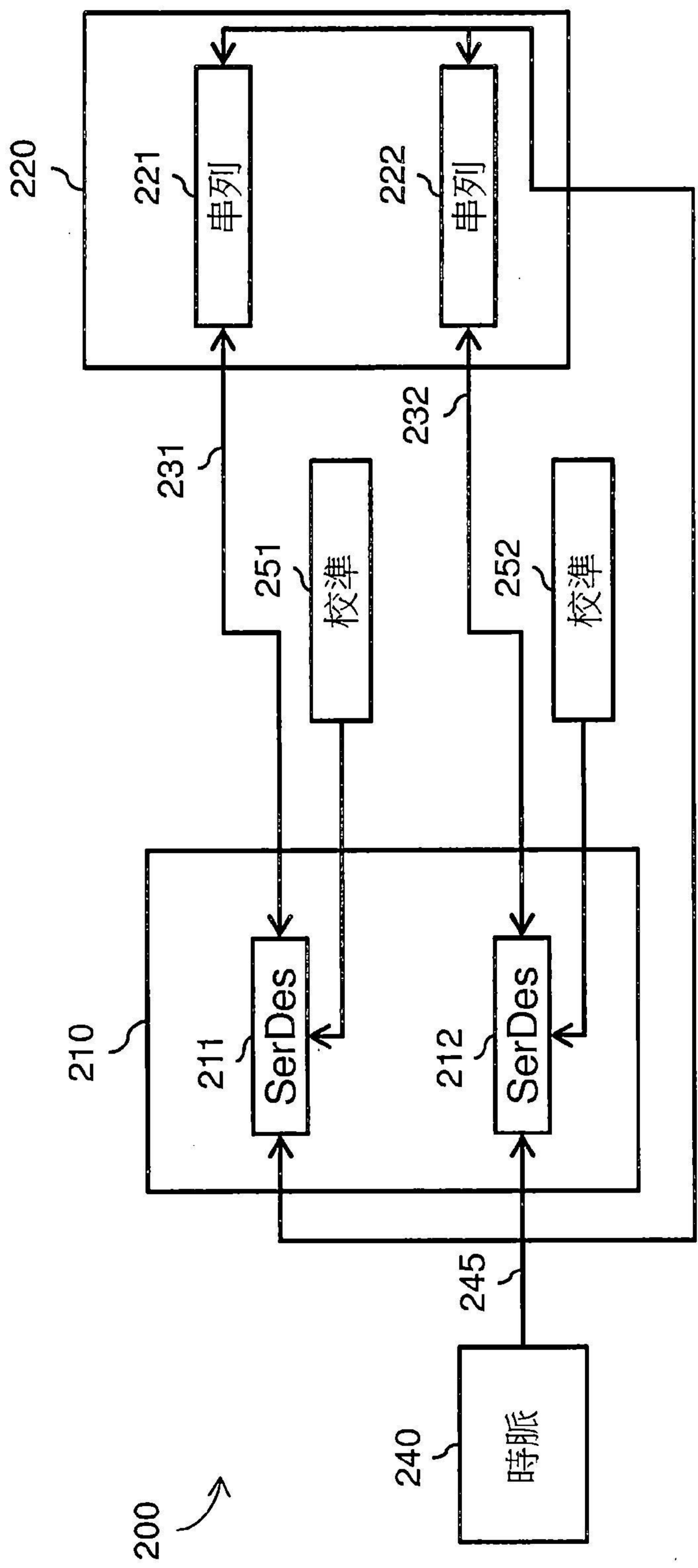


圖2

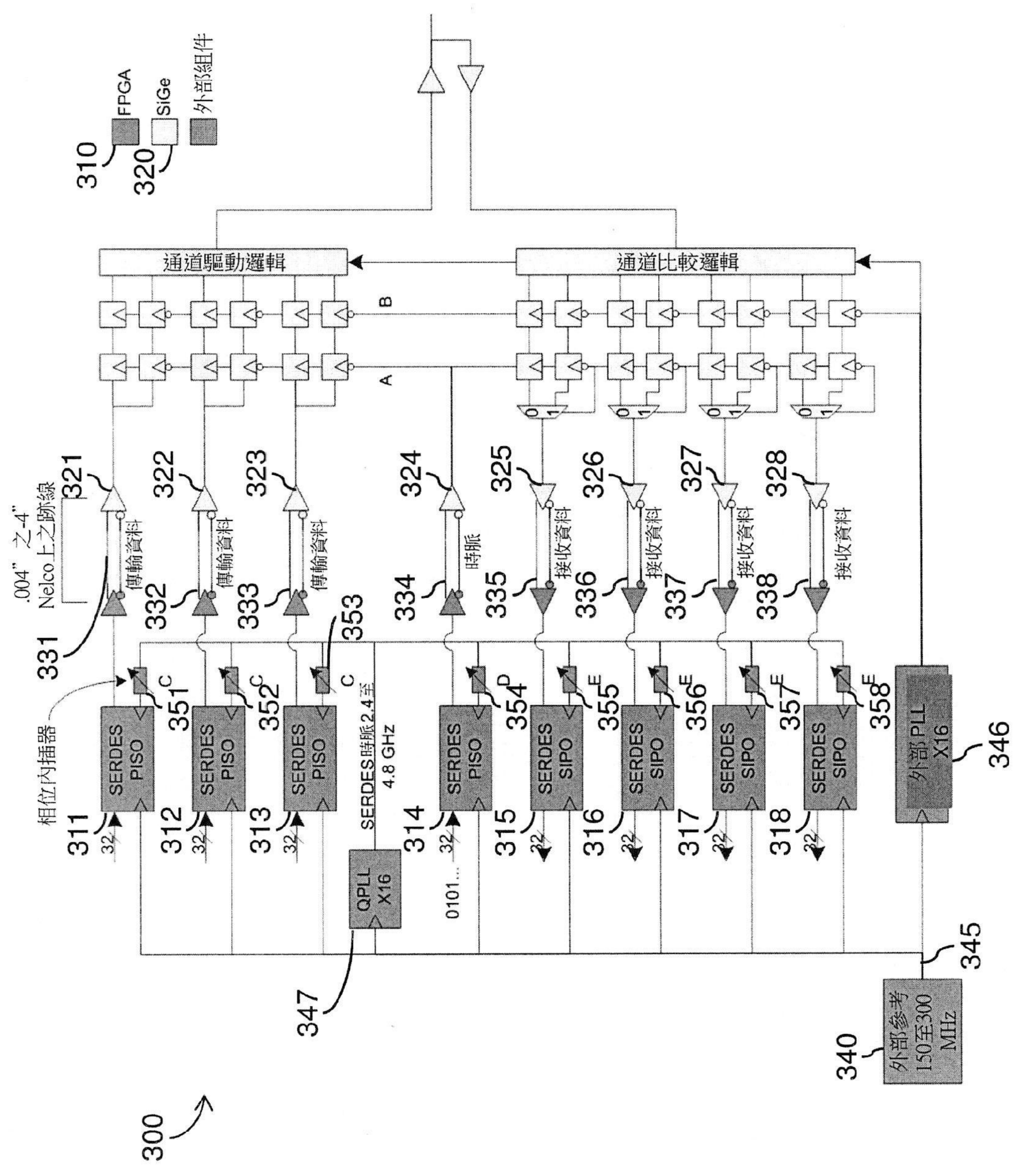


圖3

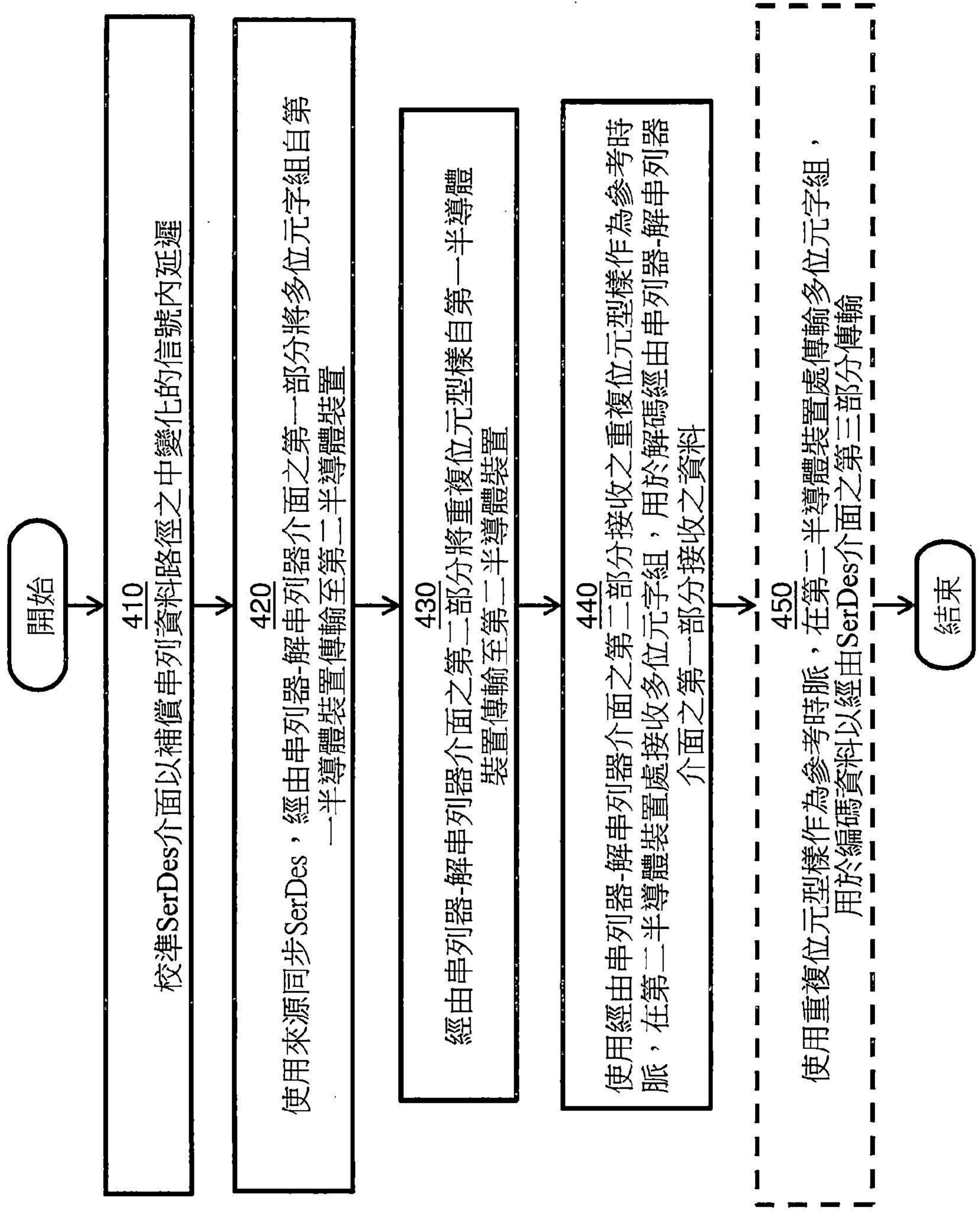


圖4

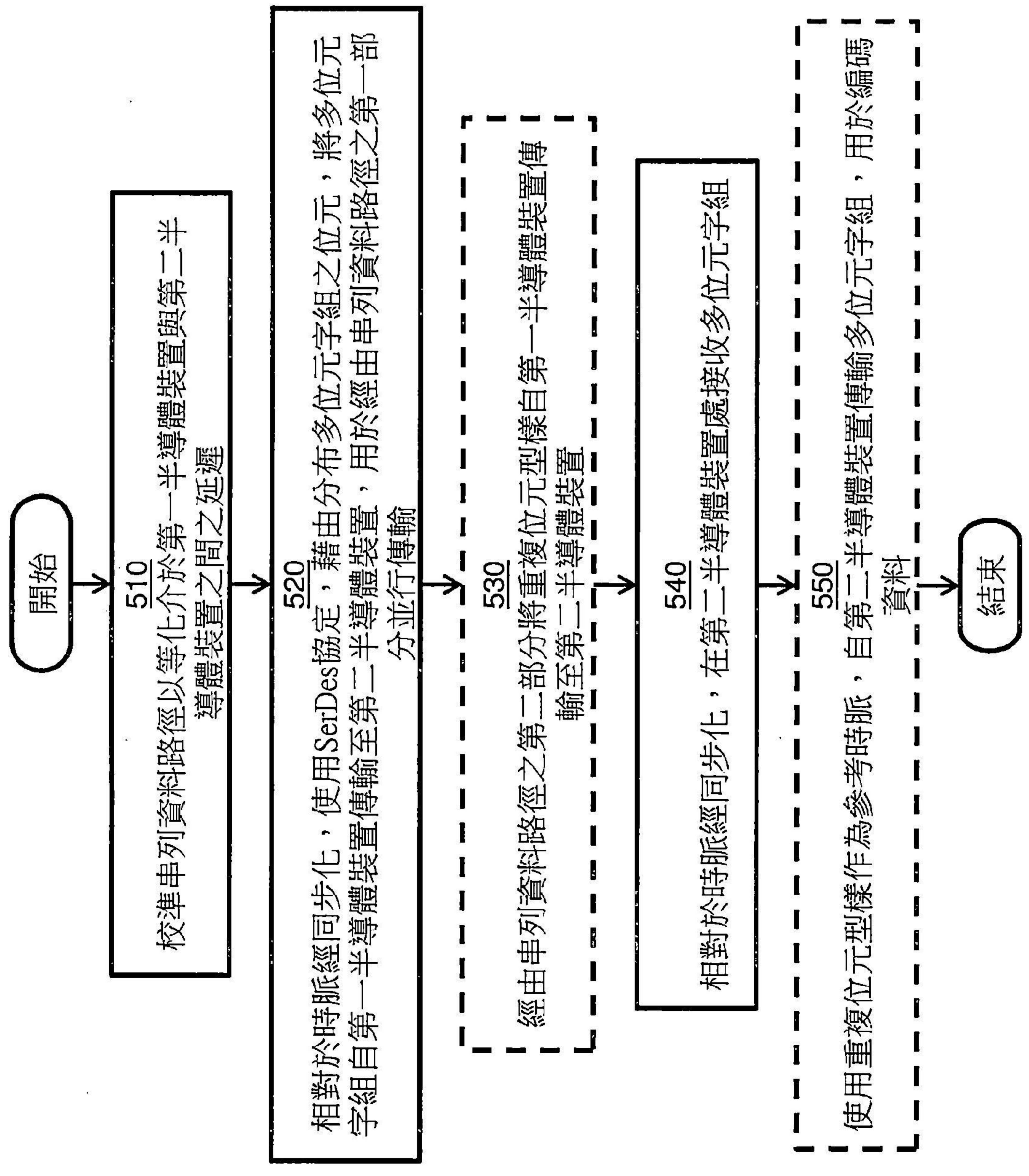


圖5