



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0107340
(43) 공개일자 2019년09월20일

(51) 국제특허분류(Int. Cl.)
H03K 5/156 (2006.01) H03K 5/24 (2006.01)
(52) CPC특허분류
H03K 5/1565 (2013.01)
H03K 5/2481 (2013.01)
(21) 출원번호 10-2018-0028472
(22) 출원일자 2018년03월12일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이현배
경기도 이천시 대월면 현대6차아파트 604동 1004호
(74) 대리인
김성남

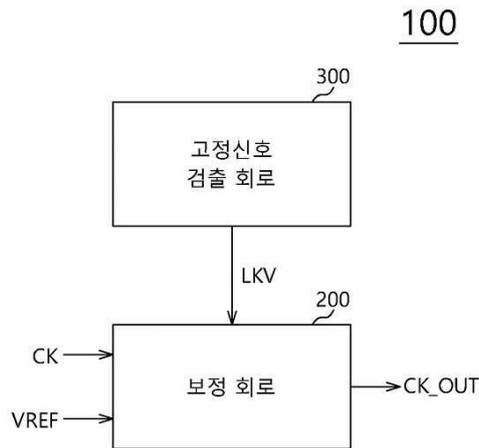
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 듀티 사이클 보정 회로

(57) 요약

본 기술은 고정신호에 따라 외부 클럭 신호의 듀티 사이클을 보정하도록 구성된 보정 회로; 및 반도체 회로 내부적으로 생성한 내부 클럭 신호를 이용하여 상기 외부 클럭 신호의 듀티 사이클 보정을 위한 상기 고정신호를 생성하도록 구성된 고정신호 검출회로를 포함할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

고정신호에 따라 외부 클럭 신호의 듀티 사이클을 보정하도록 구성된 보정 회로; 및
반도체 회로 내부적으로 생성한 내부 클럭 신호를 이용하여 상기 외부 클럭 신호의 듀티 사이클 보정을 위한 상기 고정신호를 생성하도록 구성된 고정신호 검출회로를 포함하는 듀티 사이클 보정 회로.

청구항 2

제 1 항에 있어서,
상기 외부 클럭 신호는 상기 반도체 회로 외부에서 제공되는 단상(Single Phase) 클럭 신호인 듀티 사이클 보정 회로.

청구항 3

제 1 항에 있어서,
상기 내부 클럭 신호는 차동(differential) 클럭 신호인 듀티 사이클 보정 회로.

청구항 4

제 1 항에 있어서,
상기 보정 회로는
외부 클럭 신호를 기준 전압에 따라 수신하도록 구성된 리시버,
상기 리시버의 출력신호를 적분하여 출력하도록 구성된 적분기,
상기 고정신호와 상기 적분기의 출력신호를 비교하여 비교 신호를 생성하도록 구성된 비교기, 및
상기 비교 신호에 따라 상기 외부 클럭 신호의 듀티 사이클을 조정하도록 구성된 듀티 사이클 조정기를 포함하는 듀티 사이클 보정 회로.

청구항 5

제 1 항에 있어서,
상기 고정신호 검출회로는
듀티 조정이 개시된 이후부터 듀티 고정이 완료되기 전까지 활성화되고, 듀티 고정이 완료된 후에는 비 활성화 되도록 구성되는 듀티 사이클 보정 회로.

청구항 6

제 1 항에 있어서,
상기 고정신호 검출회로는
내부 차동 클럭 신호를 생성하도록 구성된 오실레이터,
상기 내부 차동 클럭 신호를 버퍼링하여 출력하도록 구성된 버퍼,
상기 버퍼에서 출력된 신호들의 듀티 차이를 검출하여 차동 듀티 검출 신호를 생성하도록 구성된 듀티 사이클 검출기,
상기 차동 듀티 검출 신호에 따라 상기 내부 차동 클럭 신호의 듀티 사이클을 조정하도록 구성된 듀티 사이클 조정기, 및

상기 내부 차동 클럭 신호의 듀티 고정(Locking)이 완료되는 레벨을 상기 고정신호로서 출력하도록 구성된 고정 신호 검출기를 포함하는 듀티 싸이클 보정 회로.

청구항 7

제 6 항에 있어서,

상기 고정신호 검출기는

상기 차동 듀티 검출 신호를 디지털 변환하여 차동 듀티 검출 코드를 생성하도록 구성된 아날로그-디지털 변환기,

상기 차동 듀티 검출 코드의 값이 서로 일치하는지 판단하여 전송 인에이블 신호를 활성화시키도록 구성된 코드 비교기, 및

상기 전송 인에이블 신호가 활성화되면 상기 차동 듀티 검출 신호 중에서 어느 하나를 상기 고정신호로서 출력하도록 구성된 고정신호 전송기를 포함하는 듀티 싸이클 보정 회로.

청구항 8

제 7 항에 있어서,

상기 아날로그-디지털 변환기는

전원단과 접지단 사이의 전압 레벨을 복수의 저항을 통해 분배하여 복수의 기준전압을 생성하도록 구성된 분배 저항,

상기 차동 듀티 검출 신호 중에서 어느 하나를 상기 복수의 기준전압 각각과 비교하여 상기 차동 듀티 검출 코드 중에서 어느 하나를 생성하도록 구성된 복수의 제 1 비교기, 및

상기 차동 듀티 검출 신호 중에서 다른 하나를 상기 복수의 기준전압 각각과 비교하여 상기 차동 듀티 검출 코드 중에서 다른 하나를 생성하도록 구성된 복수의 제 2 비교기를 포함하는 듀티 싸이클 보정 회로.

청구항 9

제 7 항에 있어서,

상기 코드 비교기는

상기 차동 듀티 검출 코드를 동일 순번의 비트 한 쌍 단위로 입력 받고 입력받은 신호들에 대한 제 1 로직 연산을 수행하여 출력 신호들을 생성하도록 구성된 복수의 로직 게이트, 및

상기 복수의 로직 게이트의 출력 신호들에 대한 제 2 로직 연산을 수행하여 상기 전송 인에이블 신호를 생성하도록 구성된 연산 로직을 포함하는 듀티 싸이클 보정 회로.

청구항 10

제 6 항에 있어서,

듀티 조정이 개시된 이후부터 상기 듀티 고정이 완료되기 전까지 상기 고정신호 검출회로를 활성화시키고, 상기 듀티 고정이 완료된 이후 상기 고정신호 검출회로를 비 활성화시키도록 구성된 활성화 제어회로를 더 포함하는 듀티 싸이클 보정 회로.

청구항 11

제 10 항에 있어서,

상기 활성화 제어회로는

조정 종료 신호 및 상기 고정신호를 논리합하도록 구성되는 듀티 싸이클 보정 회로.

청구항 12

제 11 항에 있어서,

상기 조정 종료 신호는 듀티 조정 명령에 따라 생성되는 듀티 싸이클 보정 회로.

청구항 13

제 1 항에 있어서,

상기 보정 회로는

외부 클럭 신호를 기준 전압에 따라 수신하도록 구성된 리시버,

상기 리시버의 출력 신호를 반도체 회로 내부에 정해진 회로 구성들에 재전송하도록 구성된 리피터,

상기 리피터의 출력신호를 적분하여 출력하도록 구성된 적분기,

상기 고정신호와 상기 적분기의 출력신호를 비교하여 차동 비교 코드를 생성하도록 구성된 비교기, 및

상기 차동 비교 코드에 따라 상기 외부 클럭 신호의 듀티 싸이클을 조정하도록 구성된 제 1 듀티 싸이클 조정기를 포함하는 듀티 싸이클 보정 회로.

청구항 14

제 13 항에 있어서,

상기 제 1 듀티 싸이클 조정기는

입력단이 상기 리시버와 연결된 인버터,

전원단과 상기 인버터 사이에 공통 연결되며, 상기 차동 비교 코드에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 상기 인버터의 출력 노드를 풀 업시키도록 구성된 복수의 풀업 레그,

접지단과 상기 인버터 사이에 공통 연결되며, 상기 차동 비교 코드에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 상기 인버터의 출력 노드를 풀 다운시키도록 구성된 복수의 풀다운 레그를 포함하는 듀티 싸이클 보정 회로.

청구항 15

제 13 항에 있어서,

상기 고정신호 검출회로는

내부 차동 클럭 신호를 생성하도록 구성된 오실레이터,

상기 내부 차동 클럭 신호를 버퍼링하여 출력하도록 구성된 버퍼,

상기 버퍼의 출력 신호를 상기 리피터의 신호 처리 지연시간과 동일한 시간만큼 지연시켜 출력하도록 구성된 레플리카,

상기 레플리카에서 출력된 신호들의 듀티 차이를 검출하여 차동 듀티 검출 코드를 생성하도록 구성된 듀티 싸이클 검출기,

상기 차동 듀티 검출 코드에 따라 상기 내부 차동 클럭 신호의 듀티 싸이클을 조정하도록 구성된 제 2 듀티 싸이클 조정기, 및

상기 내부 차동 클럭 신호의 듀티 고정이 완료되는 레벨을 상기 고정신호로서 출력하도록 구성된 고정신호 검출기를 포함하는 듀티 싸이클 보정 회로.

청구항 16

수신된 외부 클럭 신호를 반도체 회로 내부에 정해진 회로 구성들에 재전송하도록 구성된 리피터;

고정신호와 상기 리피터의 출력신호를 비교하여 비교 신호를 생성하도록 구성된 비교기;

상기 비교 신호에 따라 상기 외부 클럭 신호의 듀티 싸이클을 조정하도록 구성된 제 1 듀티 싸이클 조정기;

내부 차동 클럭 신호를 생성하도록 구성된 오실레이터;

상기 내부 차동 클럭 신호를 상기 리피터의 신호 처리 지연시간과 동일한 시간만큼 지연시켜 출력하도록 구성된 레플리카;

상기 레플리카에서 출력된 신호들의 듀티 차이를 검출하여 차동 듀티 검출 신호를 생성하도록 구성된 듀티 사이클 검출기;

상기 차동 듀티 검출 신호에 따라 상기 내부 차동 클럭 신호의 듀티 싸이클을 조정하도록 구성된 제 2 듀티 싸이클 조정기; 및

상기 내부 차동 클럭 신호의 듀티 고정이 완료되는 레벨을 상기 고정신호로서 출력하도록 구성된 고정신호 검출기를 포함하는 듀티 싸이클 보정 회로.

청구항 17

제 16 항에 있어서,

상기 듀티 싸이클 검출기는

상기 레플리카의 차동 출력 신호를 입력받아 증폭된 차동 듀티 검출 신호를 출력하도록 구성된 증폭 회로, 및

상기 차동 듀티 검출 신호를 디지털 방식의 차동 듀티 검출 코드로 변환하도록 구성된 아날로그-디지털 변환기를 포함하는 듀티 싸이클 보정 회로.

청구항 18

제 16 항에 있어서,

상기 고정신호 검출기는

상기 차동 듀티 검출 코드의 값이 서로 일치하는지 판단하여 전송 인에이블 신호를 활성화시키도록 구성된 코드 비교기, 및

상기 전송 인에이블 신호가 활성화되면 상기 차동 듀티 검출 코드 중에서 어느 하나를 상기 고정신호로서 출력하도록 구성된 고정신호 전송기를 포함하는 듀티 싸이클 보정 회로.

청구항 19

제 18 항에 있어서,

상기 코드 비교기는

상기 차동 듀티 검출 코드를 동일 순번의 비트 한 쌍 단위로 입력 받고 입력받은 신호들에 대한 제 1 로직 연산을 수행하여 출력 신호들을 생성하도록 구성된 복수의 로직 게이트, 및

상기 복수의 로직 게이트의 출력 신호들에 대한 제 2 로직 연산을 수행하여 상기 전송 인에이블 신호를 생성하도록 구성된 연산 로직을 포함하는 듀티 싸이클 보정 회로.

청구항 20

제 16 항에 있어서,

듀티 조정이 개시된 이후부터 상기 듀티 고정이 완료되기 전까지 상기 고정신호 검출회로를 활성화시키고, 상기 듀티 고정이 완료된 이후 상기 고정신호 검출회로를 비 활성화시키도록 구성된 활성화 제어회로를 더 포함하는 듀티 싸이클 보정 회로.

발명의 설명

기술 분야

본 발명은 반도체 회로에 관한 것으로서, 특히 듀티 싸이클 보정 회로에 관한 것이다.

배경 기술

[0001]

- [0002] CPU와 메모리와 같이 클럭(Clock) 신호를 기반으로 동작하는 반도체 회로는 클럭 신호의 듀티가 정확히 제어되는 것이 매우 중요하다.
- [0003] 예를 들어, 클럭 신호의 듀티가 50%를 벗어날 경우 즉, 클럭 신호의 하이 레벨 구간과 로우 레벨 구간의 비율이 동일하지 못하고 어느 한쪽으로 치우칠 경우 데이터가 정확한 타이밍에 입/출력되지 못하게 된다.
- [0004] 따라서 클럭 신호를 기준으로 동작하는 반도체 회로는 클럭 신호의 듀티를 보정하기 위한 듀티 싸이클 보정 회로가 필수적이라 할 수 있다.
- [0005] 이때 종래의 듀티 싸이클 보정 회로는 차동 클럭 신호의 듀티 싸이클 차이를 보정하도록 구성된다.
- [0006] 차동 클럭 신호는 어느 하나를 기준으로 반대의 위상이 존재하므로 듀티 싸이클을 보정하는 것이 용이하다.
- [0007] 한편, 단일 위상(이하, 단상) 클럭 신호를 사용할 경우, 차동 클럭 신호를 사용하는 경우에 비해 해당 반도체 회로의 소비 전력 측면에서 매우 유리하다.
- [0008] 그러나 단일 위상 클럭 신호는 하나의 위상만 제공되고 반대의 위상이 제공되지 않으므로 듀티 싸이클 보정의 한계가 존재하여 단일 위상 클럭 신호를 사용하기 어려운 문제가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명의 실시예는 단일 위상 클럭 신호의 듀티 싸이클 보정이 가능한 듀티 싸이클 보정 회로를 제공한다.

과제의 해결 수단

- [0010] 본 발명의 실시예는 고정신호에 따라 외부 클럭 신호의 듀티 싸이클을 보정하도록 구성된 보정 회로; 및 반도체 회로 내부적으로 생성한 내부 클럭 신호를 이용하여 상기 외부 클럭 신호의 듀티 싸이클 보정을 위한 상기 고정신호를 생성하도록 구성된 고정신호 검출회로를 포함할 수 있다.

발명의 효과

- [0011] 본 기술은 단일 위상 클럭 신호의 듀티 싸이클 보정이 가능하므로 단일 위상 클럭 신호를 반도체 회로에 적용할 수 있으며, 그에 따라 반도체 회로의 소비 전력을 감소시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시예에 따른 듀티 싸이클 보정 회로(100)의 구성을 나타낸 도면,
- 도 2는 도 1의 보정 회로(200)의 구성을 나타낸 도면,
- 도 3은 도 2의 듀티 싸이클 비교기(240)의 구성을 나타낸 도면,
- 도 4는 도 2의 제 1 듀티 싸이클 조정기(250)의 구성을 나타낸 도면,
- 도 5는 도 1의 고정신호 검출 회로(300)의 구성을 나타낸 도면,
- 도 6은 도 5의 듀티 싸이클 검출기(340)의 구성을 나타낸 도면,
- 도 7은 도 5의 제 2 듀티 싸이클 조정기(350)의 구성을 나타낸 도면,
- 도 8는 도 5의 고정신호 검출기(360)의 구성을 나타낸 도면,
- 도 9는 도 8의 아날로그-디지털 변환기(400)의 구성을 나타낸 도면,
- 도 10은 도 8의 코드 비교기(500)의 구성을 나타낸 도면,
- 도 11은 도 8의 고정신호 전송기(600)의 구성을 나타낸 도면,
- 도 12은 발명의 다른 실시예에 따른 듀티 싸이클 보정 회로(101)의 구성을 나타낸 도면,
- 도 13은 도 12의 보정 회로(201)의 구성을 나타낸 도면,
- 도 14는 도 13의 제 1 듀티 싸이클 조정기(280)의 구성을 나타낸 도면,

도 15는 도 12의 고정신호 검출 회로(301)의 구성을 나타낸 도면,
 도 16은 도 15의 듀티 싸이클 검출기(401)의 구성을 나타낸 도면,
 도 17은 도 15의 제 2 듀티 싸이클 조정기(501)의 구성을 나타낸 도면,
 도 18은 도 15의 고정신호 검출기(361)의 구성을 나타낸 도면이고,
 도 19는 도 18의 고정신호 전송기(601)의 구성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0014] 도 1은 본 발명의 실시예에 따른 듀티 싸이클 보정 회로(100)의 구성을 나타낸 도면이다.
- [0015] 본 발명의 실시예에 따른 듀티 싸이클 보정 회로(100)는 외부 클럭 신호(CK)의 듀티 싸이클 고정(Locking)이 완료 되었음을 판단하는 기준이 되는 아날로그 형태의 고정신호로 생성하며, 이에 따라 듀티 싸이클 보정이 이루어지도록 회로를 구성한 예를 든 것이다.
- [0016] 도 1을 참조하면, 본 발명의 실시예에 따른 듀티 싸이클 보정 회로(100)는 보정 회로(200) 및 고정신호 검출회로(300)를 포함할 수 있다.
- [0017] 보정 회로(200)는 고정신호(LKV)에 따라 외부 클럭 신호(CK)의 듀티 싸이클을 보정할 수 있다.
- [0018] 고정신호 검출회로(300)는 반도체 회로 내부적으로 생성한 내부 클럭 신호를 이용하여 외부 클럭 신호(CK)의 듀티 싸이클 보정을 위한 고정신호(LKV)를 생성할 수 있다.
- [0019] 외부 클럭 신호(CK)는 본 발명의 실시예에 따른 듀티 싸이클 보정 회로(100)를 포함하는 반도체 회로 외부에서 제공되는 클럭 신호로서, 단상(Single Phase) 신호일 수 있다.
- [0020] 예를 들어, 외부 클럭 신호(CK)는 반도체 회로가 메모리일 경우, CPU, GPU 등과 같은 프로세서에서 제공되는 클럭 신호일 수 있다.
- [0022] 도 2는 도 1의 보정 회로(200)의 구성을 나타낸 도면이다.
- [0023] 도 2를 참조하면, 보정 회로(200)는 리시버(210), 리피터(220), 적분기(230), 비교기(240) 및 제 1 듀티 싸이클 조정기(250)를 포함할 수 있다.
- [0024] 리시버(210)는 외부 클럭 신호(CK)를 기준 전압(VREF)에 따라 수신할 수 있다.
- [0025] 리피터(220)는 리시버(210)를 통해 수신된 클럭 신호(CK_OUT)를 반도체 회로 내부에 정해진 회로 구성들에 재전송할 수 있다.
- [0026] 적분기(230)는 리피터(220)의 출력(RPTOUT)을 적분하여 출력할 수 있다.
- [0027] 비교기(240)는 고정신호 검출회로(300)에서 제공된 고정신호(LKV)와 적분기(230)의 출력(CK_INT)을 비교하여 차동 비교 신호(UPB/DN)를 생성할 수 있다.
- [0028] 제 1 듀티 싸이클 조정기(250)는 차동 비교 신호(UPB/DN)에 따라 외부 클럭 신호(CK)의 듀티 싸이클 즉, 리시버(210)의 출력 신호(CK_OUT)의 듀티 싸이클을 조정할 수 있다.
- [0030] 도 3은 도 2의 듀티 싸이클 비교기(240)의 구성을 나타낸 도면이다.
- [0031] 도 3을 참조하면, 듀티 싸이클 비교기(240)는 차동 증폭기(241), 제 1 커패시터(242) 및 제 2 커패시터(243)를 포함할 수 있다.
- [0032] 차동 증폭기(241)는 제 1 입력단에 고정신호(LKV)를 입력받고, 제 2 입력단에 적분기(230)의 출력(CK_INT)을 입력받아, 증폭된 차동 비교 신호(UPB/DN)를 제 1 출력단과 제 2 출력단을 통해 출력할 수 있다.
- [0033] 제 1 커패시터(242)는 제 1 출력단에 연결되고, 제 2 커패시터(243)는 제 2 출력단에 연결될 수 있다.

- [0034] 제 1 커패시터(242) 및 제 2 커패시터(243)는 적분기(230)의 출력(CK_INT)과 고정신호(LKV)의 레벨 차이에 따라 충전량이 달라짐으로써 차동 비교 신호(UPB/DN)의 레벨을 조정할 수 있다.
- [0036] 도 4는 도 2의 제 1 듀티 싸이클 조정기(250)의 구성을 나타낸 도면이다.
- [0037] 도 4를 참조하면, 제 1 듀티 싸이클 조정기(250)는 인버터(251), 풀업 소자(252) 및 풀다운 소자(253)를 포함할 수 있다.
- [0038] 인버터(251)는 입력단이 리시버(210)와 연결될 수 있다.
- [0039] 풀업 소자(252)는 전원단과 인버터(251) 사이에 연결되어 차동 비교 신호(UPB/DN) 중에서 UPB에 따라 인버터(251)의 출력 노드를 풀업시킬 수 있다.
- [0040] 풀다운 소자(253)는 접지단과 인버터(251) 사이에 연결되어 차동 비교 신호(UPB/DN) 중에서 DN에 따라 인버터(251)의 출력 노드를 풀다운시킬 수 있다.
- [0042] 도 5는 도 1의 고정신호 검출회로(300)의 구성을 나타낸 도면이다.
- [0043] 도 5를 참조하면, 고정신호 검출회로(300)는 오실레이터(310), 버퍼(320), 레플리카(330), 듀티 싸이클 검출기(340), 제 2 듀티 싸이클 조정기(350), 고정신호 검출기(360) 및 활성화 제어회로(370)를 포함할 수 있다.
- [0044] 오실레이터(310)는 내부 차동 클럭 신호(FCK, FCKB)를 생성할 수 있다.
- [0045] 오실레이터(310)는 복수의 인버터(311 - 318)로 구성할 수 있다.
- [0046] 버퍼(320)는 내부 차동 클럭 신호(FCK, FCKB)를 버퍼링하여 출력신호(FCK_OUT, FCKB_OUT)를 생성할 수 있다.
- [0047] 레플리카(330)는 도 2의 리피터(220)를 복제한 복제회로로서, 버퍼(320)의 출력 신호(FCK_OUT, FCKB_OUT)를 리피터(220)의 신호 처리 지연시간과 동일한 시간만큼 지연시켜 출력할 수 있다.
- [0048] 레플리카(330)는 내부 차동 클럭 신호(FCK, FCKB)가 외부 클럭(CK)과 동일한 PVT 특성 즉, PVT 변동에 따른 지연 특성을 가질 수 있도록 구성한 것이다.
- [0049] 듀티 싸이클 검출기(340)는 레플리카(330)의 차동 출력 신호(RP_OUT, RP_OUTB)의 듀티 차이를 검출하여 차동 듀티 검출 신호(DCD, DCDB)를 생성할 수 있다.
- [0050] 제 2 듀티 싸이클 조정기(350)는 차동 듀티 검출 신호(DCD, DCDB)에 따라 내부 차동 클럭 신호(FCK, FCKB) 즉, 버퍼(320)의 출력 신호(FCK_OUT, FCKB_OUT)의 듀티 싸이클을 조정할 수 있다.
- [0051] 고정신호 검출기(360)는 내부 차동 클럭 신호(FCK, FCKB)의 듀티 고정(Locking)이 완료되는 레벨 즉, 차동 듀티 검출 신호(DCD, DCDB)의 듀티 비가 같아지고(하이 듀티와 로우 듀티가 동일) 그에 따라 차동 듀티 검출 신호(DCD, DCDB)의 레벨이 서로 같아지는 경우의 DCD 신호의 아날로그 레벨을 고정신호(LKV)로서 출력할 수 있다.
- [0052] 고정신호 검출회로(300) 즉, 오실레이터(310), 버퍼(320), 레플리카(330), 듀티 싸이클 검출기(340), 제 2 듀티 싸이클 조정기(350) 및 고정신호 검출기(360)는 인에이블 신호(ENB)에 따라 활성화 또는 비 활성화될 수 있다.
- [0053] 예를 들어, 오실레이터(310), 버퍼(320), 레플리카(330), 듀티 싸이클 검출기(340), 제 2 듀티 싸이클 조정기(350) 및 고정신호 검출기(360)는 인에이블 신호(ENB)가 로우 레벨로 활성화된 구간 동안 활성화되고, 인에이블 신호(ENB)가 하이 레벨로 비 활성화된 구간 동안 비 활성화될 수 있다.
- [0054] 고정신호 검출회로(300)는 듀티 조정 구간 동안만(듀티 조정이 개시되고 듀티 고정이 완료될 때까지) 활성화되고, 그 이후에는 비 활성화됨으로써 전류 소비를 줄일 수 있다.
- [0055] 활성화 제어회로(370)는 듀티 조정 구간 동안만(듀티 조정이 개시된 이후부터 듀티 고정이 완료될 때까지) 고정신호 검출회로(300)를 활성화시키고, 듀티 고정 동작이 완료된 이후 고정신호 검출회로(300)를 비 활성화시키기 위한 인에이블 신호(ENB)를 생성할 수 있다.
- [0056] 활성화 제어회로(370)는 조정 종료 신호(CAL_END) 및 고정신호(LKV)에 따라 인에이블 신호(ENB)를 생성할 수 있다.

- [0057] 조정 종료 신호(CAL_END)는 듀티 조정 명령에 따라 생성될 수 있다. 조정 종료 신호(CAL_END)는 듀티 조정 명령에 의해 정해진 듀티 조정 구간의 종료 시점에 하이 레벨로 활성화될 수 있다.
- [0058] 활성화 제어회로(370)는 조정 종료 신호(CAL_END)와 고정신호(LKV)를 논리합한 결과를 인에이블 신호(ENB)로서 출력할 수 있다.
- [0059] 활성화 제어회로(370)는 조정 종료 신호(CAL_END)와 고정신호(LKV) 중에서 어느 하나라도 하이 레벨로 활성화되면 즉, 듀티 조정 구간이 종료되거나 듀티 조정 구간이내에 듀티 고정이 완료되면 인에이블 신호(ENB)를 하이 레벨로 비 활성화시킬 수 있다.
- [0061] 도 6은 도 5의 듀티 사이클 검출기(340)의 구성을 나타낸 도면이다.
- [0062] 도 6을 참조하면, 듀티 사이클 검출기(340)는 차동 증폭기(341), 제 1 커패시터(342) 및 제 2 커패시터(343)를 포함할 수 있다.
- [0063] 차동 증폭기(341)는 레플리카(330)의 차동 출력 신호(RP_OUT, RP_OUTB)를 입력받아 증폭된 차동 듀티 검출 신호(DCD, DCDB)를 출력할 수 있다.
- [0064] 제 1 커패시터(342) 및 제 2 커패시터(343)는 차동 출력 신호(RP_OUT, RP_OUTB)의 레벨 차이에 따라 충전량이 달라짐으로써 차동 듀티 검출 신호(DCD, DCDB)의 레벨을 조정할 수 있다.
- [0066] 도 7은 도 5의 제 2 듀티 사이클 조정기(350)의 구성을 나타낸 도면이다.
- [0067] 도 7을 참조하면, 제 2 듀티 사이클 조정기(350)는 제 1 인버터(351), 제 2 인버터(352), 풀업 소자(353), 풀다운 소자(354) 및 스위칭 소자(355)를 포함할 수 있다.
- [0068] 제 1 인버터(351)는 입력단이 버퍼(320)와 연결된다.
- [0069] 제 2 인버터(352)는 제 1 인버터(351)의 출력을 입력 받는다.
- [0070] 풀업 소자(353)는 스위칭 소자(355)와 제 1 인버터(351) 사이에 연결되어 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCDB에 따라 제 1 인버터(351)의 출력 노드를 풀업시킬 수 있다.
- [0071] 풀다운 소자(354)는 접지단과 제 1 인버터(351) 사이에 연결되어 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCD에 따라 제 1 인버터(351)의 출력 노드를 풀다운시킬 수 있다.
- [0072] 스위칭 소자(355)는 인에이블 신호(ENB)가 로우 레벨로 활성화되면 전원단을 풀업 소자(353)에 연결시킬 수 있다.
- [0074] 도 8는 도 5의 고정신호 검출기(360)의 구성을 나타낸 도면이다.
- [0075] 도 8을 참조하면, 고정신호 검출기(360)는 아날로그-디지털 변환기(400), 코드 비교기(500) 및 고정신호 전송기(600)를 포함할 수 있다.
- [0076] 아날로그-디지털 변환기(400)는 인에이블 신호(ENB)가 활성화되면 아날로그 형태의 차동 듀티 검출 신호(DCD, DCDB)를 디지털 변환하여 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)를 생성할 수 있다.
- [0077] 코드 비교기(500)는 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)의 값이 서로 일치하면 즉, DCD<0:N>과 DCDB<0:N>의 각 비트 값이 모두 일치하면 전송 인에이블 신호(LKEN, LKENB)를 활성화시킨다.
- [0078] 고정신호 전송기(600)는 전송 인에이블 신호(LKEN, LKENB)가 활성화되면 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCD를 고정신호(LKV)로서 출력할 수 있다.
- [0080] 도 9는 도 8의 아날로그-디지털 변환기(400)의 구성을 나타낸 도면이다.
- [0081] 도 9에 도시된 바와 같이, 아날로그-디지털 변환기(400)는 분배저항(410), 복수의 제 1 비교기(420) 및 복수의

제 2 비교기(430)를 포함할 수 있다.

- [0082] 분배저항(410)은 전원단과 접지단 사이에 연결된 복수의 저항을 포함한다.
- [0083] 분배저항(41)은 전원단과 접지단 사이의 전압 레벨을 복수의 저항을 통해 분배하여 복수의 탭(Tap)을 통해 복수의 기준전압(VREFi<0:N>)을 생성할 수 있다.
- [0084] 복수의 제 1 비교기(420)는 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCD를 복수의 기준전압(VREFi<0:N>) 각각과 비교하여 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCD<0:N>를 생성할 수 있다.
- [0085] 복수의 제 2 비교기(430)는 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCDB를 복수의 기준전압(VREFi<0:N>) 각각과 비교하여 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCDB<0:N>를 생성할 수 있다.
- [0087] 도 10은 도 8의 코드 비교기(500)의 구성을 나타낸 도면이다.
- [0088] 도 10에 도시된 바와 같이, 코드 비교기(500)는 복수의 로직 게이트(510), 연산 로직(520) 및 인버터(530)를 포함할 수 있다.
- [0089] 복수의 로직 게이트(510)는 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)를 동일 순번의 비트 한 쌍 단위로 입력 받고 입력받은 신호들에 대한 배타적 논리합을 수행하여 출력 신호들(OUT<0:N>)을 생성할 수 있다.
- [0090] 예를 들어, OUT<0>를 출력하는 로직 게이트(510)는 DCD<0>과 DCDB<0>이 같은 값이면 로우 레벨을 출력할 수 있다.
- [0091] 연산 로직(520)은 출력 신호들(OUT<0:N>)에 대해 부정 논리곱 연산을 수행하여 전송 인에이블 신호(LKEN)를 생성하도록 구성될 수 있다.
- [0092] 연산 로직(520)은 출력 신호들(OUT<0:N>)의 비트들이 모두 로우 레벨이면 전송 인에이블 신호(LKEN)를 하이 레벨로 활성화시킬 수 있다.
- [0093] 인버터(530)는 전송 인에이블 신호(LKEN)를 반전시켜 그 반전신호 LKENB를 생성할 수 있다.
- [0095] 도 11은 도 8의 고정신호 전송기(600)의 구성을 나타낸 도면이다.
- [0096] 도 11에 도시된 바와 같이, 고정신호 전송기(600)는 패스 게이트(610)를 포함할 수 있다.
- [0097] 패스 게이트(610)는 입력단에 차동 듀티 검출 신호(DCD, DCDB) 중에서 DCD를 입력받고, 제어단들에 전송 인에이블 신호(LKEN)와 그 반전신호(LKENB)를 입력 받는다.
- [0098] 패스 게이트(610)는 전송 인에이블 신호(LKEN)가 하이 레벨이면(LKENB = 로우 레벨), 차동 듀티 검출 신호(DCD)를 고정신호(LKV)로서 출력할 수 있다.
- [0100] 상술한 바와 같이 구성된 본 발명의 실시예에 따른 듀티 사이클 보정 회로(100)의 동작을 설명하면 다음과 같다.
- [0101] 반도체 장치 외부 또는 내부에서 듀티 조정 명령이 생성됨에 따라 듀티 조정 동작이 개시된다.
- [0102] 듀티 조정 구간 동안 조정 종료 신호(CAL_END)는 비 활성화되며, 듀티 고정이 완료되기 전까지 고정신호(LKV) 또한 비 활성화된다.
- [0103] 조정 종료 신호(CAL_END) 및 고정신호(LKV)가 비 활성화 상태이므로 고정값 검출회로(300)는 내부 차동 클럭 신호(FCK, FCKB)의 듀티 사이클 검출 및 조정 동작을 반복하여 내부 차동 클럭 신호(FCK, FCKB)의 듀티가 50%(하이 구간과 로우 구간이 일치)로 조정됨을 검출함에 따른 고정신호(LKV)를 생성한다.
- [0104] 내부 차동 클럭 신호(FCK, FCKB)는 오실레이터(310)를 통해 생성되는 자주(Free running) 클럭 신호이다. 따라서 내부 차동 클럭 신호(FCK, FCKB)를 외부 클럭 신호(CK)와 동일한 신호 경로 즉, 버퍼(320) 및 레플리카(330)를 경유하도록 함으로써 내부 차동 클럭 신호(FCK, FCKB)가 외부 클럭 신호(CK)와 동일한 듀티 사이클 특성을 가지도록 할 수 있다.

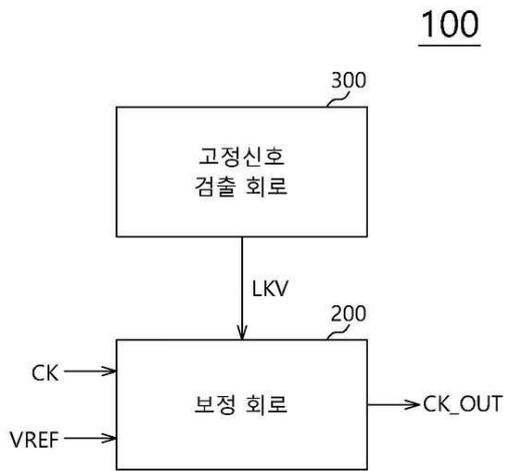
- [0105] 따라서 고정값 검출회로(300)를 통해 외부 클럭 신호(CK)의 듀티를 원하는 값으로 조정하기 위한 기준이 되는 고정신호(LKV)를 생성할 수 있다.
- [0106] 고정신호(LKV)가 생성됨에 따라 고정값 검출회로(300)가 비 활성화된다. 즉, 고정값 검출회로(300)의 동작이 중지된다.
- [0107] 보정 회로(200)는 외부 클럭 신호(CK)를 적분한 신호 즉, 적분기(230)의 출력 신호(CK_INT)가 고정신호(LKV)와 동일한 레벨이 되도록 외부 클럭 신호(CK)의 듀티 사이클을 반복적으로 조정한다.
- [0108] 적분기(230)의 출력 신호(CK_INT)가 고정신호(LKV)와 동일한 레벨을 가짐에 따라 외부 클럭 신호(CK)의 듀티 사이클 조정이 최종적으로 완료될 수 있다.
- [0109] 상술한 바와 같이, 본 발명의 실시예는 반도체 장치 내부적으로 생성된 내부 차동 클럭 신호(FCK, FCKB)를 이용하여 외부 클럭 신호(CK)의 듀티를 원하는 값으로 조정하기 위한 기준이 되는 고정신호(LKV)를 생성하고, 이를 이용하여 외부 클럭 신호(CK)의 듀티를 조정할 수 있다.
- [0110] 즉, 반도체 장치 외부에서 제공되는 클럭 신호가 차동 클럭 신호가 아닌 단상 클럭 신호인 경우에도 정확한 듀티 사이클 조정이 가능하다.
- [0112] 도 12은 발명의 다른 실시예에 따른 듀티 사이클 보정 회로(101)의 구성을 나타낸 도면,
- [0113] 본 발명의 다른 실시예에 따른 듀티 사이클 보정 회로(101)는 아날로그 고정신호가 아닌 디지털 고정신호 즉, 고정코드(LKV<0:N>)를 생성하며, 이에 따라 듀티 사이클 보정이 이루어지도록 회로를 구성한 예를 든 것이다.
- [0114] 도 12를 참조하면, 본 발명의 다른 실시예에 따른 듀티 사이클 보정 회로(101)는 보정 회로(201) 및 고정신호 검출회로(301)를 포함할 수 있다.
- [0115] 보정 회로(201)는 고정코드(LKV<0:N>)에 따라 외부 클럭 신호(CK)의 듀티 사이클을 보정할 수 있다.
- [0116] 고정신호 검출회로(301)는 반도체 회로 내부적으로 생성한 내부 클럭 신호를 이용하여 외부 클럭 신호(CK)의 듀티 사이클 보정을 위한 고정코드(LKV<0:N>)를 생성할 수 있다.
- [0117] 외부 클럭 신호(CK)는 본 발명의 다른 실시예에 따른 듀티 사이클 보정 회로(101)를 포함하는 반도체 회로 외부에서 제공되는 클럭 신호로서, 단상(Single Phase) 신호일 수 있다.
- [0118] 예를 들어, 외부 클럭 신호(CK)는 반도체 회로가 메모리일 경우, CPU, GPU 등과 같은 프로세서에서 제공되는 클럭 신호일 수 있다.
- [0120] 도 13은 도 12의 보정 회로(201)의 구성을 나타낸 도면이다.
- [0121] 도 13을 참조하면, 보정 회로(201)는 리시버(210), 리피터(220), 적분기(260), 비교기(270) 및 제 1 듀티 사이클 조정기(280)를 포함할 수 있다.
- [0122] 리시버(210) 및 리피터(220)는 도 2의 구성과 동일하므로 그 설명은 생략하기로 한다.
- [0123] 적분기(260)는 디지털 적분기로서, 리피터(220)의 출력(RPTOUT)을 적분하여 디지털 신호(CK_INT<0:N>)를 출력할 수 있다.
- [0124] 비교기(270)는 디지털 비교기로서, 고정신호 검출회로(301)에서 제공된 고정코드(LKV<0:N>)와 적분기(260)에서 출력된 디지털 신호(CK_INT<0:N>)를 비교하여 차동 비교 코드(UPB<0:N>/DN<0:N>)를 생성할 수 있다.
- [0125] 제 1 듀티 사이클 조정기(280)는 차동 비교 코드(UPB<0:N>/DN<0:N>)에 따라 외부 클럭 신호(CK)의 듀티 사이클 즉, 리시버(210)의 출력 신호(CK_OUT)의 듀티 사이클을 조정할 수 있다.
- [0127] 도 14는 도 13의 제 1 듀티 사이클 조정기(280)의 구성을 나타낸 도면이다.
- [0128] 도 14를 참조하면, 제 1 듀티 사이클 조정기(280)는 인버터(281), 복수의 풀업 레그(282) 및 복수의 풀다운 레그(283)를 포함할 수 있다.

- [0129] 인버터(281)는 입력단이 리시버(210)와 연결될 수 있다.
- [0130] 복수의 풀업 레그(282)는 전원단과 인버터(281) 사이에 공통 연결되며, 차동 비교 코드(UPB<0:N>/DN<0:N>) 중에서 UPB<0:N>에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 인버터(281)의 출력 노드를 풀업시킬 수 있다.
- [0131] 복수의 풀업 레그(282) 각각은 전원단과 인버터(281) 사이에 연결된 트랜지스터로 구성될 수 있다.
- [0132] 복수의 풀다운 레그(283)는 접지단과 인버터(281) 사이에 공통 연결되며, 차동 비교 코드(UPB<0:N>/DN<0:N>) 중에서 DN<0:N>에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 인버터(281)의 출력 노드를 풀다운시킬 수 있다.
- [0134] 도 15는 도 12의 고정신호 검출 회로(301)의 구성을 나타낸 도면이다.
- [0135] 도 15를 참조하면, 고정신호 검출회로(301)는 오실레이터(310), 버퍼(320), 레플리카(330), 듀티 사이클 검출기(401), 제 2 듀티 싸이클 조정기(501), 고정신호 검출기(361) 및 활성화 제어회로(370)를 포함할 수 있다.
- [0136] 오실레이터(310), 버퍼(320) 및 활성화 제어회로(370)는 도 5와 동일하게 구성할 수 있으므로 그 설명은 생략하기로 한다.
- [0137] 듀티 사이클 검출기(401)는 레플리카(330)의 차동 출력 신호(RP_OUT, RP_OUTB)의 듀티 차이를 검출하여 디지털 신호 즉, 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)를 생성할 수 있다.
- [0138] 제 2 듀티 싸이클 조정기(501)는 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)에 따라 내부 차동 클럭 신호(FCK, FCKB) 즉, 버퍼(320)의 출력 신호(FCK_OUT, FCKB_OUT)의 듀티 싸이클을 조정할 수 있다.
- [0139] 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)는 디지털 신호로서 아날로그 신호에 비해 안정된 레벨을 가질 수 있으므로 제 2 듀티 싸이클 조정기(501) 또한 안정적인 듀티 싸이클 조정 동작을 수행할 수 있다.
- [0140] 고정신호 검출기(361)는 내부 차동 클럭 신호(FCK, FCKB)의 듀티 고정(Locking)이 완료되는 레벨 즉, 차동 듀티 검출 신호(DCD, DCDB)의 듀티 비가 같아지고(하이 듀티와 로우 듀티가 동일) 그에 따라 차동 듀티 검출 신호(DCD, DCDB)의 레벨이 서로 같아지는 경우의 DCD 신호의 레벨을 디지털 신호 즉, 고정코드(LKV<0:N>)로서 출력할 수 있다.
- [0142] 도 16은 도 15의 듀티 싸이클 검출기(401)의 구성을 나타낸 도면이다.
- [0143] 도 16에 도시된 바와 같이, 듀티 싸이클 검출기(401)는 증폭 회로(402) 및 아날로그-디지털 변환기(403)를 포함할 수 있다.
- [0144] 증폭 회로(402)는 차동 증폭기(341), 제 1 커패시터(342) 및 제 2 커패시터(343)를 포함할 수 있다.
- [0145] 차동 증폭기(341)는 레플리카(330)의 차동 출력 신호(RP_OUT, RP_OUTB)를 입력받아 증폭된 차동 듀티 검출 신호(DCD, DCDB)를 출력할 수 있다.
- [0146] 제 1 커패시터(342) 및 제 2 커패시터(343)는 차동 출력 신호(RP_OUT, RP_OUTB)의 레벨 차이에 따라 충전량이 달라짐으로써 차동 듀티 검출 신호(DCD, DCDB)의 레벨을 조정할 수 있다.
- [0147] 아날로그-디지털 변환기(403)는 인에이블 신호(ENB)가 활성화되면 아날로그 방식의 차동 듀티 검출 신호(DCD, DCDB)를 디지털 신호로 변환하여 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>)로서 출력할 수 있다.
- [0149] 도 17은 도 15의 제 2 듀티 싸이클 조정기(501)의 구성을 나타낸 도면이다.
- [0150] 도 17에 도시된 바와 같이, 제 2 듀티 싸이클 조정기(501)는 제 1 인버터(511), 제 2 인버터(512), 복수의 풀업 레그(513), 복수의 풀다운 레그(514) 및 스위칭 소자(515)를 포함할 수 있다.
- [0151] 제 1 인버터(511)는 입력단이 버퍼(320)와 연결된다.
- [0152] 제 2 인버터(512)는 제 1 인버터(511)의 출력을 입력 받는다.

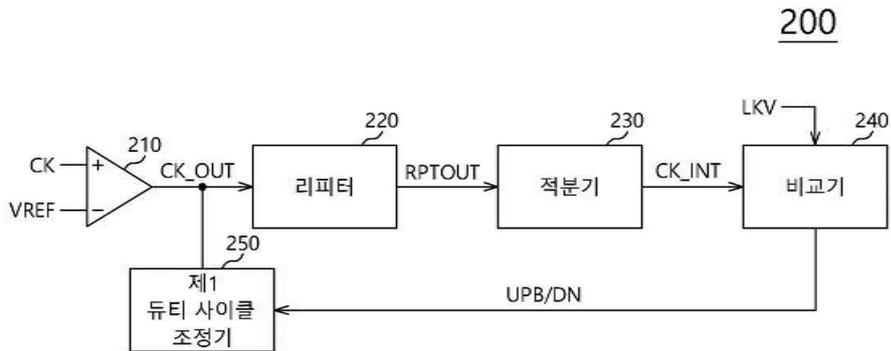
- [0153] 복수의 풀업 레그(513)는 스위칭 소자(515)와 제 1 인버터(511) 사이에 공통 연결되며, 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCDB<0:N>에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 제 1 인버터(511)의 출력 노드를 풀업시킬 수 있다.
- [0154] 복수의 풀업 레그(513) 각각은 스위칭 소자(515)와 제 1 인버터(511) 사이에 연결된 트랜지스터로 구성될 수 있다.
- [0155] 복수의 풀다운 레그(514)는 접지단과 제 1 인버터(511) 사이에 공통 연결되며, 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCD<0:N>에 따라 선택적으로 턴온되는 레그에 따라 가변된 구동력으로 제 1 인버터(511)의 출력 노드를 풀다운시킬 수 있다.
- [0156] 스위칭 소자(515)는 인에이블 신호(ENB)가 로우 레벨로 활성화되면 전원단을 복수의 풀업 레그(513)에 연결시킬 수 있다.
- [0158] 도 18은 도 15의 고정신호 검출기(361)의 구성을 나타낸 도면이다.
- [0159] 도 18을 참조하면, 고정신호 검출기(361)는 코드 비교기(500) 및 고정신호 전송기(601)를 포함할 수 있다.
- [0160] 코드 비교기(500)는 인에이블 신호(ENB)에 따라 활성화될 수 있도록 구성된 것을 제외하고, 도 8과 동일하게 구성할 수 있으므로 그 설명은 생략하기로 한다.
- [0161] 고정신호 전송기(601)는 전송 인에이블 신호(LKEN, LKENB)가 활성화되면 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCD<0:N>를 고정코드(LKV<0:N>)로서 출력할 수 있다.
- [0163] 도 19는 도 18의 고정신호 전송기(601)의 구성을 나타낸 도면이다.
- [0164] 도 19를 참조하면, 고정신호 전송기(601)는 복수의 패스 게이트(611)를 포함할 수 있다.
- [0165] 복수의 패스 게이트(611)는 입력단에 차동 듀티 검출 코드(DCD<0:N>, DCDB<0:N>) 중에서 DCD<0:N>을 한 비트씩 입력받고, 제어단들에 전송 인에이블 신호(LKEN)와 그 반전신호(LKENB)를 입력 받는다.
- [0166] 복수의 패스 게이트(611)는 전송 인에이블 신호(LKEN)가 하이 레벨이면(LKENB = 로우 레벨), 차동 듀티 검출 코드(DCD<0:N>)를 고정코드(LKV<0:N>)로서 출력할 수 있다.
- [0167] 상술한 본 발명의 다른 실시예에 따른 듀티 사이클 보정 회로(101)는 고정코드(LKV<0:N>) 등과 같이 디지털 신호처리의 차이만 존재할 뿐, 전반적인 동작은 도 1 내지 도 11을 참조하여 설명한 듀티 사이클 보정 회로(100)의 동작과 유사하므로 그 설명을 생략하기로 한다.
- [0169] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

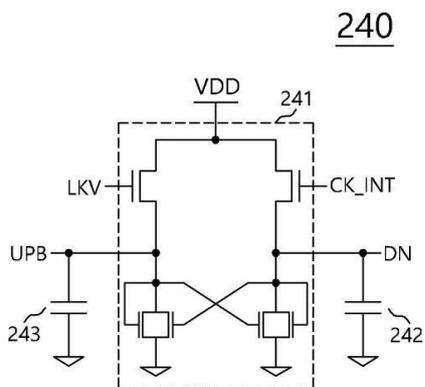
도면1



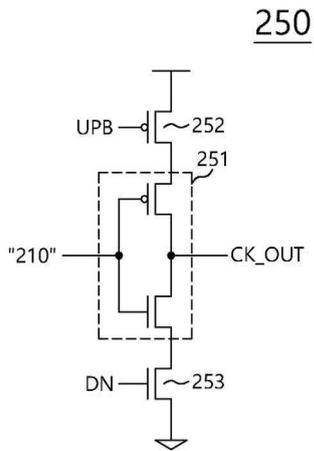
도면2



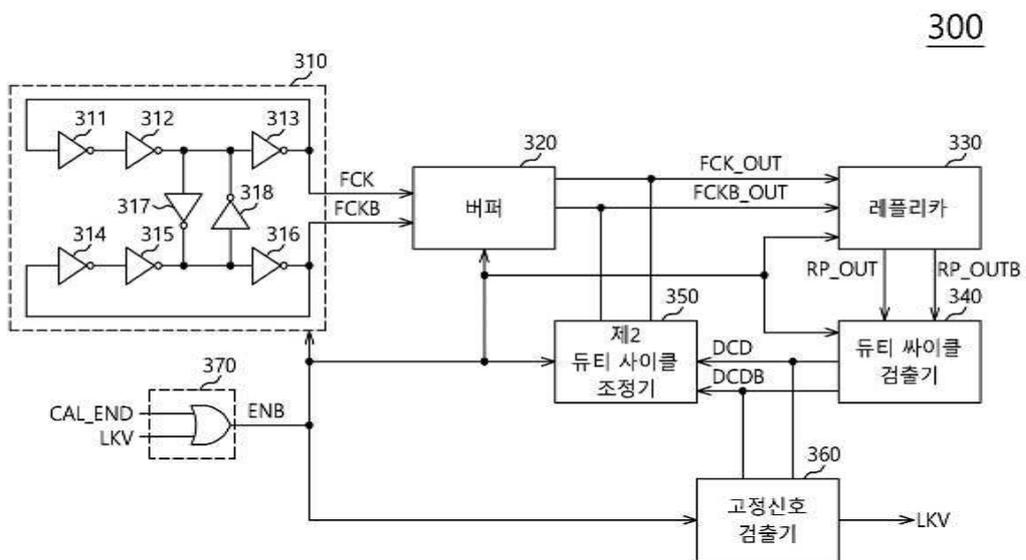
도면3



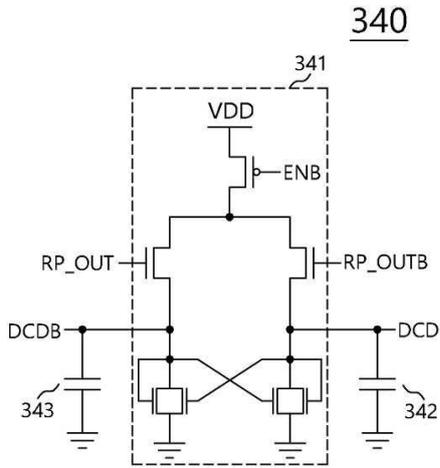
도면4



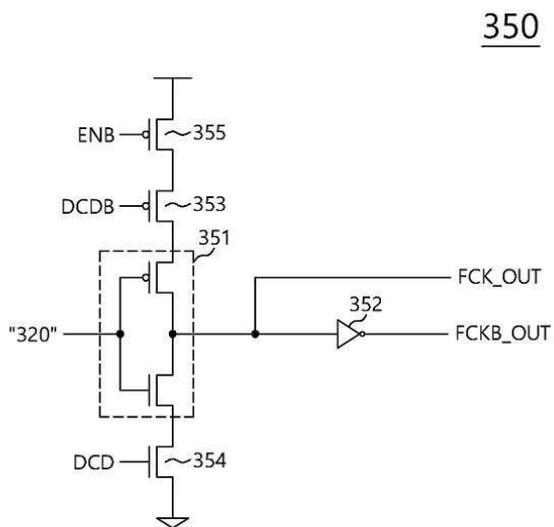
도면5



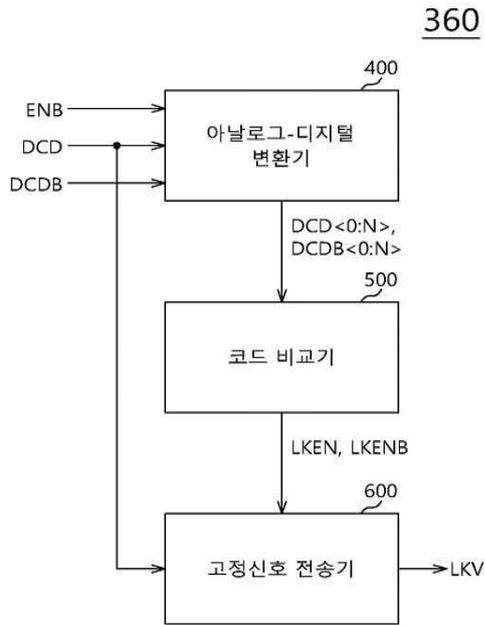
도면6



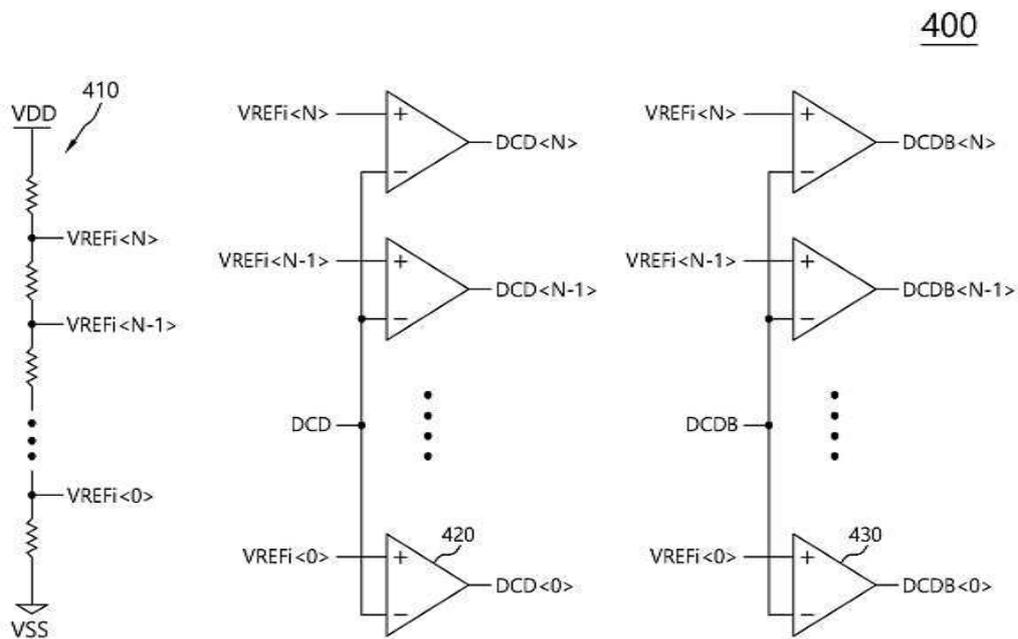
도면7



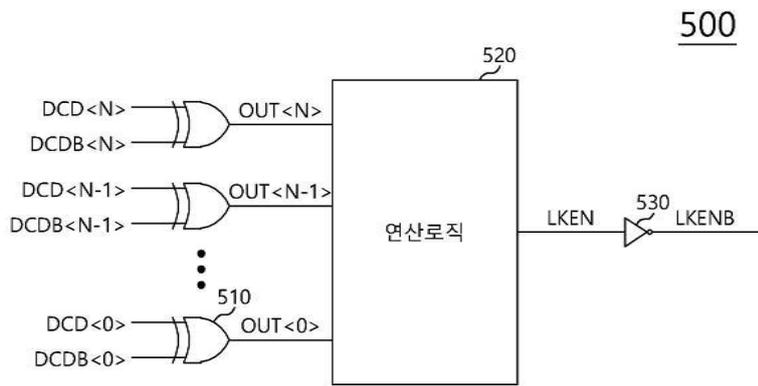
도면8



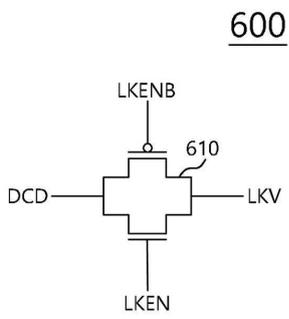
도면9



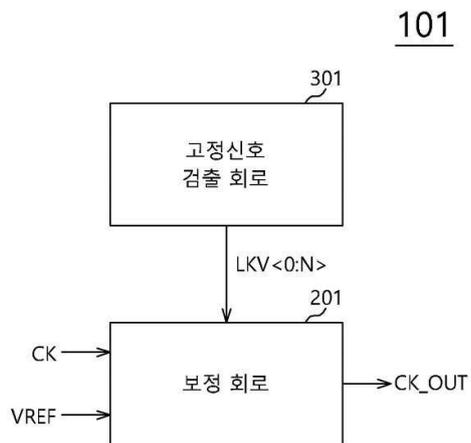
도면10



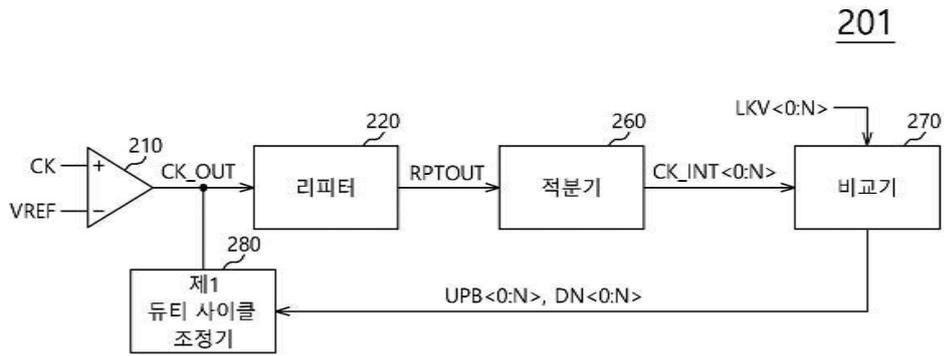
도면11



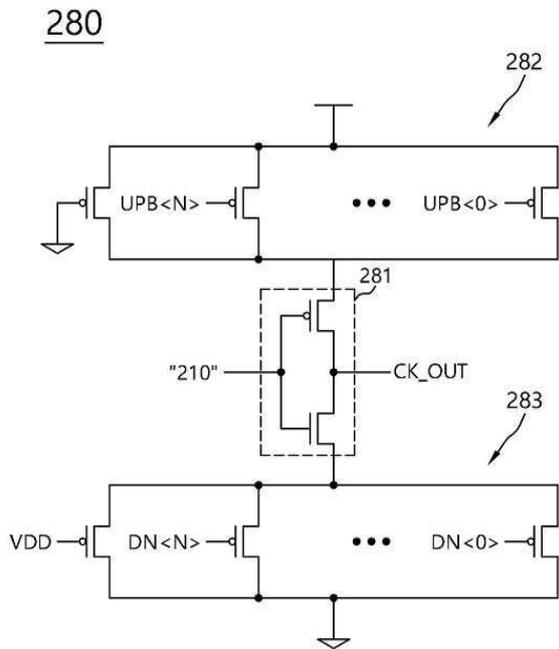
도면12



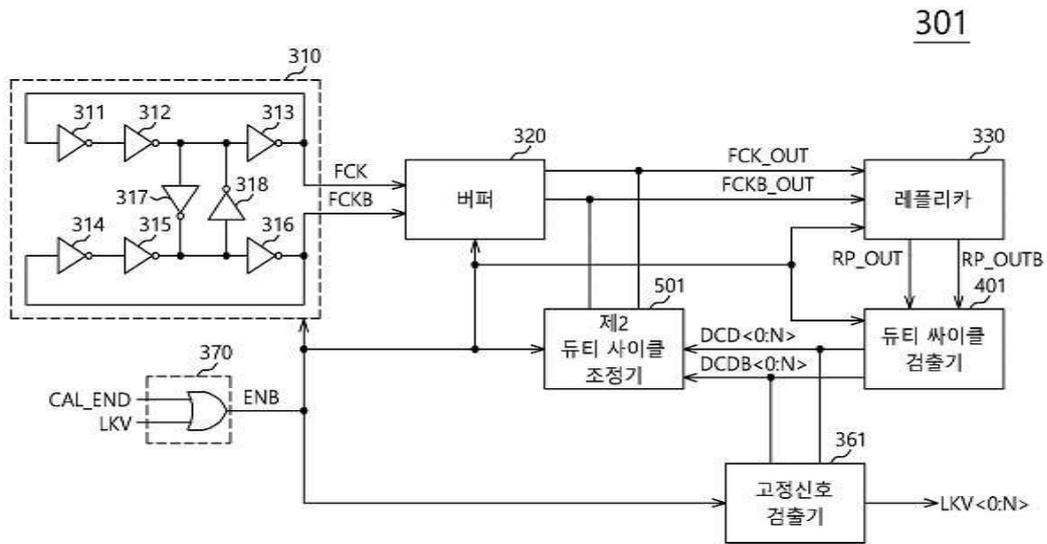
도면13



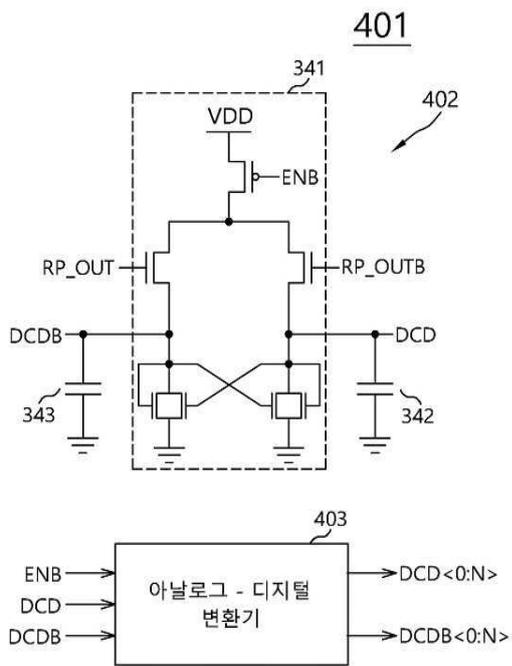
도면14



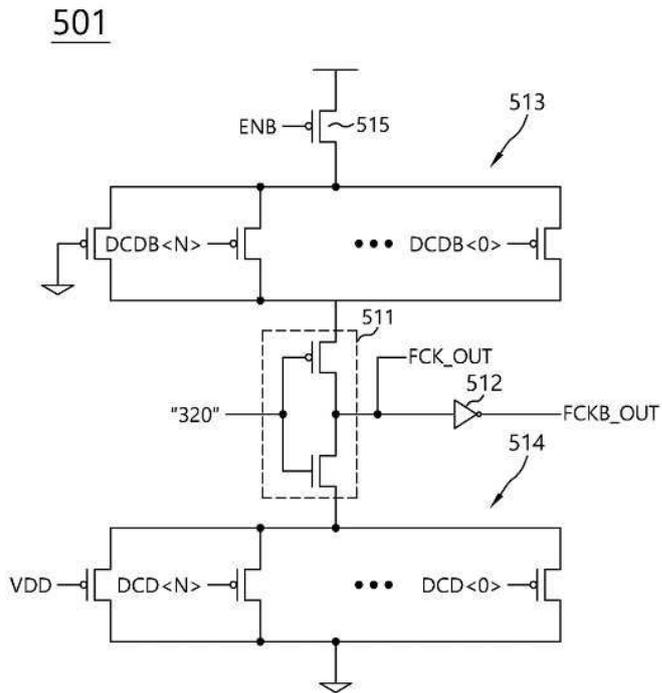
도면15



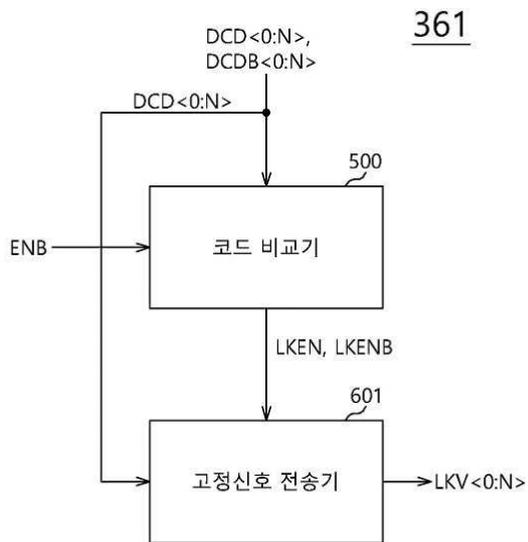
도면16



도면17



도면18



도면19

