

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl. <sup>6</sup> H01L 27/108	(45) 공고일자 1996년 10월 10일	(11) 공고번호 특1996-0013644
(21) 출원번호 특1993-0011889	(24) 등록일자 1996년 10월 10일	(65) 공개번호 특1995-0002038
(22) 출원일자 1993년 06월 28일	(43) 공개일자 1995년 01월 04일	

(73) 특허권자	현대전자산업주식회사 김주용
(72) 발명자	경기도 이천군 부발읍 아미리산 136-1 금동렬
(74) 대리인	경상북도 청도군 이서면 신촌리 462번지 박해천

**심사관 : 양희용 (책자공보 제4672호)**

**(54) 캐패시터 제조방법**

**요약**

내용 없음.

**대표도**

**도 1**

**명세서**

[발명의 명칭]

캐패시터 제조방법

[도면의 간단한 설명]

제1도는 디램셀의 레이아웃도,

제2도는 본 발명의 일 실시예에 따른 캐패시터 제조공정을 나타낸 제1도

A-A' 방향 횡단면도.

\* 도면의 주요부분에 대한 부호의 설명

- |                 |                   |
|-----------------|-------------------|
| 1 : 소자분리 산화막    | 2 : 게이트산화막        |
| 3 : 게이트전극       | 4 : 워드라인 스페이서 절연막 |
| 5 : 제5절연막       | 6 : 제3절연막         |
| 7 : 제4절연막       | 8 : 제1다결정 실리콘막    |
| 9 : 제1절연막       | 10 : 제2절연막        |
| 11 : 제2다결정 실리콘막 | 12 : 유전체막         |
| 13 : 제3다결정 실리콘막 | 14 : 실리콘 기판       |
| 20 : 다층절연막      | 30, 50 : 감광막 패턴   |

[발명의 상세한 설명]

본 발명은 반도체 기억소자 제조공정중 캐패시터 형성방법에 관한 것으로, 특히 주어진 셀 크기 내에서 충분한 값의 캐패시턴스를 확보할 수 있는 스택구조 전극을 갖는 캐패시터 제조방법에 관한 것이다.

소자의 집적도가 높아지고 단위 셀의 면적이 축소됨에 따라 64메가 디램(DRAM : Dynamic Random Access Memory)급 이상의 고밀도 소자(high density device)의 실현을 위하여 필수불가결한 핵심기술은 0.4마이크로미터( $\mu\text{m}$ )이하를 명확히 구분할 수 있는 사진 식각기술과 아울러 좁은 면적에서 충분한 값의 전하보존용량을 확보하는 것이다.

종래의 캐패시터 형성방법중 공지된 한 가지 방법은 실리콘 기판상에 소자분리 산화막, 게이트 산화막, 게이트 전극(워드라인), 소스 또는 드레인, 워드라인 스페이서 절연막 및 제1평탄화 절연막을 형성한 다음 다시 폴리실리콘막을 증착함으로써 플레이트전극을 형성하는 방법이다.

그러나 상기 종래 방법은 현재의 공정능력을 감안할 때 소자가 고집적화됨에 따라 절실히 요구되는 충분한 전하보존용량을 확보하기 어렵고 따라서 소자의 신뢰성이 저하되는 등의 문제점이 따랐다.

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명 0.3마이크로미터( $\mu\text{m}$ )이하의, 사진식각 기술로는 직접요획(define)이 불가능한 부분을 간접요획 방법을 이용하여 용이한 방법으로 좁은 면적에서 충분한 값의 용량을 확보할 수 있는 캐패시터 제조방법을 제공하는데 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은 반도체기판 상에 필드산화막, 게이트전극, 스페이서 절연막을 형성하고 활성영역을 갖는 MOSFET을 형성한 후, 제1평탄화 절연막으로 평탄화된 구조상에 캐패시터 제조방법에 있어서, 상기 제1평탄화절연막 상부에 다층절연막을 형성하여 평탄화한 후, 소스 영역과 접속되는 콘택홀을 형성하고 상부에 제1다결정 실리콘막을 전면 증착하는 제1단계, 상기 구조 상부에 식각선택비가 우수한 제 1 절연막을 증착한 다음, 상부에 다시 제2절연막을 증착하는 제 2단계 소스와 제1다결정 실리콘막이 콘택을 이루는 상부 일정부위의 상기 제 2 절연막, 제1절연막을 제거하는 제3단계, 상기 식각된 소정의 제2절연막과 제1절연막의 소정부위를 남기고 상기 제2절연막, 제1절연막, 제1다결정 실리콘막을 제4단계, 상기 제2다결정 실리콘막을 스페이서 식각하여 다결정 실리콘 스페이서를 형성하여 각각의 소자로 분리시키는 제5단계, 상기 제2절연막, 제1절연막 및 다층절연막중 일부를 제거하는 제6단계 및, 전체구조 상부에 유전체막을 형성한 다음, 제3다결정 실리콘 막을 증착하여 플레이트 전극을 형성하는 제7단계를 포함하여 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면 제1도 및 제2도를 참조하여 본 발명을 상술한다.

도면 제1도는 디램셀의 레이아웃, 제2a도 내지 제2g도는 본 발명의 일실시예에 따른 캐패시터 형성 공정 절차를 나타낸 제1도 A-A' 방향 횡단면도이며, 편이상 비트라인은 생략한다.

우선, 제2a도는 실리콘 기판(14)상에 필드산화막(1), 게이트절연막(2), 게이트전극(3), 스페이서 절연막(4)을 형성하고 활성영역을 갖는 MOSFET을 형성한 후, 제1평탄화 절연막(5)으로 평탄화한 상태의 단면도이다.

제2b도는 전체구조 상부에 제3절연막(6), 제 4절연막(7)의 다층절연막(20)을 증착한 후, 제1절연막(9)으로 식각 선택비가 우수한 TEOS막을 증착한 다음, 상부에 다시 제2절연막(10)을 증착한 후, 제2감광막 패턴(30)을 형성한 상태의 단면도이다. 이때, 반드시 상기 제2절연막(10)은 제1절연막(9)에 비해 습식식각 선택비가 우수한 물질이어야 하며, 주로 TEOS막 또는 BPSG막이 사용된다. 그리고 절연막과 다결정 실리콘막은 필요에 따라 반복하여 적층가능하고, 적층 정도에 따라 캐패시터의 높이가 변하게 된다.

제2c도는 상기 제1감광막 패턴(30)을 이용하여 제2절연막(10)을 건식식각하고, 제1감광막 패턴(30)을 제거한 후 제1절연막(9)을 습식식각한 다음, 제2감광막 패턴(50)을 형성한 상태의 단면도이다.

제2d도는 상기 제2감광막 패턴(50)을 이용하여 제2절연막(10), 제2절연막(9), 제1다결정 실리콘막(8)을 연속적으로 건식식각하여 소정부위를 제거한 다음 상기 감광막을 제거한후 전체구조 상부에 제2다결정 실리콘막(11)을 형성한 단면도이다.

제2e도는 상기 제2다결정 실리콘막(11)을 전면 건식식각(blanket etch back)하여 다결정 실리콘 스페이서(11')를 형성한 단면도이다.

제2f도는 상기 제2절연막(10), 제1절연막(9) 및 제4절연막(7)을 습식식각한 후의 단면도이다.

제2g도는 상기 구조 상부에 ONO(산화막-질화막-산화막)유전체막(12)을 형성한 다음, 제3다결정 실리콘막(13)을 증착하여 플레이트 전극을 형성함으로써 캐패시터를 완성한 후의 단면도이다.

상기과 같이 이루어지는 본 발명은 식각선택비를 이용하여 전하보전전극의 원형부분을 노출시킴으로써 캐패시터의 유효면적을 증가시켜 좁은 면적에 충분한 크기의 전하보존용량을 확보할 수 있는 효과가 있어 소자의 신뢰성 향상이 기대된다.

## (57) 청구의 범위

### 청구항 1

반도체 기억소자 제조공정중 반도체기판(14)상에 필드산화막(1), 게이트절연막(2), 게이트전극(3), 스페이서 절연막(4)을 형성하고 활성영역을 갖는 MOSFET을 형성한 후, 제1평탄화절연막(5)으로 평탄화된 구조상에 캐패시터 제조방법에 있어서, 상기 제1평탄화절연막(5)상부에 다층절연막(20)을 형성하여 평탄화한 후, 소스 영역과 접속되는 콘택홀을 형성하고 상부에 제1다결정 실리콘막(8)을 연속적으로 식각하여 소정부위를 제거한 다음 전체구조상부에 제2다결정 실리콘막(11)을 형성하는 제4단계, 상기 제2다결정 실리콘막(11)을 스페이서 식각하여 다결정 실리콘 스페이서(11')를 형성하여 각각의 소자로 분리시키는 제5단계, 상기 제2절연막(10), 제1절연막(9) 및 다층절연막(20)중 일부를 제거하는 제6단계 및, 전체구조 상부에 유전체막(12)을 형성한 다음, 제3다결정 실리콘막(13)을 증착하여 플레이트 전극을 형성하는 제7단계를 포함하여 이루어지는 것을 특징으로 하는 캐패시터 제조방법.

### 청구항 2

제1항에 있어서, 상기 제1단계의 다층절연막(20)은 제3절연막(6) 및 제4절연막(7)을 포함하여 이루어지는 것을 특징으로 하는 캐패시터 제조방법

### 청구항 3

제1항에 있어서, 상기 제2단계의 제2절연막(10)은 제1절연막(9)에 대하여 습식식각 선택비가 우수한 TEOS막 또는 BPSG막인 것을 특징으로 하는 캐패시터 제조방법.

### 청구항 4

제1항에 있어서, 상기 제3단계는 제1감광막 패턴(30)을 이용하여 상기 제2절연막(10)을 건식식각하고, 제1감광막 패턴(30)을 제거한 후 제1절연막(9)을 습식식각하여 이루어지는 것을 특징으로 하는 캐패시터 제

조방법.

**청구항 5**

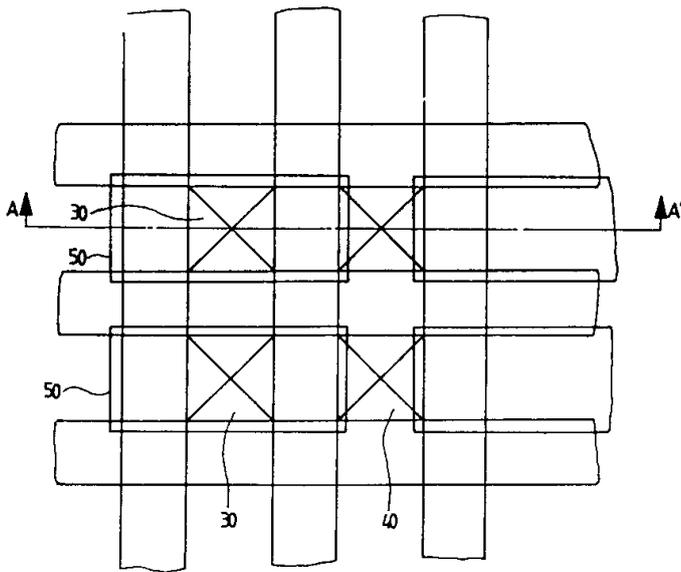
제1항에 있어서, 상기 제4단계는 제2감광막 패턴(50)을 식각마스크로 이용하여 상기 제2절연막(10), 제1 절연막(9), 제1다결정 실리콘막(8)을 연속적으로 건식식각하여 소정부위를 제거한 다음 상기 감광막을 제거한 후 전체구조 상부에 제2다결정 실리콘막(11)을 형성하는 것을 특징으로 하는 캐패시터 제조방법.

**청구항 6**

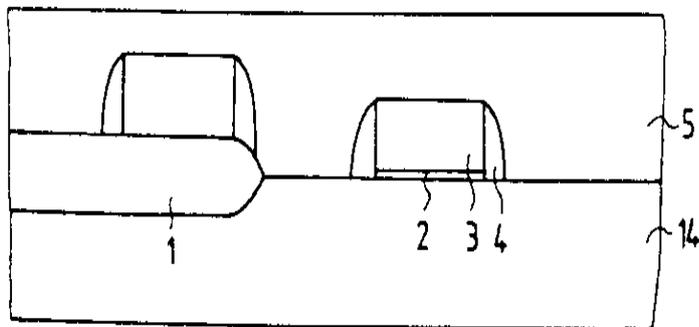
제2항에 있어서, 상기 제6단계는 다층절연막(20) 식각시 제4절연막(7)까지 식각하는 것을 특징으로 하는 캐패시터 제조방법.

도면

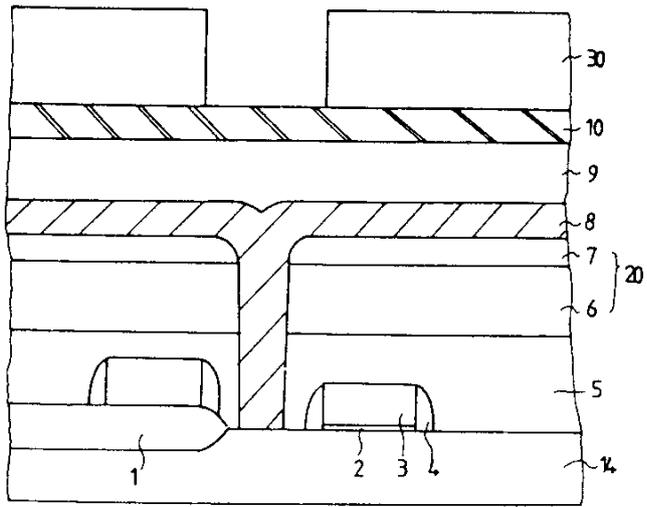
도면1



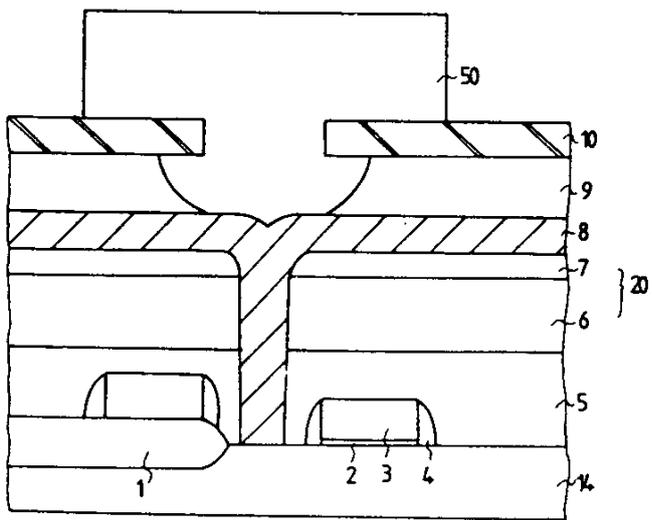
도면2a



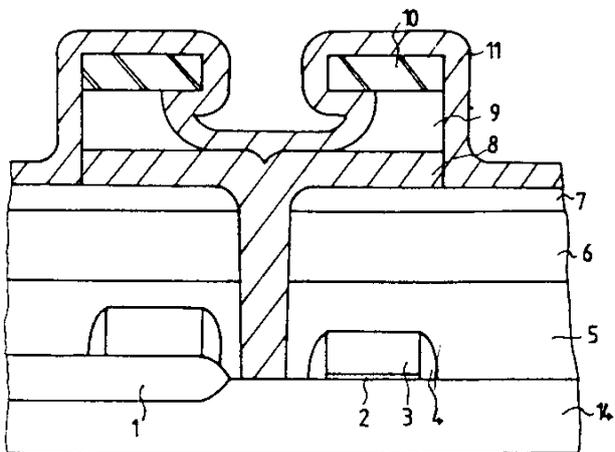
도면2b



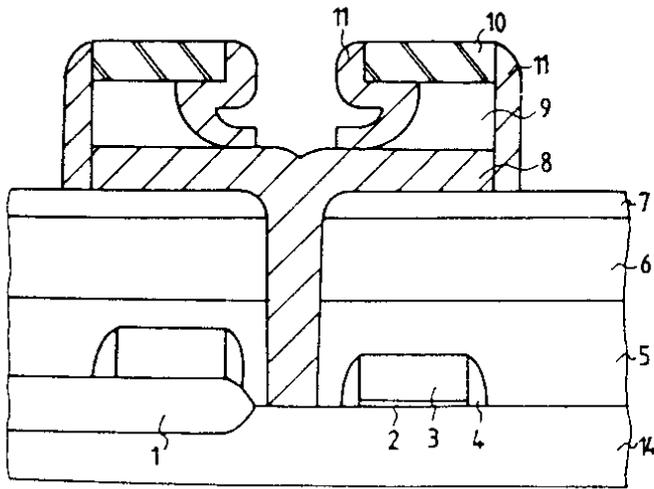
도면2c



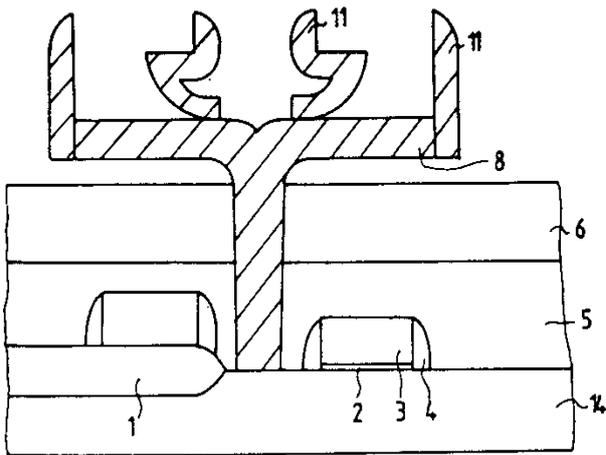
도면2d



도면2e



도면2f



도면2g

