

# 發明專利說明書 200416785

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92127018

※申請日期：92年09月30日

※IPC分類：H01L 21/00

## 壹、發明名稱：

(中) 加入奈米線及奈米線複合件之支援奈米大面積巨電子基板的應用

(外) Applications of nano-enabled large area macroelectronic substrates incorporating nanowires and nanowire composites

## 貳、申請人：(共 1 人)

1. 姓名：(中) 南諾西斯股份有限公司

(英) NANOSYS, INC.

代表人：(中) 1. 馬休 莫非

(英) 1. MURPHY, MATTHEW

地址：(中) 美國加州巴洛艾托漢諾威街二六二五號

(英) 2625 Hanover Street, Palo Alto, CA 94304, U.S.A.

國籍：(中英) 美國 U.S.A.

## 參、發明人：(共 4 人)

1. 姓名：(中) 史蒂芬 安培度克斯

(英) EMPEDOCLES, STEPHEN

地址：(中) 美國加州蒙坦夫由馬德爾大道二五〇七號

(英) 2507 Mardell Way, Mountain View, CA 94043, U. S. A.

2. 姓名：(中) 大衛 史坦波

(英) STUMBO, DAVID

地址：(中) 美國加州貝蒙特第六大道一五六一號

(英) 1561 6th Avenue, Belmont, CA 94002, U. S. A.

3. 姓名：(中) 牛春明

(英) NIU, CHUNMING

地址：(中) 美國麻州列星頓福特勒大道八十一號

(英) 81 Fottler Avenue, Lexington, MA 02420, U.S.A.

4. 姓名：(中) 段鑲鋒

(英) DUAN, XIANGFENG

地 址：(中) 美國麻州索麥維烽火街八十八號第三十三號公寓  
(英) 88 Beacon Street, Apartment 33, Somerville, MA 02143,  
U.S.A.

### 肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

- |       |   |            |   |            |  |
|-------|---|------------|---|------------|--|
| 1. 美國 | ； | 2002/09/30 | ； | 60/414,323 | <input checked="" type="checkbox"/> 有主張優先權 |
| 2. 美國 | ； | 2003/05/07 | ； | 60/468,276 | <input checked="" type="checkbox"/> 有主張優先權 |
| 3. 美國 | ； | 2003/05/29 | ； | 60/474,065 | <input checked="" type="checkbox"/> 有主張優先權 |
| 4. 美國 | ； | 2003/08/07 | ； | 60/493,005 | <input checked="" type="checkbox"/> 有主張優先權 |

地 址：(中) 美國麻州索麥維烽火街八十八號第三十三號公寓  
(英) 88 Beacon Street, Apartment 33, Somerville, MA 02143,  
U.S.A.

### 肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- |       |   |            |   |            |  |
|-------|---|------------|---|------------|--|
| 1. 美國 | ； | 2002/09/30 | ； | 60/414,323 | <input checked="" type="checkbox"/> 有主張優先權 |
| 2. 美國 | ； | 2003/05/07 | ； | 60/468,276 | <input checked="" type="checkbox"/> 有主張優先權 |
| 3. 美國 | ； | 2003/05/29 | ； | 60/474,065 | <input checked="" type="checkbox"/> 有主張優先權 |
| 4. 美國 | ； | 2003/08/07 | ； | 60/493,005 | <input checked="" type="checkbox"/> 有主張優先權 |

(1)

## 玖、發明說明

### 【發明所屬之技術領域】

本發明關係半導體裝置，更明確地說，有關於各種應用所用之半導體裝置的奈米線的薄膜的使用。

### 【先前技術】

於工業中，一直對開發低成本電子設備，特別是，開發低成本大面積巨電子裝置有著濃厚之興趣。大面積巨電子元件被定義為主動及感應式電子元件之實現在大表面積上。於此，大面積並未用以配合所有之電子元件，而是因為此等系統必須實體上夠大以實現效能改良及此等系統之主動元件必須分散於大面積上，以實現有用之功能。在大面積共同基板上之主動裝置的加入係為系統效能、可靠度及成本因素所驅使，但並不一定為個別元件效能所驅使。此等大面積巨電子裝置可以演進為各種技術領域中，範圍中民用至軍事用途。此等裝置的示範應用包含用於主動矩陣液晶顯示器及其他類型之矩陣顯示裝置、智慧資料庫、信用卡、用於智慧標價及庫存標籤之無線電識別(RFID)標籤、安全篩選/監視或高速公路監視系統、大面積感應陣列等之驅動電路。

現行方式包含使用非晶矽或多晶矽作為薄膜電晶體(TFT)之基礎材料。也可以採用有機半導體。然而，非晶矽及有機半導體具有效能上之限制。例如，它們展現低之載子遷移率，典型約  $1\text{ cm}^2/\text{V}\cdot\text{s}$ (平方公分每伏秒)或更低

(2)

。多晶矽顯示較佳效能，但需要相對昂貴之製程，例如以雷射進行之回火，並且，不與低溫基材，例如便宜玻璃及塑膠相容。

不好的是，傳統電子材料特徵在於電子效能(主要由載子遷移率  $\mu$ )與可用基板尺寸間大約呈相反關係。第 1 圖為一繪圖，顯示材料效能(遷移率)對不同半導體材料之可用基材大小。傳統材料不是具有高效但小基材尺寸(例如 GaAs)就是較大尺寸但低效能(例如非晶矽或有機物)。現行電子材料只可以取用多數初級大面積巨電子應用。這在材料特性中留下相當大之空隙，而阻礙了最高價巨電子應用之發展，例如可穿戴式通訊器及電子設備、分散式感應器網路、及無線電(RF)波束操控系統等之發展。

例如，為了實現一波束操控反射器被使用於一朝太空(space-fed)天線系統，波束操控元件電路必須分散於整個反射器上，每一電路具有極端高效能要求，典型配合上高遷移率 InAs 基材。然而，現行 InAs 晶圓被限制至直徑最大為 3 至 4 吋(8 至 10 公分)，並極端易脆，使得它們並不適用於此等大面積分散式電子電路。因此，現行用以製造此大面積電路之方法為以打線或焊接個別電晶體及元件至大面積主動反射器上，此為一高成本並容易故障之方式，同時，效能低。甚至，今日此等陣列之軍事應用也被限制至例如海軍驅逐艦的固態通訊陣列上；它們並不能被實現為行動式，而使得一個人即可攜帶之通訊系統。

因此，有需要用以生產低成本高效能電子裝置及元件

(3)

之高效能導電或半導體材料及裝置，電子基板材料及方法與系統。較佳地，此等材料可以迅速取得並可有效地製造，並針對重量、可彎折性等有著相當之優點。

很多應用可以由此高效導電半導體材料得到好處，包含消音及 RF 識別 (RFID) 標籤 / 讀取器應用。於 RFID 標籤應用中，被稱為“標籤”之裝置可以固定至予以監視之項目或物品上。標籤之出現及附著有標籤之項目的出現可以為稱為“讀取器”之裝置所檢查及監視。一讀取器可以經由無線電詢答，而監視具有標籤附著至其上之項目的位置與出現。典型地，每一標籤具有一特有識別號，其使得讀取器可以使用以識別該特定標籤及項目。

於 RFID 標籤追縱系統領域中之限定因素為標籤之成本。其他限制因素包含於讀取器與標籤間之距離，及相對於讀取器天線之標籤天線之定向。若一標籤並未相對於讀取器天線適當地定向，則標籤必須接近予以檢測之讀取器。

當想要讀取由一位置傳送至另一位置之容器內之項目的多數標籤時，這些限制因素係相當重要。例如，一運貨卡車可能以每小時 60 哩通過一檢查點。若卡車運送大量之標籤項目，例如數以一或百或千計之項目，則卡車必須在一讀取器之足夠長的範圍內，以檢測所有之標籤。若在該卡車上之容器內之每一項目係為任意定向，則使得用於容器之最大讀取距離變短，則讀取器只有幾秒可讀取所有之標籤。現行標籤及讀取器技術並不能在幾秒內讀取大量

(4)

之項目。

因此，有需要方法與系統，用以增加標籤可以被讀取之距離及較低成本之標籤。

於消音應用中，也想要消除或降低聲音之特定頻率，例如消除或降低雜訊。例如，於部份例子中，想要部份或完全地消除來自物體，例如汽車、公車或飛機之聲音。於軍事應用中，想要部份或完全地消除來自例如坦克或潛水艇之物體的聲音。部份傳統耳機加入技術，以監視在耳機旁之雜訊並發射一音響波圖案，以想要實質取消外部雜訊。該所傳送圖案之音響波係被傳送有與該雜訊相位相反者。此傳送圖案想要將雜訊靜音，使得更容易經由耳機聽到所播放之聲音。然而，此技術被限定於相當小尺寸之裝置，例如耳機，並不能應用至前述之大物件上。

因此，有需要方法與設備，用以執行消音，以有效地操作以消除在任意尺寸包含大面積上之聲音及/或雜訊。

#### 【發明內容】

本發明有關於材料技術之變化演進，即應用奈米材料至巨電子領域上。此結果為革命性新高效能大面積巨電子技術在各種基板上，例如，在塑膠上，其結果為：(1)較優越單晶矽晶圓 ( $\mu > 5000 \text{ cm}^2/\text{V} \cdot \text{s}$  及開/關電流比  $I_{\text{on}}/I_{\text{off}} > 10^7$ ，及臨限電位  $V_{\text{on}} < 1 \text{ V}$ )；(2)可以應用至極端大表面積 ( $A > 10 \text{ M}^2$ )；(3)具有聚合物電子品之可撓 (曲率半徑  $r < 1 \text{ mm}$ )；及/或(4)可以使用傳統大面積半導體製造技術加

(5)

以處理及作出圖案，如同用以處理非晶矽者，及使用例如一捲一捲地網印之先前微影技術。

此技術藉由生產較優取向奈米線之密集薄膜，以分隔開在一裝置內之每一源極及汲極電極間之間距，而組合極平常新類型奈米線(無機半導體奈米線)之導電特性與大面積巨電子。此結果為一電子材料，用於大面積巨電子元件中，其遷移率( $\mu$ )及電流密度(J)等於或大於單晶矽者。藉由加入例如 InAs 或 GaAs 之其他奈米線，甚至可以實現更高效能之基板。此新材料技術(以下稱密集無機及定向奈米線(DION)薄膜技術及混合組成 DION 薄膜技術)可以填補在大面積電子材料中之孔隙(如第 1 圖所示)，以實現在商用、軍用及安全應用中之巨電子器之完整版本。例如，第 2 圖顯示真實高效能巨電子之幾項可能應用。

本發明也有關於用於具有一或多數半導體裝置形成於其上之電子基板的方法、系統與設備。半導體奈米線薄膜被形成在一基板上。奈米線薄膜係被形成，以具有足夠密度之奈米線，以完成一操作電流位準。多數半導體區被界定於奈米線薄膜內。接點被形成在半導體裝置區內，以提供電氣連接至多數半導體裝置。

於本發明之一態樣中，加入有奈米線薄膜之半導體裝置被用於很多應用中。

於本發明之一態樣中，一用於可調移相器之方法與設備被加以描述。在一基板上之導線包含一第一導電區及一第二導電區。奈米線薄膜被形成在基板上，並與第一導電



(6)

區及第二導電區電氣接觸。多數閘極接點與奈米線薄膜電氣接觸，並定位於第一導電區及第二導電區之間。一經由導線傳送之電氣信號的相位係藉由改變施加至多數閘極接點之至少一閘極接觸的電壓，而加以調整。

於本發明之另一態樣中，也描述有用於無線識別(RFID)標籤之方法與設備。RFID 標籤包含一天線及一波束操控陣列。波束操控陣列包含多數可調諧元件。每一可調諧元件包含多數相位調整元件及一對應於每一相位調整元件之開關。該開關包含一由奈米線膜所形成之電晶體。開關使得對應相位調整元件改變該可調諧元件之相位。

一由天線所傳送之電磁波(EM)信號為波束操控陣列所再指向。於一態樣中，波束操控陣列聚焦該 EM 信號。於另一態樣中，波束操控陣列將 EM 信號展開。於另一態樣中，波束操控陣列改變 EM 信號之方向。

於本發明之態樣中，每一相位調整元件包含一電感，例如，一微片電感，或一電容。

於本發明之一態樣中，該波束操控陣列為一波束操控反射器。該可調諧元件為同一平面之可調諧單元。每一可調諧單元包含一諧振結構。每一開關完成相關相位調整元件至諧振結構之電氣耦接，以改變可調諧單元之相位。

於本發明之另一態樣中，描述了一種用於 RFID 標籤之方法與設備。該 RFID 標籤包含一波束操控陣列。波束操控陣列包含多數可調諧天線元件。每一可調諧天線元件包含多數相位可調整元件及一對應於每一相位可調整元件

(7)

之開關。該開關包含一由奈米線薄膜所形成之電晶體，並與源極及汲極接觸作電氣接觸。該開關完成相關相位調整元件，以改變可調諧天線元件之相位。一由波束操控陣列所發射之 EM 信號係藉由控制每一可調諧天線元件之相位加以指向。

於本發明之一態樣中，該可調諧元件係為可調諧輸送線片段。該開關短路輸送線片段，以改變輸送線片段的長度，以改變相關可調諧天線元件之相位。

於本發明之其他態樣中，描述一用於 RFID 讀取器之方法與設備。該 RFID 讀取器包含一波束操控陣列，例如前述用於 RFID 標籤之波束操控陣列。

於本發明之另一態樣中，揭示用以提供消音之方法與設備。一消音裝置包含一基板及多數消音單元，在基板表面上，形成呈一陣列。多數消音單元之每一消音單元包含一聲音天線、一處理機、一電晶體及一致動器。該聲音天線接收一第一聲音信號。該處理機處理被接收之第一聲音信號，並產生一對應之取消控制信號。該電晶體包含奈米線薄膜。奈米線薄膜係與該電晶體之汲極接點與源極接點作電氣接觸。電晶體之閘極接觸係連接至取消控制信號。一致動器係連接至電晶體。電晶體使得致動器依據該取消控制信號，而輸出一第二聲音信號。該第二聲音信號實質地取消該第一聲音信號。

於本發明之一態樣中，該第一聲音信號具有一相較於第一聲音信號實質相反的相位。

(8)

於一態樣中，致動器包含一聲音喇叭。

於另一態樣中，致動器包含一薄膜之壓電奈米線。電晶體允許一電流流經薄膜壓電奈米線，以產生第二聲音信號。

於另一態樣中，致動器與電晶體被組合。電晶體包含一薄膜之壓電奈米線。當電流流經電晶體的薄膜壓電奈米線時，產生第二聲音信號。

本發明之這些及其他目的、優點與特性將參考本發明之詳細說明加以了解。

### 【實施方式】

介紹

今日之電子工業與五十年前具有相同之重要性。於當時，分立電晶體之加入提供了世界前所未有之功能。藉由將多數分立電晶體積集在一起，功能進一步增加，而完成各種攜帶式電子設備。不幸的是，在當時積集係由手工完成，使得電子工業快速到達一瓶頸，超過該幾千個個別電晶體在成本及良率而言變得代價太大。此現象被稱為“數的暴政”。

此由多重離散元件之異質積集所造成之實際限制使得積體電路工業到達一靜止點，其只能為一革命新概念之發明所解決：矽微電路。此矽微電路允許使用簡單線性製程，實質上將無限數量之電子元件之積集至單一裝置上：積體電子電路之真質統一平台。本發明允許積體電路工業依

(9)

據莫爾定律加以增加電路密度(及裝置功能)。

莫爾定律之結果造成電晶體不可避免地到達其基本大小之限制(幾原子寬)，並將造成如電晶體於 1950 年代所到達之限制的狀況。當此基本電路密度(及半導體晶圓實質尺寸限制)限制到達時，所增加之功能將只由由多數分立元件之積集至更高階裝置而加以完成。因此，今日之積體電路(IC)類似於 1950 年代之電晶體：一重要分立功能單元需要異質積集以擴充其功能。

於此，異質積集可能涉及組合多數處理機，以執行一功能，或組合處理機與其他分立元件，例如記憶體、感應器、射頻(RF)電子元件、天線、主動光學元件、致動器等等。異質積集之限制影響並未真實感受到(發展仍在小數量元件必須被積集之階段)。然而，最後，如同於 1950 年之電晶體，當分立功能單元隨著時間增加，最後將到達一類似“數的暴政”的階段。即使今日，分立 IC 之異質積集入較高功能裝置代表了一最大成本元件及在所製造之電子裝置之裝置故障的主要來源。沒有積集較高功能與今日之 IC 的特有平台，20 年內將成為在今日穩靠工業之極端限制。即沒有現行存在之平台。

本發明之混合膜巨電子技術代表用於通用功能裝置積集之真實統一平台之基礎支柱。本發明之說明將針對調整功能，以使用奈米線，以選定高導通遷移率及積體介電層，來產生高效能電晶體在大面積上。然而，藉由加入另一奈米材料，則相同平台可以擴充以包含高效光學、磁學、

(10)

鐵電及壓電特性。沒有了這基礎平台，本發明加入多重不同功能(例如高效能電子加上主動光學)至相同基板，以對相同材料施加多重不同功能。此技術代表結構與功能之真實分離：在材料技術內之移動演進。

在核心中，於此所述之技術代表一基礎統一材料平台，其能最後完成將所有不同功能之全球積集至單一裝置上，並可以使用標準線性製程加以製造。類似於矽 IC，當平台擴充時，所有階層之功能積集可以被加入，無限地延伸莫爾定律之精神(若不是特定定義的話)。

本發明是有關於一革命性新薄膜塑膠(或其他有用基板材料)技術，其係基於指向無機半導體奈米線(奈米線)平行(或實質平行)之密集薄膜。於此所用，名詞“奈米線”大致表示任何縱長導體或半導體材料，其包含至少剖面尺寸為低於 500 奈米，較佳低於 100 奈米，並具有大於 10 之長寬比(長度：寬度)，較佳大於 50，更好是大於 100，最好是大於 500。例如，於一實施例中，一奈米線可以具有範圍於 1 至 100 奈米之直徑，及長度於 1 至 100 微米範圍內。於一實施例中，奈米線可以具有其他範圍內之直徑及長度。

此等奈米線之例子包含如公開國際專利 WO02/17362、WO02/48701 及 WO01/03208 之半導體奈米線、碳奈米管、及類似尺寸之其他長型導體或半導體結構。較佳奈米線包含半導體奈米線，其係由選擇例如 Si、Ge、Sn、Te、B、C(包含鑽石)、P、B-C、B-P(BP6)、B-Si、Si-C、

(11)

Si-Ge、Si-Sn 及 Ge-Sn、SiC、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSs、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN<sub>2</sub>、CaCN<sub>2</sub>、ZnGeP<sub>2</sub>、CdSnAs<sub>2</sub>、ZnSnSb<sub>2</sub>、CuGeP<sub>3</sub>、CuSi<sub>2</sub>P<sub>3</sub>、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、Ge<sub>3</sub>N<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>、(Al、Ga、In)<sub>2</sub>(S、Se、Te)<sub>3</sub>、Al<sub>2</sub>CO、及兩或更多此等半導體的適當組合之半導體材料所構成。於某些態樣中，半導體可以包含一摻雜物，其係由一群組所選擇，該群組包含：週期表之族 III 之 p 型摻雜物；週期表之族 V 之 n 型摻雜物；由以下群組所構成之 p 型摻雜物：B、Al 及 In；一由以下群組所構成之 n 型摻雜物：Mg、Zn、Cd 及 Hg；由週期表族 IV 之 p 型摻雜物；由以下群組所構成之 p 型摻雜物：C 及 Si；或由以下群組所構成之 n 型摻雜物：Si、Ge、Sn、S、Se 及 Te。

於某些例子中，名詞“奈米線”也包含“奈米管”。這些例子將被指出。奈米管可以組合奈米管薄膜加以形成，以此被說成爲奈米線，可單獨或組合奈米線，以提供適當之特點與優點。

再者，應注意的是，本發明之奈米線薄膜可以爲“異

(12)

質”膜，其加入半導體奈米線(及/或奈米管)，及/或不同組成及/或結構特性之奈米線(及/或奈米管)。例如，一“異質膜”可以包含奈米線/(及/或奈米管)具有不同直徑及長度，及“異質結構”之奈米線(及/或奈米管)具有變化之特性。

於本發明之文中，附著有奈米線之基板包含：一均質基材，例如固體材料，例如矽、玻璃、石英、聚合物等之晶圓；一大硬片之固體材料，例如玻璃、石英、塑膠，例如聚碳酸酯、聚苯乙烯等，或可以包含其他元素，例如結構、組成等等。例如聚烯類、聚醯胺等之塑膠捲之可撓基板、透明基板、或這些特性之組合可以被使用。例如，基材可以包含其他電路或結構元件，其係為最終想要裝置之部件。此等元件之特定例子包含電子電路元件，例如電氣接點、其他配線或導電路徑，包含奈米線或其他奈米規格之導電元件、光學及/或光電元件(例如雷射、發光二極體(LED)等)及結構元件(例如微懸臂、坑、井、柱等等)。

藉由實質“對準”或“指向”表示在一群奈米線中之多數奈米線的縱軸係被朝向單一方向 30 度內。雖然多數可以被認為是大於奈米線之 50%，但於其他實施例中，也可以認為 60%、75%、80%、90%或其他百分率之奈米線為多數。於其他較佳態樣中，多數奈米線係朝向想要方向之 10 度內。於其他實施例中，多數奈米線可以朝向於想要方向之其他數量或範圍度數內。

應了解的是，空間說明(例如“上”、“下”、“向上”、“向下”、“頂”、“底”等)只作例示用途，本發明之裝置可以

(13)

在空間安排於任意定向或方式內。

半導體奈米線可以被離線合成，然後在低溫沉積在塑膠或其他基板上。在沉積後，奈米線之密集薄膜可以進一步於低溫，使用傳統薄膜電晶體(TFT)製程加以處理，以在塑膠上產生高效能巨電子裝置，同時電子效能上相比擬或超出類似尺寸之主體半導體裝置者。另外，此技術允許包含兩或更多不同半導體組成之奈米線之薄膜的製造。這允許多加入有邏輯、RF、發光、光檢測及更多所有功能的多功能巨電子系統予以使用一單一線性製程，加以實現在單一基板上(即均質積集不同電子功能於單一單石基板上)。此突破性技術開啓了先前因太昂貴而不能開發明之新應用的大範圍。例如，這些包含製造在塑膠或其他有用基板上之分散感應器網路，其在網路上執行感應、計算及遠端通訊。

本發明之一重要優點為以低解析度及適中複雜性(例如每電路 1000 計之電晶體)在質輕可撓基板上，以合理成本，例如低於 100 美金每平方呎，製造出高效能大面積分散式巨電子。此能力完成了下一代感應器及安全應用之開發，同時，相較於所可能使用傳統技術者，具有增加之功能、降低之尺寸、降低重量及降低之功率需要的優點。這些能力可以以一成本實現，使得這些新應用可以在真實世界上活躍進行。

用於非晶矽之傳統 TFT 製程可以針對現行巨電子應用以每平方呎 100 美元之成本完成裝置(例如，用於液晶



(14)

顯示器(LCD)之 TFT 背板係以低於 30 美元每平方呎加以製造)。然而，本發明之薄膜材料不只配合這些製程(或新低成本製程)，同時也實現較非晶矽大於兩個級數之效能。

另外，在巨電子之高價應用的開發中，例如軍事、太空及國防應用上，這些對於佔用空間、重量及功率消耗都有限制之應用中，都想要能開發與互補金屬氧化物半導體(CMOS)技術(例如用以低功率)相容，並整合其他功能(例如發光)至單一膜上，以降低需要以組合製造每一裝置之分立元件之數量(降低成本、重量及複雜性，同時，增加良率及功能)。

本發明之革命新薄膜技術係基於密集、無機及指向奈米線薄膜(DION 薄膜)。DION 薄膜可以完成具有多數不同電子、光電及電機功能於單一質輕可撓基板上之高效大面積巨電子，其可以在低於每平方呎 100 美元製造在大面積( $>10\text{m}^2$ )上。DION 薄膜技術之重要態樣為發生在對準單晶奈米線內之載子導通。因此，單晶遷移率可以完成在這些巨電子裝置內。再者，藉由在奈米線內開發量子效應，以本發明實現之裝置可以取得超出傳統主體單晶之效能。DION 薄膜技術之另一重要態樣為可以在奈米線與基板接觸前，在反應器內執行合成單晶奈米線所需之高溫步驟，奈米線包含一本徵高品質閘極介電殼及一保角閘極電極在每一個別奈米線旁。因此，所有發生在基板材料出現時之處理步驟可以在低溫完成( $<100^\circ\text{C}$ )，允許使用很多不同基

(15)

板材料(例如可撓, 低  $T_g$ (玻璃轉換溫度)塑膠)。DION 薄膜技術可以允許大面積可撓巨電子之製造, 同時, 效能超出單晶矽者。另外, DION 薄膜技術可以允許混合功能單石電子之製造, 其不能使用現行技術加以製造者(例如組合 InAs 之遷移率、Si 之 CMOS 效能及 GaN 之發光在單一基板上)。結果大面積巨電子技術, 其可以超出現行技術, 同時, 以低成本生產大面積之質輕可撓電子設備。

雖然此技術完成將各種可能之功能性組合至單一膜(例如電子、光學、磁學、鐵電、壓電等)上, 但以下討論係針對於高效能電子設備。更明確地說, 討論針對於用以 CMOS 功能(為低功率裝置)之高效能 n-及 p-通訊矽奈米線與用於 RF 處理之例如 InAs 及 InP 之極端遷移率 III-V 族材料之積集至單一單石塑膠基板上。當然, 可以為熟習於本技藝者所了解, 也可以使用所述之技術來完成大量不同之用途、應用及系統。

混合組成之 DION 薄膜技術也可以完成範圍由 RF 通訊至感應器陣列、至 X 射線攝影機、至可撓顯示器及電子及更多之各種特有之應用。另外, 其也可以建立各種高價商用技術之基礎, 包含質輕可拋或可撓顯示器, 其具有驅動電子被印刷至單一基板上、用於通用 RF 條碼編碼之, 小巧 RFID 標籤、用於工業監視及安全應用之積體感應器網路、及用於無線通訊之相位陣列天線。DION 技術可以革新大面積電子之軍事及商用世界。

第 3 圖例示半導體奈米線材料及品質。右上影像顯示

(16)

經由電子顯微鏡不同倍率看到之奈米線，顯示這些材料之品質及均勻性。右下影像顯示懸浮於溶液中之不同 NW 材料之玻璃瓶。

這些材料之真正特有特性之一為其電子及導電特性可以精確地界定，包含結晶結構、摻雜密度、遷移率、能帶隙等等。另外，當合成時，每一奈米線與在一批次(及批次間)之其他奈米線均相同。此特性明顯對其他常用奈米線例如奈米管者有所不同，其中在一批次內之每一奈米管係彼此不同，其電子特性範圍由金屬至半導體至半金屬。以具有相同電子特性之每一奈米線來生產大量之奈米線之能力促進了 DION 薄膜技術之用途。

單一奈米線電子電路已經被製造以包含 p-n 二極體及場效電晶體 (FET)(見 Y. Huang, X.Duan, Y.Cui 及 C.M.Lieber 所發行於 2002 年之 Nano Letters 2 之第 101-104 頁的“氮化鎘奈米線奈米裝置”；Y.Cui, X.Xhong, D.Wang, C.M.Lieber 所發行於 2003 年之 Nano Lett. 3 第 149 頁；及 X.Duan, Y.Cui, J.Wang 及 C.M.Lieber 發行於 2001 年之 Nature 409 之第 66 頁。第 4 圖顯示一單一奈米 FET。左部份顯示一掃描電子顯微鏡 (SEM) 影像及一單一奈米線 FET 之示意圖。中間及右邊部份分別顯示 n-及 p-摻雜 InP 及 Si 單一奈米線 FET 之場效效能。由於組合以量子侷限狀態造成之抑制散射或然率之這些材料(真單晶)之高品質，這些無機半導體奈米材料已經被顯示具有超出其主體材料之遷移率，超出距離大於 100 微米。例如，用

(17)

於矽奈米線已經展現  $\mu = 1500 \text{ cm}^2/\text{V} \cdot \text{s}$  之場效遷移率及對於 InP 奈米線  $\mu > 4000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。在類似摻雜濃度下，這些值係可比擬或優於對應之單晶。這些遷移率係被認為只代表這些材料的下限。事實上，理論計算已預測，用於選擇摻雜 GaAs 奈米線， $\mu = 3 \times 10^8 \text{ cm}^2/\text{V} \cdot \text{s}$ 。

這些單奈米線裝置之效能特徵係極端鼓舞奈米電子應用。很多學術團體正追求奈米電子電路的發展，以使電子更快及更小。然而，可以為單一奈米線所承載之電流總量很小，因而限制了單線裝置應用至奈米電子應用，例如奈米邏輯及奈米記憶體的能力。還好的是，本發明提供一完整演進：使用相同奈米材料以使電子更快及更大，但使用在工作上之進步於此等單線裝置中。

於電子材料中之效能係特徵在於長度規格(1)，其上材料顯示相較於正在使用之裝置之長度規格之“級數”。第 5 圖顯示級數之長度規格。於電晶體中之遷移率係相關於當電荷行進於源極及汲極電極間，其必須通過之陷阱及晶粒邊界數。在巨電子長度規格(10 至 40 微米)上，非晶矽及多晶矽具有很多此等缺陷，造成差的遷移率。相反地，假設一裝置之效能係只為材料之本質遷移率所限定，則單晶矽可以容易分隔開於電極間之整個距離，而不必通過一晶粒邊界。例如，單晶矽晶圓被“訂”為  $l > 1 \text{ cm}$  並對於任何小於此長度規格之裝置，具有  $\mu > 1000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。相反地，多晶矽被“訂”為  $100 \leq l \leq 500 \text{ nm}$ (大約晶粒尺寸)並具有  $10 \leq \mu \leq 50 \text{ cm}^2/\text{V} \cdot \text{s}$ ，而非晶矽被“訂”為  $l < 10 \text{ nm}$ ，並具有

(18)

$\mu \approx 1 \text{ cm}^2 / \text{V} \cdot \text{s}$ 。因此，非晶矽之遷移率係為一千倍低於單晶矽者。同樣地，即使最好有機半導體為十倍至一百倍，但在效能上仍很低。

針對“長度規格之級數”，無機半導體奈米線為一特有材料。於一尺寸(奈米線之直徑)，它們只被“訂”於幾奈米。然而，對其他尺寸，它們顯示超出 100 微米。這就是為何在巨電子之長度規格上，單一奈米線電子裝置顯現此等高遷移率；在長度規格上，它們作為像一單晶半導體。不好的是，雖然於單奈米線 TFT 中之遷移率可能很高，但可以行經一單一奈米線之總電流仍極端地低。

本發明影響無機半導體奈米線之“長度規格級數”中之極端非對稱性，以產生一新的巨電子基板材料，其實現於效能上之實質改良。第 6 圖顯示奈米線之長度規格。奈米線及巨電子之長度規格之描述顯示這些材料係如何在巨電子之長度規格上，形成均勻之高效材料。在巨電子電極之長度規格 ( $l \approx 10-20 \mu \text{ m}$ )，數以千計之奈米線可以在整個單一電極之間距上，邊靠邊(彼此平行)放在一實質閉合袋膜中。每一奈米線係實質長於電極間之距離 ( $100 \mu \text{ m}$  對  $20 \mu \text{ m}$ )。因此，實質上，這些奈米線將跨過整個半導體通道，以產生數以千計之高遷移率導電通道。藉由隨機搖晃每一奈米線之啓始點，於材料中之“隙縫”之存在(相當於一晶粒邊界)可以大量地免除。以此方式，並未跨接該間隙之任何個別奈米線將統計地平均於大量之奈米線上。

應注意的是，因為商業上並沒有任何有效方式，以純

(19)

化或過濾碳奈米管樣品，以將金屬由半導體奈米線分離，所以碳奈米管並不能實用以形成此類型應用之 DION 膜。在一裝置內之即使單一個金屬奈米線將會嚴重地減低電晶體功能。同樣地，因為每一個別裝置之效能取決於在該裝置內之奈米線之平均效能，所以材料特徵之均勻度係重要的。這仍未於碳奈米管所完成。無機半導體奈米線完成此技術。

除了高遷移率外，用於巨電子之此等密集奈米膜有幾項其他重要優點。例如，此等材料可以極端薄、無針孔之閘介電殼，其保角地包圍住用於低壓、低功率操作之每一個別奈米線。來自單一奈米線 FET 裝置之初步結果表示有可能在合成時，產生極端薄、無針孔之氧化物殼，包圍每一奈米線。第 7 圖例示一半導體/介電核心結構。顯示具有結晶核心及積集介電殼之奈米線核殼 (core-shell) 結構的示意圖。在奈米線表面上之積集薄介電殼不只免除需要以沉積介電層於基板上之高溫製程，同時，也提供一低臨限電壓。

因為奈米線與殼係形成離開基板，所以它們可以在高溫 ( $>500^{\circ}\text{C}$ ) 處理，以確保最高品質介電層，而不會影響基板材料之選擇。形成高品質介電層之能力係強烈地取決於所用之半導體，Si 係為最佳例子。可以薄至 1-2nm 之氧化物層可以用以替換於 FET 中之本徵閘氧化物，因而，降低所需之製程步驟數並劇烈地降低需要以關閉或導通電晶體之電壓。單一奈米線已經可以以低於 1 伏之閘極電位

(20)

加以作動。因此，可以產生很低功率高遷移率 DION 巨電子。這對於其他薄膜低溫半導體，例如雷射回火 p-Si 是為很明顯之不同，該低溫半導體需要在基板出現時，以低溫形成厚介電層，而造成有限之基板相容性及高功率操作。

這些材料同時也提供整個薄膜以裝置效能均勻性看來之優點，造成低成本裝置之製造及極端低功率操作。由於源極及汲極電極間之晶粒邊界之出現，對例如大晶粒 p-Si 之其他高效能薄膜技術之主要限制之一為每一裝置間之均勻性。當相對於電晶體通道，晶粒邊界變得很小時，電晶體有較差遷移率，但每一裝置之晶粒數之統計平均。也就是說，每裝置之晶粒數係很大，使得每一裝置具有基本上相同之晶粒數及相同類型之晶粒，使得它們均執行相同作用。此結果為每一裝置執行與其他裝置相同之作用；這係針對於非晶矽。不好的是，當晶粒尺寸增加，增加整體遷移率，每裝置之晶粒量開始降低，使得在薄膜樣品上之每一裝置取樣一統計上不同數量及類型之晶粒。結果為當遷移率隨著 p-Si 增加時，於裝置特徵中之均勻性降低。這對於高遷移率 p-Si 中之裝置間之臨限電壓之變化特別是有問題的。為了補償此本質問題，有必要：(1)藉由增加電路的複雜性，而調整非均勻性；或(2)藉由增加所施加所有裝置之閘極電壓，以確定所有在相同施加電壓下導通，以調整非均勻性。第一選擇增加了微影術之遮罩步驟數(約兩倍之遮罩步驟)，因此劇烈地增加裝置成本。第二選

(21)

擇可以大大地增加裝置之功率消耗。因為此兩高效巨電子系統之初步要求需要大成本及功率消耗，所以在這些應用中，這兩方法並不可行。

對於 DION 薄膜，情況有很大之不同。由於極端之深寬比及在 DION 膜內之奈米線的對準，由這些薄膜所製造之 TFT 在薄膜上極端均勻。於一尺寸中，奈米線可以十倍長於 TFT 通道長度，使得實質上，所有奈米線跨接整個通道（即在通道方向中，沒有晶粒邊界）。於第二尺寸（非導通方向）中，奈米線為一千倍小於通道寬度，使得每一電晶體可以容易地包含百至千計之個別“晶粒”。結果，每一電晶體在導通方向中沒看到晶粒邊界，及在非導通方向中，為一真整體平均。這不但產生個別高效裝置，同時也免除了裝置間之大量統計平均間之差異。因此，由 DION 膜製造之 TFT 較以 p-Si 或有機電子可得者有更大之均勻性。

另外，這些材料提供相對於其應用至很多不同奈米線材料之優點，允許 DION 薄膜裝置被製造以包含很多不同功能之裝置，每一裝置具有單晶半導體之效能；DION 薄膜並未限定至矽奈米線。相同架構可以用以由甚至更高效能材料，例如 GaAs 或 InAs，形成大面積巨電子基板，或以特有光學或機械特性，例如用於發光之電致發光奈米線或用以致動表面或振動或聲音檢測之壓電奈米線，來製造奈米線。再者，具有多重殼之奈米線結構可以製造例如一未摻雜導通內通道、一更高能摻雜內殼及一外殼介電層。



(22)

以此方式，載子由內殼進入導通通道，而不會藉由散射，而提供摻雜物至導通通道，而降低了遷移率。此一結構可以提供彈道傳送裝置，提供極端效能之巨電子。第 8 圖顯示一具有銻核、矽內殼及矽石外殼之多殼奈米線之穿透式電子顯微鏡 (TEM) 及能量分散 X-射線分析 (EDX) 影像 (見例如 L.J.Lauhon, M.S.Guiiksen, D.Wang, 及 C.M.Lieber 所著之 2002 年之 Nature 420 頁)。

加入保角成長於每一個別奈米線外側之導通閘極電極殼之能力可以劇烈增加 DION 膜之 TFT 效能，降低功率消耗、及簡化 TFT 製程。再者，在每一個別奈米線外，積集閘極電極可以提供用於圓柱導通通道之閘極電極架構 (即一保角電極，其圓柱地包圍每一個別半導體通道)。此表示 DION 薄膜可以以本徵閘極介電及閘極電極製造。因此，製造電氣裝置需要之後製程為由電晶體通道外之區域，微影去除閘極電極殼，並沉積金屬，以將閘極電極連接至電路之其他部份。於 DION 薄膜內之個別奈米材料之複雜性之略微增加 (於奈米線合成時執行) 可以劇烈地簡化用以製造 DION TFT 之製程。其也可以增加每一 DION TFT 之效能並由於理想閘極接觸架構，而降低整個 DION 電子裝置之功率消耗。

於此所述之材料同時具有高遷移率半導體材料之固有機械撓性，允許真撓性高效電子之製造。由於極端小直徑及大深寬比 ( $>1000$ )，所以奈米線擁有優良機械撓性與強度。個別奈米線可以容易地彎曲，以在故障前具有  $r < 10$

(23)

$\mu\text{m}$  之曲率半徑。例如，第 9 圖顯示奈米線之暗視野光顯微鏡 (OM)，線被彎曲為  $r < 10\ \mu\text{m}$ 。該條為  $10\ \mu\text{m}$ 。由於可見光之繞射限制，奈米線之寬度人工顯示為較實際為大。因為在上述高密度基板上之每一個別奈米線對準於相同方向，但周圍線實際獨立，所以維持住 DION 薄膜之彈性。甚至在一裝置不彎曲個別奈米線，每一線係只有  $100\ \mu\text{m}$  長允許一巨觀  $r \ll 1\text{mm}$ 。

上述材料可以被處理於一溶液中並具有大面積相容性。不同主體半導體晶圓，奈米線可以懸浮於溶液內，然後，沉積並固定至任意基板上。此製程不只限定於一特定尺寸範圍，因此，係為大面積電子之理想。組合一可撓基板，此技術將完成與經由噴嘴或網印技術之高效電子之一捲一捲地生產相容性。此所加入之優點為奈米線將被沉積之環境。典型地，微米及次微米範圍之半導體技術需要大的潔淨室及在該潔淨室內之特殊設備。本發明之奈米線可以懸浮於一溶液中，然後，沉積在大表面上，而不必擔心“大”污染將中斷半導體線。於製造半導體奈米線及準備溶液時，可以發生缺陷控制，因而，降低印刷製程之嚴格性。

其他優點包含避免為半導體沉積、回火或閘極電極沉積所需之高溫製程。DION TFT 可以實質上製造於任意基板(例如輕質塑膠)上。用以完成半導體奈米線、閘極介電殼及閘極電極殼之高  $T_p$ (峰結晶溫度)合成製程在離線下被完成(即並未出現在基板材料時)。因此，極端高品質奈米

(24)

線可以被生產及實際沉積在任意基材材料上(即使該基材並不相容於高  $T_p$  製程)。另外，因為奈米線之表面可以以化學方式處理以任意功能，所以可以使用各種基板。

總之，藉由將普通電子及無機奈米線之導通特性加入至固態基板上之密集指向陣列，可以製造出一大面積可撓半導體基板。此一大面積可撓半導體基板可以以遷移率、臨限電壓及  $I_{on}/I_{off}$  看來，享有相容或超出單晶矽晶圓之電氣效能。藉由加入其他奈米線材料，也可以製造具有單晶效能之其他功能裝置。

再者，例如混合組成之 DION 薄膜(通用電子基板技術)之材料可以被使用。多數不同奈米線材料可以同時沉積於單一基板上。此混合組成之 DION 薄膜可以完成單一單石塑膠基板之製造，其上可以製造有一整體積集電子系統(板上系統(System on a Sheet))。不像現行製造於矽晶圓上之裝置，此一板上系統之此一實施例可以實現各種能力。這些包含但不限定於高效 CMOS 電子、發光，如 GaN、處理高頻 RF 信號，如 GaAs、振動以建立或檢測聲音，如同一壓電材料、及包含經由旋轉極化之簡單高速非揮發記憶體，如同一鐵電薄膜。以混合組成之 DION 薄膜，所有這些特徵可以內建於單一單石基板，其可以使用傳統微影技術，作出圖案及處理，以在一可捲塑膠片上製造整體功能系統。此技術代表對於軍事應用上，在電子系統開發上之前所未有之進步，這些應用對於佔用空間、重量及功率消耗係有所限制的。(見表 1 之對其他巨電子材料之比

(25)

較)。於此所述之技術可以影響特定功能單一奈米電子裝置之開發，以將這些特有單一奈米線特徵(或所有)組合至一單一塑膠單石巨電子系統上。

功能特性	有機 半導體	a-Si	P-Si	單晶矽	混合組成 DION 薄膜
電子遷移率 ( $\text{cm}^2/\text{Vs}$ )	0.001	1	100	1500	5000
電洞遷移率 ( $\text{cm}^2/\text{Vs}$ )	0.1	0.1	30	500	1500
臨限電壓 (典型)	2-10 伏	3 伏	<2 伏	<1 伏	<1 伏
臨限電壓 均勻性	極端差	好	差	優	優
On/Off 比	$10^5$	$10^9$	$10^8$	$>10^{10}$	$>10^8$
CMOS 相容?	否	否	是	是	是
高頻 RF 相容?	否	否	否	是	是
發光特性?	否	否	否	否	是
壓電特性?	否	否	否	否	是
鐵電特性?	否	否	否	否	是

表 1：傳統材料之比較

於以下章節中，說明奈米線之薄膜及奈米線薄膜之製造方法。這是在 DION TFT 概念及例示 CMOS TFT 裝置製

(26)

程之說明之後。最後，將說明奈米線薄膜之各種應用。上述應用包含使用奈米線薄膜於分散感應器網路、RFID 標籤、可調整相位延遲及消音裝置中。奈米線薄膜之其他應用將說明如此。

應了解的是，於此所述及顯示之特定實施例為本發明之例子並不是用以限制本發明之範圍。為了簡化，傳統電子、製造、半導體裝置及奈米管及奈米線技術及系統之其他功能態樣(及系統之個別操作元件)可能不再詳述，但對於熟習於本技藝者以發明說明看來係明顯的。再者，為了簡化目的，本發明經常屬於一半導體電晶體裝置。應了解的是，於此所述之製造技術可以用以產生任一種半導體裝置類型及其他電子元件類型。再者，該等技術將適用於電子系統、光學系統、消費電子、工業電子、無線電系統之應用、太空應用及其他應用範圍。

#### 奈米膜實施例

本發明係有關於奈米線及奈米管應用於系統及裝置中，以改良系統及裝置效能。例如，本發明有關於奈米線使用於半導體裝置中。依據本發明，多重奈米線被形成於高遷移率薄膜中。奈米線薄膜係用於電子裝置中，以加強裝置之效能及製造力。

第 10 圖顯示一依據本發明例示實施例之奈米線薄膜 1000 之近視圖。半導體奈米線 1000 之薄膜可以用以替代於傳統電子裝置中之非晶矽或有機薄膜，以完成改良之裝

(27)

置行爲，同時，允許一新穎及不貴之製程。經由使用奈米線薄膜，本發明特別適用以在大及可撓基板上，完成高效率低成本裝置。

注意於此所述之奈米線薄膜 1000 可以形成爲大範圍之可能表面積。例如，本發明之奈米線薄膜 1000 可能被形成以有大於  $1\text{mm}^2$ 、 $1\text{cm}^2$ 、 $10\text{cm}^2$ 、 $1\text{m}^2$  甚至更大或更小之功能區。

如第 10 圖所示，奈米線薄膜 1000 包含多數個別奈米線，彼此接近靠在一起。奈米線薄膜 1000 可以具有各種等於或大於單一奈米線之厚度。於第 10 圖之例子中，奈米線薄膜 1000 之奈米線係被對準，使得其長軸係實際彼此平行。注意的是，於其他實施例中，奈米線薄膜 1000 之奈米線係不對準，並可以彼此朝向不同方向。於另一實施例中，奈米線薄膜 1000 之奈米線可以等向地朝向，使得可以在所有方向中，提供高遷移率。注意的是，奈米線薄膜 1000 之奈米線可以對準於電子流動之方向，以如一特定應用所需地加強效能。

第 11 圖顯示一半導體裝置 1100，其包含依據本發明之例示實施例之奈米線薄膜 1000。於第 11 圖中，半導體裝置 1100 被顯示爲一電晶體，包含一源極電極 1102、一閘極電極 1104、一汲極電極 1106 形成在一基板 1108 之上。奈米線薄膜 1000 係被連接於源極電極 1102 及汲極電極 1106 之間，在閘極電極 1104 之一部份上。奈米線薄膜 1000 實質操作爲用於半導體裝置 1100 之電晶體的通道區

(28)

，並如下所述允許半導體裝置 1100 操作以具有加強之特徵。可施用至基板 1108 之基板類型係加以說明。

應注意的是，半導體裝置 1100 係被顯示為第 11 圖中之電晶體，為例示之目的。可以為熟習於本技藝者所了解的是，奈米線薄膜 1000 可以包含除了電晶體外之其他半導體裝置類型，包含二極體。

於實施例中，奈米線薄膜 1000 之奈米線係單晶半導體奈米線，其跨接於源極電極 1102 及汲極電極 1106 間。因此，電載子可以傳送經單晶奈米線，造成高遷移率，其並不能以現行非晶矽及多晶矽技術加以取得。

另外，由於在奈米線通道內，電子波之一維本質及降低之散射或然率，而未被束縛至任一特定操作原理，所以，奈米線可以被製造以較主體單晶材料為高之遷移率。奈米線可以被指定為電子載子之“彈道”傳輸。於此所用之“彈道”表示傳送經奈米線沒有散私及奈米線具有量化阻抗。

注意的是，各種接觸區類型可以形成作為加入奈米線之半導體裝置。接觸區可以為歐姆式及非歐姆式。例如，一非歐姆式蕭基二極體阻障接觸可以被使用作為一電極。當很難完成高品質閘極介電層時，一蕭基二極體阻障接觸常被用於一 III-V 族半導體材料。源極電極 1102、閘極電極 1104 及汲極電極 1106 係由導電材料作成，例如金屬、合金、矽化物、多晶矽等，包含其組合，這對於熟習於此技藝者為明顯易知的。

(29)

如上所述，奈米線薄膜 1000 之奈米線可以對準或指向。例如，示於第 11 圖之奈米線薄膜 1000 之奈米線可以平行於源極電極 1102 及汲極電極 1106 間之通道長度，也可以以其他方式對準。

奈米線薄膜 1000 可以以足夠量之奈米線形成，以提供想要特徵給半導體裝置 1100。例如，奈米線薄膜 1000 可以由足夠量或足夠密度之奈米線形成，以完成特定應用所想要之操作電流密度或電流位準。例如，電流位準可以在奈安範圍內，包含兩奈安，及更大或更少之電流位準。例如，於第 11 圖之電晶體例子中，奈米線薄膜 1000 可以形成以具有一大於十奈安之電流位準在該通道中。藉由使用大量之奈米線，及/或高遷移率奈米線，可能達成較高電流位準，包含於微安範圍內、毫安範圍內及甚至更大量之電流位準。

例如，爲了完成想要之操作電流密度，最少量之奈米線可以包含於基板上之給定區域之奈米薄膜中。因此，每一所形成之半導體裝置將具有足夠量之奈米線，以在一操作電流位準，承載電流。例如，每單位面積之所需奈米線量可以爲一奈米線、兩奈米線，及其他更大之奈米線，包含 5、10、100、1000 或更多。

於一實施例中，奈米線薄膜 1000 可以形成以具有非對稱遷移率。例如，此可以藉由非對稱對準奈米線薄膜 1000 之奈米線，及/或以一特定方式摻雜奈米線加以完成。此非對稱遷移率可以完成在第一方向中，完成較第二方



(30)

向中為大。例如，在第一方向中，非對稱遷移率可以以 10、100、1000 及 10000 倍大於第二方向的方式加以建立，或具有任意其他非對稱遷移率比，其係於這些值間，或更大或更少。例如，這可以藉由實際在單一方向中對準奈米線加以完成，以在平行奈米線之方向中，建立高遷移率，並在垂直於奈米方向中，建立較低之遷移率。

奈米線薄膜 1000 之奈米線可以以各種方式摻雜，以改良效能。奈米線可以在包含於半導體裝置 1100 前，或包含於半導體裝置 1100 後加以摻雜。在奈米線被形成為薄膜前，或者在被形成薄膜後被摻雜。在奈米線薄膜 1000 被形成在基板後，其可以被摻雜。再者，一奈米線可以於沿著其長軸方向之各部份作不同摻雜，並可以在奈米線薄膜 1000 中之其他奈米線作不同摻雜。部份用於個別奈米線之摻雜設計及奈米線之薄膜例子被提供如下。然而，可以為熟習於本技藝者所由以下教導加以了解到奈米線及其薄膜可以依據其他方式及其組合加以摻雜。

第 12A 圖顯示一奈米線 1200，其係為一均勻摻雜之單晶奈米線。此等單晶奈米線可以以控制方式，被摻雜入 p-或 n-型半導體中。例如奈米線 1200 之摻雜奈米線展現改良之電子特性。例如，此等奈米線可以摻雜，以具有可相比於另一單晶材料之載子遷移率。另外，在沒有束縛至操作之特定原理下，由於在奈米線通道內之電子波的一維本質，及一降低之散射或然率，奈米線可以被製造以完成較主體單晶材料之較高遷移率。高至  $1500\text{cm}^2/\text{V}\cdot\text{s}$  之載

(31)

子遷移率位準已經被顯示用於單一 p-型 Si 奈米線，高至  $4000\text{cm}^2/\text{V}\cdot\text{s}$  之載子遷移率位準已經被顯示用於單一 n-型 InP 奈米線。

第 12B 圖顯示依據核殼結構摻雜之奈米線 1210。如第 12B 圖所示，奈米線 1210 已經可以具有變化厚度位準之摻雜表面層 1202。厚度位準可以是在奈米線 1210 表面上之一分子單層。此表面摻雜可以將雜質由奈米線之導通通道分離，並抑制一雜質相關之散射事件，因此，造成較大加強之載子遷移率。例如，當奈米線依據核殼結構摻雜時，“彈道”傳輸可以完成在奈米線內。其他摻雜奈米線之細節係提供如下。

第 12C 圖顯示一奈米線 1220，其依據另一類型之核殼結構，被均勻地摻雜，及塗覆以一介電材料層 1204。介電材料層 1204 可以由各種介電材料，例如  $\text{SiO}_2$  或  $\text{Si}_3\text{N}_4$  所選出。介電材料層 1204 之使用可以簡化半導體裝置半導體裝置 1100 之製程，如同於此所述。介電層可以藉由氧化奈米線、塗覆奈米線、或其他方式形成奈米線加以形成。例如，其他非氧化高介電常數材料可以使用，包含氮化矽、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$  等等。奈米線之氮化可以以類似於奈米線氧化中所用之製程加以完成。這些材料可以藉由化學氣相沉積 (CVD)、溶液相塗覆、或簡單旋塗適當前驅物至該基板上加以施加至奈米線。也可以使用其他已知技術。

第 12D 圖顯示一奈米線 1230，其依據第 12B 圖所示

(32)

之核殼結構，被摻雜以一摻雜表面層 1202，並被塗覆以一介電材料層 1204，如第 12C 圖所示。

第 13A 及 13B 圖顯示依據本發明之例示摻雜實施例之半導體裝置 1100 之例子。如第 13A 圖所示，基板 1108 之頂面被塗覆以一摻雜物層 1302。摻雜物層 1302 包含電子施體或電子受體摻雜材料。半導體裝置 1100 之特性可以藉由摻雜物層 1302 之引入加以控制。電子施體或電子受體材料引入負或正電荷載子入奈米線，以分別完成 n- 或 p-通道電晶體。因為摻雜物與實質導通通道分離，所以，可以在此架構之半導體裝置 1100 中，取得很高之遷移率位準。

如第 13B 圖所示，摻雜物層 1302 覆蓋基材 1108 之一區域，其係實際位在奈米線薄膜 1000 之旁。於實施例中，應用至半導體裝置 1100 之摻雜物層 1302 可以作出圖案，以具有依據不同 n-及 p-型特性摻雜之兩或更多區域。例如，於第 13B 圖之實施例中，摻雜物層 1302 具有一第一部份 1304，其被摻雜以 n-型特徵，及一第二部份 1306，被摻雜以 p-型特徵。於此一實施例中，一 p-n 接面可以依據各種電子及包含 LED 之光電裝置加以完成。

如上所述，可以在半導體裝置 1100 實際製造前或之後，摻雜物層 1302 被引入至基板 1108 上。

以這些材料製造之奈米線之集合為用於高效電子之有用建築方塊。於實質相同方向中之奈米線之集合將具有高遷移率值。再者，奈米線可以在一溶液中彈性地處理，以

(33)

允許不貴之製造。奈米線之集合可以容易地由溶液組合至任意類型之基板，以完成奈米線之薄膜。用於一半導體裝置之奈米線薄膜可以被形成以包含 2、5、10、100 及其他任意數量之奈米線，其在這些量之間或更大，被使用於高效電子中。

注意的是，當被組合以聚合物/例如有機半導體材料之材料時，奈米線也可以被用以完成高效之複合材料，其可以被彈性地旋模於任意類型之基板上。奈米線/聚合物組成可以提供優於一純聚合物材料為佳之特性。奈米線/聚合物組成之其他細節係提供如下。

如上所述，奈米線之集合或薄膜可以對準以實質彼此平行，或可以保持為非對準隨機。非對準集合或薄膜之奈米線提供可相比或優點多晶矽材料之電子特性，其典型具有範圍 1 至  $10\text{cm}^2/\text{V}\cdot\text{s}$  之遷移率值。再者，如果使用足夠高密度之奈米線，則非對準集合或薄膜之奈米線可以提供可相比或優於單晶材料之特性。

對準集合或薄膜之奈米線提供具有效能相容或優於單晶之材料。再者，包含對準彈道奈米線之焦合或奈米線薄膜(例如第 12B 圖所示之核殼奈米線)可以提供在單晶材料上之重大改良效能。

對準及非對準及合成與非合成奈米線薄膜可以依據本發明以各種方式加以產生。這些類型之奈米線薄膜之組裝與生產之例示實施例係如下。

奈米線之隨機指向薄膜可以以各種方式加以取得。例

(34)

如，奈米線可以分散於一適當溶液中。奈米線可以使用旋模法、滴乾法、流乾法、或浸乾法加以沉積至一想要基板。這些製程可以進行若干次，以確保高度之覆蓋率。假設奈米線所分散之溶液為一聚合物溶液，則隨機指向之薄膜的奈米線/聚合物組成可以以類似方式加以生產。

對準之奈米線薄膜可以以各種方式加以取得。例如，對準奈米線薄膜可以使用以下技術加以生產：  
(a) Langmuir-Blodgett 膜定位；(b) 流體流動法，例如 2002 年九月 10 日申請之美國專利申請第 10/239,000 號，該案係併入本案作為參考；及 (c) 機械剪力之施加。例如，機械剪力可以藉由將奈米線放置於第一及第二表面，然後，以相反方向以移動第一及第二表面，以對準奈米線加以施加。奈米線/聚合物組成之對準膜可以使用這些技術，隨後將想要聚合物旋模至該所生產之奈米線薄膜加以取得。例如，奈米線可以沉積於液體聚合物溶液中，對準可以依據這些或其他定位製程之一加以執行，及所定位之奈米線然後可以固化(例如紫外線固化、交聯等等)。奈米線/聚合物組成之對準薄膜可以由機械式延伸一隨機指向之奈米線/聚合物組成薄膜加以取得。

奈米線之薄膜可以形成於各種任意基板類型上，包含矽、玻璃、石英、聚合物及任何於此所述之其他基板類型或未提及者。基板可以為大面積或小面積，並可以硬式或軟式，例如軟式塑膠或薄膜基板型。再者，基板可以為不透明或透明，並可以由導體、半導體或非導體材料所作成

(35)

。例如包含源極、汲極及閘極之奈米膜接觸可以用微影術、噴墨印法或微接觸印法製程，或藉由其他製程加以在基板上作出圖案。

一介電層可以施加至在一基板上之奈米線薄膜，以例如電氣絕緣閘極接觸。一介電層之沉積可以使用蒸、聚合物或氧化物介電質之溶液鑄造法及其他製程加以完成。若其本身介電層絕緣奈米線，則此一介電層之沉積在一基板上可能不必要。

注意奈米線膜可以使用各種包含微影術之製程，加以在基板上作出圖案。奈米線薄膜之沉積與作出圖案可以使用各種製程加以同時完成，例如噴墨印刷或微接觸印刷法。

注意接觸可以作出圖案之次序也可以加以改變。例如，示於第 11 圖之閘極 1104、源極 1102 及汲極 1106 可以同時或不同時作出圖案。它們可以在沉積奈米線薄膜 1000 前或之後作出圖案。源極 1102 及汲極 1106 可以在沉積奈米線薄膜 1000 前作出圖案，而閘極 1104 在隨後作出圖案。或者，閘極 1104 可以在沉積奈米線薄膜 1000 前作出圖案，而源極 1102 及汲極 1106 隨後作出圖案。源極 1102 或汲極 1106 可以在沉積奈米線薄膜 1000 前被作出圖案，而其他在之後作出圖案。

注意的是，於部份實施例中，一層以上之奈米線薄膜可以施加至基材之給定區。多層允許較大之導電率，並可

(36)

以用以修改相關半導體裝置之電氣特徵。多重層可以彼此類似或不同。例如，具有奈米線對準於不同方向、不同摻雜及/或不同絕緣之奈米線的兩或多層奈米線薄膜可以用於一特定半導體裝置中。一特定半導體裝置之接觸區可以連接至多層奈米線薄膜之一或多層。注意，一奈米線薄膜可以形成爲一單層奈米線、一次單層奈米線及大於一層之單層奈米線。

#### DION TFT 概念驗證展現

爲了展現 DION TFT 技術，將說明一小規模之多奈米線 TFT 裝置之概念驗證。SiO<sub>2</sub> 基板係首先被作出一金屬閘極電極 (Ti/Au)，其然後被塗覆以一層 Al<sub>2</sub>O<sub>3</sub> (60nm)，以形成閘介電質。一適中密度膜之重摻雜之 p-摻雜矽奈米線然後被沉積在基板上，留下大致指向之奈米線陣列延伸穿過閘極電極。表面然後使用標準電子束阻抗，以曝露出源極及汲極電極區，加以作出圖案及顯影。鋁然後使用標準濺鍍系統加以沉積。因爲奈米線爲重摻雜，所以並不需  
要接觸摻雜。剩餘阻抗然後被去除，去除所有未爲源極及汲極電極所釘住之所有線。電晶體藉由施加一伏源極-汲極電位並掃描該閘極電加以測試。雖然結果相當均勻，但線對準差及很多情形下破裂，但仍造成電晶體有良好之效能，及 on/off 比約 10<sup>4</sup> 及電洞遷移率接近 100cm<sup>2</sup>/V·s。藉由增加每裝置之奈米線數，總通道電流可以增加至高至一毫安，展現用於高效巨電子裝置之多奈米線 TFT 之能

(37)

力(基本 DION 技術)。第 14 圖顯示一多功能混合奈米線薄膜之俯視圖。此圖顯示所有於現行奈米電子研究所取得之不同功能可以彈性地整合在單一巨電子基板上。

這些結果配合上於奈米線品質及均勻性之改良，本質閘極介電及閘極電極之加入、於沉積均勻性及密度上之改良、及電氣界面技術之最佳化，則可以展現 DION TFT 可以被實現為在質輕可撓塑膠基板上之真單晶半導體效能。

作為一突破技術，DION TFT 技術可以由材料、DION 薄膜製程及電氣界面及裝置製程的進一步發展，而獲得優點。這些努力結果將會加強於應用時之 DION TFT 之效能。

多重高效奈米線材料之合成(包含摻 n 矽、摻 p 矽、及摻 n 之 InAs、InP 及/或其他 III-V 族半導體)及包含有半導體核、閘極介電內殼及閘極電極外殼之特有多層核殼結構的製造係為特定區域，其中其他之發展將回應至現行 DION TFT 技術之優點上。基礎奈米線材料為 DION 技術之基礎。包含無機半導體奈米線之特有奈米材料之製造與功能化之大量知識基礎已經存在。

膜製造涉及用以製造混合組成 DION 薄膜之沉積技術。這些包含流動為主及乾式傳送技術。其他發展將強調膜密度的控制、奈米線指向、膜均勻性、奈米線至膜基板之黏著力及整體成本。在這些不同沉積技術內，一特定沉積技術可以被指明為相容於用以完成裝置製造之預定製程流程，及具有成本、大小及複雜性需要之用於分散感應器網



(38)

路應用(如下述)之裝置。此發展將推動現行低密度奈米線裝置製造之知識，以用於例如化學及生物感應器之應用，及將奈米線之組裝入功能架構中。

電氣界面涉及將 DION 薄膜作出圖案與電氣界面之製程，以形成 DION TFT、DION 蕭基二極體及其他裝置。這些製程的其他發展可以推進現行基於傳統半導體材料之 TFT 的基礎結構及技術，包含光圖案化、蝕刻、摻雜、歐姆接觸等等。這些不同製程中，一特定製程可以被指定，使得在 DION 薄膜內之所有功能可以使用一與末端應用、及天線及感應器定位(如下述)相容之單一線性製程加以取得。此開發將推進現行奈米線為主之化學及生物感應器之知識，其包含高品質及可重製電接點之製造至單一奈米線裝置上。

本發明在用以在可撓塑膠基板上，以低成本在大面積上，製造多功能高效巨電子積體電路為一革命性及寬大範圍平台。這將藉由在單一基板上，製造密集、指向薄膜之兩或更多不同高效無機半導體奈米線加以完成。這些不同材料均可以電氣交界，以製造具有效能等於或大於單晶材料之各種電子及光電裝置。在每一對源極及汲極電極間可以跨接數以百計或千計之奈米線，以在具有千計獨立導通通道之每一裝置上產生一單一結晶路徑，以確保高載子遷移率及高電流容量。第 15A、15B 及 15C 圖顯示摻雜 p 矽奈米線薄膜電晶體 ( $\mu \sim 100$  及  $\text{on/off} \sim 10^4$ ) 之初步結果。第 15A 圖顯示一奈米線 TFT 之暗視野光學影像。第 15B 圖

(39)

顯示源極至汲極電流對源極至汲極電壓之轉移特徵。第 15C 圖顯示源極至汲極電流對在該通道內之奈米線量之轉移特徵。

用以製造 DION TFT 之一般方法包含步驟：(1)合成一批次之高品質單晶無機半導體奈米線，其具有本質閘極介電質及閘極電極加入在每一線旁之多重殼內；(2)收集奈米線並將它們懸吊於溶液內，使得它們可以轉移至一想要基板；(3)沉積奈米線至一想要基板，使得它們形成一密集單層(即只有一線厚)薄膜，所有之奈米線均實質對準於同一方向；及(4)使用標準半導體製程，以對源極、汲極及閘極電極作出圖案、顯影、蝕刻及金屬化，以形成功能 DION TFT 裝置，其電晶體通道平行於對準線之方向。藉由使用遠長於典型巨電子裝置尺寸( $100\ \mu\text{m}$  NWs 對  $10\ \mu\text{m}$  通道長度)之奈米線，裝置可以被生產，其中，大百分比之線可以跨接於源極及汲極電極間之整個間隙。這些被定位成使得部份經過之奈米線並未造就裝置之導電特性之幾奈米線，因為耦合在奈米線間之相對電阻可能很多級數高於通過單一奈米線之高遷移率路徑。第 16 圖顯示一 DION TFT 示意圖。

此巨電子之新概念的另成就為主動半導體材料成長係與最終裝置支援基板分離。這不但以低溫完成了 TFT 之生產以相容於塑膠基板，同時，也允許將兩或更多類型之半導體加入至單一基板上。以此方式，不同特有功能元件可以最後整合在一起，以完成傳統薄膜技術所不可能方

(40)

式，來完成混合積集。

於某些態樣中，本發明使用新穎奈米線材料及特有多層核殼奈米線結構，以完成在單一基板上多高效能功能，其可以使用一單一線性裝置製程加以界面。更明確地說，三及四層核殼結構可以製造，其中，內核係由提供想要電子功能(例如 CMOS 相容性、RF 信號處理能力、發光等)之半導體所形成。第一殼係為一絕緣介電層，作為在最終裝置之閘極介電層。外層為一導電層，其作為一保角閘極電極，在最終裝置之每一個別線旁。當具有 III-V 核材料有極端遷移率之奈米線時，其並未形成高品質氧化物或氮化物，可以加入一中間層(例如 CdS)作為在半導體及介電層間之高品質界面。第 17 圖顯示一多核殼奈米線之示意圖，其包含一半導體核、一保護殼、一絕緣閘極介電殼，及一導體閘極殼。

本發明藉由合成三種不同奈米線材料，而在 DION 薄膜內，包含至少三種不同之功能：(1)作為 PMOS 電路之高效能摻 p 矽(或 SiGe)，(2)作為 NMOS 電路之高效摻 n 矽(或 SiGe)，及(3)用於 RF 信號處理之極端遷移率摻 n 之 III-V 族材料(例如 InAs 或 InP)。低功率 CMOS 裝置也可以藉由組合用於 PMOS 及 NMOS 電路之奈米線材料加以實現。例如電致發光奈米線、壓電奈米線或光電伏打奈米線之其他材料也可以被整合入這些膜中。

因為使用傳統技術在軟式塑膠上並不能使用此兩功能，所以，用於 RF 信號處理之 CMOS 電路之高速高頻

(41)

DION 電子器的製造係特別有用。相較於(單獨)NMOS 或 PMOS，對於數位邏輯而言，CMOS 電路提供優良效能及低消耗之優點。再者，CMOS 技術也普遍流行於現行電子系統中。對於功率收集及主動傳輸與接收，極端遷移率 III-V 族半導體奈米線之加入至混合組成 DION 膜可以促成在相同單石基板上之低成本 RF 信號處理。這些功能對於各種應用是重要的，特別是對於分散式 RF 感應器網路。

在分散式 RF 感應器網路中，使用 DION TFT 以製造材料有幾項主要技術能力。更明確地說，DION 薄膜技術在奈米線電子中，展現了完成極端高品質奈米線材料之可行性。然而，此種可行性研究係針對於單一而不是多重奈米線裝置。在單一線裝置中，線對線均勻性並不是一考量，因為每一裝置只取樣一單一奈米線。對於 DION 薄膜技術線對線均勻性係重要的。另外，分散式 RF 感應器網路需要一相當量之奈米線材料，以塗覆表面，而在  $4\text{ft}^2$  的面積上實現電子製造。因此，奈米線材料需要被製造於相當大規格上。

一電子裝置只可有用於作為其所完成之材料。由 DION 薄膜所製之裝置在組成整個下層薄膜半導體之奈米線內及之間需要高均質性。於此時，當每一裝置在一批次內，取樣奈米線之均質總和平均(即平均時，一裝置包含相同數量及組成之奈米線)。在每一裝置內，藉由增加每裝置之線數(以裝置之尺寸或奈米線密度表示)，或降低線

(42)

對線均勻性之變化(以整體特性表示)，完成此真總和取樣。因為對於一“巨電子”裝置之最大尺寸之實質限制存在(例如由於電容充電率)，所以沉積製程之均勻性及奈米線之均勻性應為最佳化。

奈米線之合成製程應滿足以下四條件：(1)應足夠軟，以允許由不同半導體組成及摻雜組成及濃度合成奈米線，(2)應可電腦控制及標準化，以免除在各別樣品間之使用者間及批次間之變化，(3)應能在用以奈米線為主之大面積裝置所需之量中，產生具有均勻電子特性之奈米線(即能產生每批次至少毫克)，及(4)應可縮放。

該製程應允許在線對線及批次批次間，所有奈米線之主要物理參數之精確控制(例如長度、直徑、組成及摻雜組成/濃度)。這可以藉由將一人工合成處理裝配至標準電腦控制商用 CVD 爐內。該等製程可以促成不同半導體材料及摻雜物(例如摻 n 矽或摻 n 之 InAs)之加入。使用此系統，材料合成可以最佳化，以產生具有均勻電子特性之奈米線，以得到具有所有相關電子參數低於 10% 變化係數之巨電子裝置。另外，為了改良材料之均勻性，一商用 CVD 爐可以促成奈米線成長在 24 個個別 4 吋晶圓上。這代表超出人工合成處理體積上之 2500 倍之增加，並當此技術商業化時，允許縮放性。

以控制奈米線合成及裝置製造/測試方法，用於一特定巨電子技術之最佳材料可以藉由檢測各種材料之相空加以決定。這可以針對在混合組成 DION 薄膜內之每一組成

(43)

加以完成。奈米線為主巨電子裝置可以具有與單線為主裝置相當不同之操作參數。需要以最佳效能之材料特性範圍可以經由理論模型化加以預測，但應藉由合成足夠量之均勻奈米線加以確認，以掃描可能奈米線組成之參數空間，以找出用於奈米線成長之最佳條件。

合成製程可以用以開發形成本徵、高品質、閘極介電殼於每一奈米線外側之方法，並用以在奈米線旁成長高摻雜非晶矽殼作為閘極電極之方法。一介電殼免除了外部介電材料並大大地簡化裝置製程。另外，因為介電殼係在 CVD 反應器內，以離開基板方式形成，所以此步驟可以在高溫完成，並允許一更高品質介電層被形成，而不會使基板受到高溫。一保角閘極可以提供較這些圓柱通道上之平閘極為高之效能。明確地說，由各方向均勻地施加電場至每一奈米線之能力可以造成更低臨限電壓及更陡之次臨限擺動(因為在一裝置內，由每一奈米線之閘極距離內將沒有變化)。

可以由電腦控制 CVD 系統完成，以適當之處理控制及精確度，可以使在奈米線上之高品質閘極介電質及本徵閘極電極可以被準備有必須程度之線對線及批次對批次之均勻性。此程序可以執行及最佳化於所有(上述)三類型之奈米線材料，每一材料需要對殼架構略微之變化。更明確地說，可以在 III-V 族核及外殼介電層間包含一中間層 CdS。

除了多層核殼矽奈米線以最佳化用於 CMOS 電路之混

(44)

合組成 DION 膜效能外，沒有殼之 III-V 族奈米線材料也可以用於某些應用中。用於 CMOS 包含較高遷率 SiGe 奈米核之 IV 族半導體及包含一多層殼系統與加強遷移率之 III-V 族材料也可以使用。同時，包含於本發明中為用以沉積 DION 薄膜與混合組成 DION 薄膜於一任意基板上及電接面至薄膜之每一區域之處理。所有這些步驟應特別強調與捲帶式製程之相容性。一般製程步驟涉及如第 18 圖所示之混合組成 DION 薄膜電路。

各種不同電位沉積製程可以加以使用，取決於想要密度、對準、速度、最大沉積溫度及最大成本而定。典型地，此等製程可以整合入一單一線性製程中，用以圖案化及處理所混合之組成 DION 膜，以允許使用與捲帶式製程相容之單一線性製程，來完成混合 DION 膜裝置之製造。此製程可以藉由使用於此所述之多殼奈米線結構加以簡化（及成本降低），該結構已包含閘極介電質及閘極電極在每一奈米線旁，免除了需要後沉積這些層之情形。此製程可以涉及以光阻以圖案化 DION 膜，以曝露每一 TFT 之奈米線之源極及汲極區域，並蝕刻以去除此電極材料與絕緣層。此只留下半導體核沿著整合入電晶體通道之自行對準閘極曝露。第 19 圖例示於一多核殼奈米線中之殼材料的蝕刻，以曝露出於奈米線 TFT 中之源汲極接觸之核材料。閘極為一固有整合殼材料。

在混合組成薄膜內有多數可用架構，其可以用以使用單一線性單石製程接近不同材料。這些製程包含但不限定

(45)

於：(1)製造不同材料之交錯帶於單一基板上；(2)在單一基板上，製造不同材料之棋盤式圖案，(3)製造不同材料之彼此絕緣之平行與重疊薄膜，並於處理時蝕刻經該薄膜，以接近每一裝置之想要層，及(4)製造一具有材料局部地沉積之特定設計基板，以容許一特定電子電路設計。第20圖顯示一混合組成 DION 膜之幾項可能架構。若干沉積方法可以使用以產生混合組成 DION 膜，包含多層通道流動、光微影圖案化、選擇性化學/生物圖案化、接觸印刷、彩色噴墨印刷或網印。

爲了整體圖案化及處理所沉之 DION 膜，三類型之捲帶式相容製程可以加以使用：(1)直寫式微影，例如網印，(2)傳統 TFT 大面積巨電子微影，及(3)雷射直寫微影。所有這些製程均適用以低成本完成足夠電路複雜性。每一個均具有本身之優點與缺點。

光微影爲傳統巨電子之製程選擇。這於由 a-Si 製造 TFT 背板作爲平板顯示器之設備已經有很多年。雖然微影術有上述之最昂貴選擇，但它仍經常地用以製造至少低於每平方呎 30 美元之 TFT 陣列。光微影之主要優點爲其可能完成相當高解析度特性(<1 微米)，其確保足夠電路效能及複雜性。第二優點爲使用傳統巨電子步進機之微影係爲極端良好開發之製程，其允許在 TFT 工業之製程開發的推進。光微影之主要缺點爲其係爲步驟並重覆製程，使得所開發之捲帶式製程將不會真正連續。另外，用於大規格微影之資本設備及操作成本係遠高於另兩種，這大量地增



(46)

加了整體設立成本。

微影用之網印具有快速及便宜之極端優點。另外，其也可能開發一真正連續捲帶式網印製程，用以以連續動作沉積光阻。事實上，今日某些製程者已經使用高速網印以每小時大於 1200 呎之速率，印刷 30 吋寬網金屬天線於其被動 RFID 標籤上。網印之主要缺點為解析度。雖然已經展現出網印可以用以產生大小下至 10 微米之特性大小，但傳統高解析網印仍具有 20 至 50 微米之解析度。網印之資本設備及操作成本很低。此例如網印之低解析度系統之優點為其並未為軟式薄膜基板材料之表面粗糙度或平坦度所影響。一較低解析度微影製程可以不但降低生產成本增加生產速度，同時也簡化用以高解析微影，以處理及定位軟式基板之元件的開發。此可促成高良率製程。

類似於網印，一掃描雷射光域前後掃描經一垂直行進掃描方向之網，也可以以低成本及相當速度，來以連續方式，曝光一傳統微影光阻。另外，此一系統允許較傳統網印為高之解析度。雷射掃描並未如網印般快速，或者如步驟及重覆光微影地高解析度，但其為在其間之合理性之中間部份。此等系統正為若干應用可商業上購得。它們也可以用以執行接觸回火或源極汲極接觸之摻雜之雷射活化。

所用之特定製程將取決於予以施用材料之應用及該材料而定。典型地，例如解析度、成本、速度及捲帶式相容性之因素均被在選擇一製程時加以考量。

氣相沉積金屬電極可以用以製造 DION TFT。還好，

(47)

商用捲帶式金屬氣相沉積系統可以購得。特定金屬及後處理可以基於效能結果、理論模型、及製造電接觸至單一奈米線裝置上之現行及密集知識加以經驗決定。最困難電接觸為閘極電極，其保角地塗覆於每一線旁，以提供極端均勻性於臨限電壓及極端低絕對臨電壓。還好，DION 膜之建構方塊之下層多層奈米線材料的合成考量閘極電極之製程。於處理時，只有一薄層之有圖案金屬被施加至閘極電極接觸區域上，以對外導電閘極電極殼完成歐姆接觸。源極及汲極接觸為一不同情況。當混合組成 DION 薄膜包含有重摻雜 n-及摻雜 p 奈米線時，在金屬及半導體間之高品質歐姆接觸可以直接形式。對於 DION 薄膜，這係為一特有功能，其係不為以其他材料加以完成。

使用低摻雜奈米線及閘極電壓以定義主要載子之反轉模式裝置也可以加以製造。於此時，每一裝置之源極及汲極接觸區應為在金屬化前之後摻雜。這可以經由傳統離子佈植製程(於 TFT 工業中之標準)或經由溶液沉積 n-或 p-摻雜物至 DION 膜之曝露區域上，其後以雷射活化每一區域。後面製程係引人於其並不需要任何高溫並且其已成功使用於單線裝置之製造上。離子佈植也可以用，特別是低溫製程處理參數。

特有電子基板概念是用以產生高效 CMOS 電路，藉由以一裝置程度，混合積集不同高品質摻 p 或 n 型半導體材料至單一基板上。第 21 圖例示使用混合組成 DION 薄膜以形成 CMOS 電路之例子。混合積集允許於高遷移率 p 型

(48)

及 n 型材料間作任意選擇。這些材料可以積集在一起，以實現在效能上之實質改良。不同半導體材料之混合積集已經在主體半導體材料中作密集之研究，但由於晶格不匹配及製程相容性之嚴重問題，而只有有限度之成功。另一方面，由於不同高品質單晶半導體奈米線材料可以分別合成及彈性組合成大面積之單一基板，所以奈米線薄膜技術迅速促進混合積集。

以下技術能力應加以建立，以使用 DION 技術，以製程商用量之實用裝置：(1)以足夠規格及均勻度，合成加工之多殼奈米線，(2)奈米線之沉積，以形成混合組成密集耐用之高指向薄膜，同時，其具有均勻性及可重製性以完成低成本高效能高良率電子之製程，及(3)對在一混合組成 DION 膜(即奈米至巨世界界面)內之每一裝置歐姆及絕緣電接觸之電氣界面的最佳化。另外，有關於針對分散式感應器網路應用，有其他能力。

p-及 n-通道奈米線材料之與特定材料參數之合成係被引入於本案例中。特別有關材料為例如 Si、Ge 及用於 p 通道材料之 Si 及 Ge 合金，因為這些材料為高電洞遷移率。明確地說，對於 Ge 之  $\sim 1900 \text{ cm}^2/\text{V} \cdot \text{s}$  電洞遷移率為主體形式中之所有半導體之最高者。對於 n-通道材料，Si 及 Ge 材料也是最重要的。另外，其他高電子遷移率材料，包含 III-V 族材料(例如 InP:  $\mu_e \sim 5000 \text{ cm}^2/\text{V} \cdot \text{s}$ ; InAs:  $\mu_e \sim 300000 \text{ cm}^2/\text{V} \cdot \text{s}$ )也可以用於高電子遷移率 TFT。多核殼奈米線結構也可以用於調變摻雜，以將摻雜物由主動

(49)

導通通道分離，作超高載子遷移率。奈米線表面也可以使用各種核殼結構加以鈍化並可以供給一外圍極介電殼及一周圍導通閘殼。

矽奈米線合成也可以使用金奈米粒催化 CVD 處理加以執行。簡言之，一預定前驅物氣體混合物，即於 He 中之  $\text{SiH}_4$  及  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  可以在於 20 至 50 托耳之總壓力下，通過沉積在塗覆氧化物基板上之觸媒金粒子，同時，該金奈米粒子被加熱至約  $\sim 450^\circ\text{C}$ 。於接觸金奈米粒子之同時， $\text{SiH}_4/\text{B}_2\text{H}_6/\text{PH}_3$  將分解及矽與硼(或磷)原子可以擴散入金奈米粒子並產生液態合金微滴。當微滴為這些前驅物所飽和，Si/B(或 Si/P)原子將會凝結並開始奈米線成長。藉由持續供給  $\text{SiH}_4$  及  $\text{B}_2\text{H}_6$ (或  $\text{PH}_3$ )，奈米線成長可以無限地進行，直到製程結束為止。奈米線之品質係取決於金奈米粒子之品質、金奈米粒子之直徑分佈、及成長條件，包含溫度、 $\text{SiH}_4$  對  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  之比例、 $\text{SiH}_4$  之分壓、及在反應器內之前驅物氣體的佇留時間。成長可以使用電腦控制之 8 吋半導體爐使用 4 吋矽氧化物塗覆矽晶圓作為基板加以執行。

由於在表面之懸鍵及部份捕獲電荷，多數半導體材料具有足夠表面狀態密度。由於其極端表面對體積比例，奈米線係為這些表面作用所影響，其大大地限制裝置效能。應付表面狀態作用之方法已經在傳統半導體之半導體工業中發展出來。若干策略被用以最小化表面狀態之影響，包含在惰性氣體或氫/形成氣氛下，直接熱回火及於氫電漿

(50)

中回火，然後，熱回火或快速熱回火。每一製程均可以在奈米線與塑膠基板材料接觸前，以離線方式加以完成。

作為另一及一般方式，一核殼結構可以用以為一般方式，以鈍化表面捕獲狀態。於此時，殼可以選擇較核為大之能帶隙材料，使得載體不能穿透殼，因此，電氣絕緣開任何表面環境。另外，一高品質絕緣鈍化殼也可以使用作為於 TFT 裝置中之積體閘極介電層。介電塗層之品質也可以為決定奈米線 TFT 之效能的一主要因素。明確地說，臨限電壓及洩漏電流可以主要地由殼及半導體殼界面之品質與厚度所決定。重要的是，平衡兩參數，藉以產生儘可能薄之無缺陷殼。

於矽例子時，表面鈍化及閘極介電質之事項可以同時藉由使用高品質  $\text{SiO}_2$  塗層加以進行。高品質介電塗層之方法與驗證科學原理已經建立用於平板單晶矽，最近用於非晶矽及多晶矽。也可以形成具有均勻厚度於奈米線表面旁之無針孔閘極介電質(其取樣幾不同結晶方向)。一般而言，方法可以分類為氧化矽介電質之直接氧化或 CVD 沉積。直接氧化係為特別相容於矽奈米線之特有結構本質。

60 奈米直徑矽奈米線之直接氧化可以在奈米線成長爐內直接氧化。在奈米線成長終止後，反應氣體混合物由反應管抽出，其隨後被供給以一氧(5%)及氫之混合物至於 100 毫托耳至 760 托耳間之壓力，於 150°C 以下之溫度。爐之溫度然後緩慢地上升至 300°C 至約 800°C。氧化溫度與氧對氫之比例、氧之分壓、及氧化時間段決定了所產生

(51)

氧化矽之品質及厚度。這些條件可以最佳化，直到取得一想要厚度(2 至 20nm)及塗覆品質為止。(回到第 7 圖例示半導體/介電核殼結構)。一慢氧化係想要以最小化缺陷及懸鍵，其可以造成捕獲電荷。

若針孔缺陷或不能停止摻雜物由閘極遷移入氧化物，使得一簡單氧化物層不足以作為一良好閘極介電質，則二氧化矽塗層奈米線之直接氮化可以用以產生更穩定之氧氮化物塗層。較高介電常數及對可動離子之較低滲透性可以使得氧氮化物為一較佳閘極材料。或者，一純氮化物層可以以更高品質及介電常數形成。於氮化物或氧氮化物例子中，可以使用利用 NO 或 NH<sub>3</sub> 之電漿加強直接氮化法。

為了進一步加強裝置效能及簡化裝置製程，可以使用一包圍閘極介電層之導通殼，其作為動為周圍閘極。例如，當一 Si/SiO<sub>2</sub> 核殼結構時，一摻雜非晶矽或多晶矽殼可以沉積至該 Si/SiO<sub>2</sub> 核殼奈米線，以實現一周圍閘極。這可以在 CVD 反應器中，在氧化或氧氮化形成後，以另一步驟加以完成。為了確保矽電極沉積在線的表面上，而不是造成連續奈米成長，觸媒膠體必須在閘極電極沉積前被去除。這可以以矽沉積前，以晶圓之金屬蝕刻加以完成。

單晶矽奈米線提供機會以產生具有效能接近單晶材料之 TFT。然而，這些材料之最終效能係為矽材料之本質特性所限定。本發明之奈米線之主要優點為能任意加入材料至最終裝置應用內。新奈米線材料可以如所需地被指定及合成，以進一步加強材料之遷移率，特別是用於高速高頻

(52)

應用中。明確地說，n 型材料應為合成，因為於半導體材料中，電子遷移率係大於電洞遷移率者。高電子遷移率之良好選擇可以基於若干主要材料特性，包含本質電子遷移率、功函數、及表面特性。因為奈米線材料之大表面對體積比，所以表面特性係特別重要。III-V 族材料係特別好選擇，因為它們具有高電子遷移率（例如對於 InP 為  $\mu_e \sim 5000 \text{ cm}^2/\text{V} \cdot \text{s}$ ，及對於 InAs 為  $\sim 30000 \text{ cm}^2/\text{V} \cdot \text{s}$ ），及現行大量使用於高速電子裝置中。另外，這些材料具有有用光學特性並可以用以使用 DION 薄膜平台，作為巨電子 LED 及紅外線 (IR) 檢測器。InP 奈米線材料係進一步討論如下。由於高電子遷移率及其中間表面特性，InP 為一特別有用材料。一般而言，本發明之合成製程可以應用於很多不同材料中。

一金屬(例如金)簇調解方法可以用以合成 InP 奈米線與一系統，如第 22 圖所示。第 22 圖顯示製造半導體奈米線之一般反應器之示意圖。加熱或脈衝雷射加熱可以用以由 InP 粉末或固體 InP 目標，產生 InP 前驅物蒸汽。氣體前驅物可以為一載氣所帶至基板，並與 Au 膠體奈米粒子反應，以類似於矽奈米線方式產生奈米線。Au 膠體之直徑可以用以控制所得奈米線之直徑，及成長時間可以被控制以產生具有想要長度之奈米線。摻雜可以藉由於原材料中之摻雜源之數量加以控制。InP 奈米線之合成可以進一步開發，以促進矽奈米線合成之現存知識基礎。壓力、流率及溫度可以小心地控制，以決定材料特性。InP 奈米線

(53)

之介面形態與電子特性可以如矽奈米線者加以特徵化。In 及 P 前驅物及摻雜物之共同沉積可以用以完成理想配比之沉積。

物理及化學特徵化係重要以評價合成奈米線之材料特性，包含介面形態、直徑、長度、化學組成、及整體均勻性，以進一步最佳化奈米線合成協定。SEM 及原子力顯微鏡 (AFM) 可以用以特徵化奈米線之長度及直徑分佈。高解析 TEM 也可以用以量測介電質塗層之厚度與均勻性及個別線之晶格之品質。X 線繞射儀可以用以量測整個膜之結晶品質與指向。一附著至 TEM 之 EDX 可以用以評估單一奈米線之化學組成。特定套裝軟體已經開發用以快速地物理特徵化奈米線。

單一奈米線 FET 已經被展現。然而，由裝置至裝置間之大製程變化已經延遲了這些裝置之應用於特定應用中。這些變化可能由於缺乏合成控制、可靠電接觸、及 / 或大量之隨機表面捕獲狀態。對於 DION 薄膜技術之商用或軍事應用，完成可靠及可控制電氣特徵係重要的。為了完成對裝置特徵上之高程度控制，個別奈米線之電子特性應有高度可重製性及可控制性。奈米線之電子品質控制可以使用一單一奈米線 FET 結構加以特徵化及最佳化，因為此允許材料統計之理解分析 (例如無集體平均)。以良好控制電子特性，單奈米線 TFT 裝置可以製造及特徵化於包含軟式塑膠之不同基板上。此製程可以使用可控制穿透於予以施加源極及汲極電極之區域中之閘極介電殼之方法，



(54)

及用以可能摻雜這些區域以改良電氣接觸。也可以使用用以沉積閘極電極材料，而不穿透閘極介電殼之方法。然而，此製程可能由於每奈米線之小接觸區及其需要高蝕刻解析度而有些冒險。

單一奈米線 FET 也可以用以測試用於 DION TFT 製造之金屬化處理。單一奈米線 FET 裝置可以使用電子束微影或光微影，而製作於  $\text{SiO}_2/\text{Si}$  表面上。一標準微影平台已經開發用於單一奈米線裝置之電氣評估。第 23A 及 23B 圖例示一標準奈米線 FET 測試平台。第 23A 圖顯示一在 4 吋晶圓上之單一染色，其包含有 12 個個別裝置，具有不同閘極寬度與長度。藉由控制在這些電極對上之奈米線密度，可以測試不同架構之單一奈米線裝置。第 23B 圖顯示一整個晶圓全是測試裝置之低倍率放大圖。用於此測試圖案之遮罩組及製程係原先開發用以評估單一奈米線裝置，但也可以用於評估快速迴授材料效能之 DION 膜。

矽基板可以使用作為一通用背閘極及兩金屬電極可以作為源極及汲極電極。平面半導體技術可以使用作為用以選擇一適當接觸金屬、蝕刻劑及裝置製造協定之參考點。於金屬化前，適當表面清潔程序可以執行以由奈米線面去除介電殼並確保於奈米線與接觸金屬間之良好接觸。包含離子鎗清潔及氫氟酸蝕刻之各種策略均可以用以在源極汲極電極金屬化前，去除表面介電質。不同金屬化程式(例如  $\text{Ti}/\text{Au}$ 、 $\text{Ni}/\text{Au}$ 、 $\text{Al}$ 、 $\text{In}$ )可以使用電子束蒸發或濺射程序加以測試及最佳化。裝置行為可以使用半導體分析器加

(55)

以特徵化。包含閘極相關兩端量測及四端量測之各種量測架構及電力顯微鏡也可以用以特徵化該裝置行爲。來自電氣測試之結果可以進一步被使用作為回授，以最佳化奈米線合成程序及金屬化程序，直到取得一可靠程序爲止。這可以爲製造奈米線 TFT 之標準金屬化製程。單一奈米線 FET 也可以用於奈米線品質測試。一資料庫可以以奈米線之合成條件及電子參數加以建構。資料庫可以更進一步用以導引更多可控制合成及裝置製程的發展。

因爲高溫回火製程並不相容於塑膠基板，所以對於 p/n 二極體接觸，直接金屬接觸係較佳的，其一般用於傳統 FET 或 TFT 製程。不同金屬也可以基於半導體工業中之現存知識，用以測試不同半導體材料。奈米線材料之功函數及各種金屬選擇之足夠分析可以加以進行，以指出最佳接觸金屬。特別注意指明一共同接觸金屬，用於不同奈米線材料(例如 Si 及 InP 奈米線)，因爲若一單一金屬化製程可以用於混合奈米線薄膜中，則裝置製造可以大量地簡化。

以奈米線之不同表面密度製造之 DION TFT 可以使用類似於單一奈米線 FET 之裝置結構加以展現及特徵化。DION 薄膜可以使用以下所述之協定加以沉積。以用於單一奈米線裝置製造之可靠協定，此協定可以應用至 DION TFT。TFT 可以使用具有不同表面密度之 DION 薄膜加以製造，以完成具有不同數量之奈米線橋接源極及汲極電極之個別 TFT 裝置。一半導體分析器也可以用以特徵化裝置

(56)

之行爲，例如，電流位準、on/off 比、臨限電壓及閘極洩漏電流爲奈米線表面密度之函數。裝置之行爲可以理論地模型化以計算臨界裝置參數，其包含載子遷移率值。模型化可以隨後用以針對裝置結構之設計，以完成想要之裝置功能。這些研究可以使用矽基板作爲背閘極加以執行於  $\text{SiO}_2/\text{Si}$  或  $\text{Si}_3\text{N}_4/\text{Si}$  基板上，因爲此係爲容易實現裝置製造及模型化之方式。一可靠協定可以形成，以製造具有可變奈米線表面密度及可控制裝置行爲之 DION TFT。一大量裝置之統計分析可以用以在一給定裝置特性尺寸上，避免連接數量之統計上下變動而衝擊裝置重製性時，決定所需奈米線之最低密度。

一旦最佳沉積及材料特性係被選擇用於給定應用，則相同分析可以使用一沉積在源極及汲極電極間之奈米線上或下之獨立閘極加以執行。第 24 圖例示一使用通用背閘極之 DION 薄膜電晶體。爲了測試，其上形成有薄膜之矽基板可以被使用作爲通用閘極。此架構代表一全功能 DION TFT，並當材料被傳送至塑膠時(其中沒有通用背閘極可用)可以模仿下一步驟中所用之格式。

局部閘極 TFT 結構可以使用半導體/介電質核殼奈米線加以製造，其中介電殼係被使用作爲閘極介電質及另一金屬電極可以用以作爲閘極電極。第 25 圖顯示局部閘極奈米線薄膜電晶體的示意圖。此架構可以測試，以量測切換電壓、on/off 比，洩漏電流及可重製性。所有這些測試均可以首先完成於塑膠基板，例如聚醚醚酮樹脂(PEEK)或

(57)

聚乙烯對苯二甲酸酯(PET)之上。爲了完成可靠之裝置效能，塑膠基板之表面粗糙度應例如藉由塗覆以一層固化SU8光阻加以最小化。另外，具有例如 $\text{SiO}_2$ 或 $\text{Al}_2\text{O}_3$ 之薄氧化物塗層之表面變更可以用以改良對塑膠表面之裝置黏著力。

理論上，該裝置之結構可以足夠模型化以推導出主要電晶體參數，其包含載體濃度及遷移率、臨限電壓、on/off比等等。更明確地說，由相同材料所製造出之單一奈米線裝置與DION TFT的結果可以加以比較，以完整地瞭解在集合裝置效能時，對線對線變化與特徵的影響。由電氣測試及理論模型化所造成之結果可以進一步被用作爲回授，以最佳化奈米線之合成、沉積及金屬化製程。

於此所述之材料與基板可以使用一符合成本效益之製造加以處理，以在混合奈米線薄膜上，藉由使用上述高品質材料，來製造高效能CMOS電路。

指向奈米線陣列對於確保於奈米線TFT之源極及汲極間之高遷移率導通通道係重要的。爲了在大面積上，取得高指向奈米線薄膜，可以使用若干策略，包含剪流定位、流體定位、電場定位、Langmuir-Blodgett膜、及噴墨印刷。流及剪流奈米線沉積於大面積基板上可以大致被用於一方法中，其處理係相容於捲帶式處理者。在奈米線薄膜沉積之前，改質基板及奈米線表面之通用表面改質法典型想要確保一互補相互作用及一穩定薄膜形成。

因爲於此所述之多數奈米線材料可以終結以一(本地)

(58)

二氧化矽殼，烷基-三甲基矽烷可以大致用以將一烷基鏈附著至奈米線上。烷基鏈之終端群可以被控制，以取得疏水或親水面，或一表面具有一予以與基板上之其他官能基互補之特殊官能基。當終結以其他表面之奈米線時，於需要時，可以使用不同化學品。例如，對於 InP 或 CdS，三甲基氧矽烷頭基可以被以一硫基替代，以提供堅固表面改質化。

表面改質可以促成後續薄膜沉積至如塑膠之基板上。然而，有一冒險為這些表面基可能對奈米線之電子特性有不良影響。不同殼及核殼結構之衝擊可以被探求以最小化在奈米線之電子特性上之表面團基之衝擊。另外，在奈米線薄膜形成後，由奈米線表面去除有機分子之方法可以在圖案化與電極沉積前被使用。例如氧電漿或臭氧清潔處理之技術似乎更值得探究。

基板材料之表面化學也是重要同時也是用以將奈米線適當地黏著至基板表面之有用控制參數。因為所有奈米線表面可以以一氧化物殼終結，所以為基板所需之表面化學係類似於黏著各種奈米線材料所需者。疏水塑膠基板可以以一氧電漿氧化處理加以改質，其後將一單層之 3-氨基丙基使用 3-氨基丙基三甲基氧矽烷而附著至該表面上。也可能藉由首先塗覆塑膠表面以一薄層  $\text{SiO}_2$ ，其流經一標準  $\text{SiO}_2$  表面改質化學加以改質表面。若黏著力被認為是一問題，則二矽氧烷化合物可以用以將奈米線錨定至表面。若有必要，這些有機分子可以在金屬化後被移除，於此時電

(59)

極將奈米線釘至基板表面。於此一錨定方法中，在沉積前奈米線之結塊需要小心控制，因為將  $\text{SiO}_2$  奈米線結合至  $\text{SiO}_2$  表面之化學品化合物同時也可能將之彼此結合。這可以藉由以錨加以處理基板表面然後在沉積前去除過量者，或使用具有化學活性與  $\text{SiO}_2$  者不同之閘極介電殼加以解決。

流體定位法已經應用於在奈米電子應用上，在幾百微米寬及幾公分長上，以低密度對準奈米線。流體定位法可以延伸至很大面積。爲了在大面積上完成對準，具有橫向尺寸相較於基板尺寸之流體通道應加以使用。通道之高度可以被控制以低於 500 微米，使得奈米線溶液之主要部份係接近基板表面。接近基板表面之剪流可以完成沿著流方向之奈米線定位。不同奈米線溶液濃度及次數可以用以控制在表面上之奈米線表面密度。當想要時，基板可以被改質，以加強於基板與奈米線間之互補作用，以完成更高之表面覆蓋。可以進行有系統研究以完成在表面上之可重製奈米沉積。表面覆蓋可以以光學顯微鏡與一 SEM 加以研究，以及，可以開發一推理統計法，以量化特徵化該表面覆蓋。於沉積時，可以藉由攝像由奈米線經由一暗場顯微鏡散射，以回授到流系統，而即時以光學方式監視密度。這些研究可以首先進行於玻璃基板上，然後，進行於塑膠基板上。

幾項重要事項應加以注意及小心控制：(1)用於小規格定位之橡膠印聚二甲基矽氧烷(PDMS)流體通道，可能

(60)

由於其軟性本質，而不能應用至吋至幾十吋尺寸。爲了克服此事項，可以使用玻璃或不鏽鋼所製之固體通道。通道的圓周可以使用 O 形環或一薄層 PDMS 加以密封。(2)在此一大尺寸規格時，需要小心以確保沿著整個通道流動之流體爲均勻的。應特別注意流體通道入口及出口之設計。應小心考量溶液輸送之設計。一可程式泵可用以確保定溶液輸送速率。在沒有事先預警下，在接近通道入口將較接近出口之區域沉積較高奈米線密度，這經常可以於微通道流體定位看到，而未小心設計通道入口。此密度變化可能藉由於定位處理時反轉流動方向及經由化學改質處理而加強奈米線與基板表面間之相互作用，加以大量補償。

爲了完成妥協兩或更多類型之奈米線(例如 p-及 n-型矽奈米線、或 Si 及 InP 奈米線)之混合奈米線薄膜，沉積係爲一重要步驟。用於單一組成指向奈米線之方法可以加以修改。於一實施例中，光微影可以使用，其後進行多步驟流體組合法，以完成一混合奈米線薄膜。於另一實施例中，也可以使用用於單一步驟混合薄膜沉積之更複雜方法。形成混合奈米線薄膜之例示製程包含：(1)基板表面使用光微影加以圖案化，以部份區域曝露，以接收第一類型之奈米線薄膜，另一區域被覆蓋以光阻，(2)第一類型之奈米線(例如，p-Si)被使用流體法施加至基板上，(3)剝離法被執行以使一基板具有基板的部份區域被覆蓋以 p-Si 奈米線薄膜，及(4)奈米線藉由沉積一閘極金屬加以錨定。步驟(1)至(4)可以重覆以組合不同類型之奈米線(例如 n-

(61)

Si)至基板表面之不同區域，以產生一混合奈米線薄膜。

在大面積上之裝置製造對於巨電子應用是很重要的。對於大面積裝置製造，特別是塑膠，有好幾可能障礙。首先，裝置製程應執行於塑膠之玻璃轉態溫度( $T_g$ )下。為此，具有最大處理溫度 $<100^\circ\text{C}$ 之低溫裝置製程可以被開發，其係相容於多數塑膠基板。第二，在大面積微影中，有於塑膠基板之彈性，而在對準有期待事項。這可以藉由使用有厚度超出 $1\text{mm}$ 之相當硬塑膠基板加以應對。於製程中，較薄基板可以被積層至玻璃基板上。當裝置製程完成時，塑膠基板可以由玻璃基板釋放，以取得軟式電子。最後，為了簡化整個裝置製程，現行製造技術之知識基礎可以被加入。較佳地，一單一金屬可以用以完成對兩類型之奈米線薄膜之接觸。包含噴墨印刷、網印、或掃描雷射微影法之低成本法可以評估以決定哪些係相容於捲帶式大體積生產製程。

光微影術已經常用於微及巨電子製程中。一用於在混合奈米線薄膜上之裝置製造之例示光微影處理包含：(1)沉積一混合奈米線薄膜，(2)使用光微影處理形成圖案及閘極電極之金屬化，(3)蝕刻於核殼奈米線中之殼層及金屬化源極及汲極電極。

一具有約 $10^4$ 電晶體之12階移位暫存器可以建立。用於移位暫存器之目標時鐘速度為 $25\text{MHz}$ 。為了在一大區域軟式基板，提供此次層之效能，矽奈米線可以用於核殼結構。較佳地，電子與電洞遷移率分別 $400\text{cm}^2/\text{V}\cdot\text{s}$ 及



(62)

$200\text{cm}^2/\text{V}\cdot\text{s}$  可以以個別  $100\text{cm}^2/\text{V}\cdot\text{s}$  及  $100\text{cm}^2/\text{V}\cdot\text{s}$  之下限加以完成。在單一奈米線遷移率上之可用資料表示用於這矽線之遷移率可以分別高至  $1500\text{cm}^2/\text{V}\cdot\text{s}$  及  $400\text{cm}^2/\text{V}\cdot\text{s}$ 。基於具有 CMOS 矽 DION TFT 之實質完成遷移率，需要以完成 25MHz 時鐘速度之微影解析度可以被決定及一特定微影處理(例如光微影、掃描雷射微影及噴墨/網印)可以被選擇。一例示性處理係說明如下。

於第一步驟中，奈米線被成長於奈米線反應器中。上述超大型規格處理可以用以提供具有約  $10^{18}$  每立方公分之摻雜之 80nm 直徑矽奈米線。隨後熱氧化可以降低直徑至約 60nm 並提供閘極絕緣器之主體。一兩步驟氮化處理然後可以用以產生富氮化矽擴散阻障層，其保護由於可動離子穿透之臨限電壓位移。這可以使閘極氧化物至約 20nm 之最終厚度。最後合成步驟可以成長一摻雜電漿加強化學氣相沉積(PECVD)非晶矽層在奈米線旁。此提供一保角閘接觸給閘氧化層以與矽通道之低阻障電位差，及較低臨限電壓。通道摻雜可以相當地高，使得臨限電壓將同樣地相當地高。於此點，奈米線包含一三層核殼，具有單晶矽於中心，其係為氧氮化物閘介電層所包圍，其隨後被塗覆以一摻雜非晶矽保角閘極電極。

奈米線然後可以由反應器移除，收回及使用上述用於混合組成之 DION 薄膜製造之沉積處理，而沉積在軟式 PEEK 塑膠基板上。使用上述微影處理(例如標準光微影或網印微影)，閘極金屬接觸可以被作出圖案並使用作為遮

(63)

罩，以移除曝露之非晶矽。非晶矽將只保留在閘極接觸下(即此為自對準處理，其可以降低微影複雜性及成本及功率消耗並增加裝置效能)。源極及汲極接觸區可以然後作出圖案及閘氧化層可以使用標準氧氮化物蝕刻法，被蝕刻於源極及汲極接觸區中。歐姆接觸可以使用電子束蒸鍍經由光阻圖案施加用於源極及汲極。基於具有單一奈米線電氣界面之先前經驗，只需要低溫( $<150^{\circ}\text{C}$ )或不必要接觸回火。最後，整個裝置可以被鈍化以一層氮化矽。若有必要，過量奈米線可以以一化學刷洗加以去除，該刷洗可以將過量奈米線由基板上未為源極及汲極電極所固定之區域釋放。或者，過量奈米線可以使用傳統矽蝕刻加以蝕去。

於電子及電洞之分別  $400\text{cm}^2/\text{V}\cdot\text{s}$  及  $200\text{cm}^2/\text{V}\cdot\text{s}$  之遷移率，圖案化解析度應  $\sim 5\mu\text{m}$ ，具有設計閘極(電氣)長度  $\sim 10\mu\text{m}$ ，及在閘極金屬與源極及汲極金屬間之次  $-10\mu\text{m}$  空間。源極及汲極之摻雜可以為自對準。裝置可以由約平行對準之 1000 奈米線構成，以提供適當之輸出電流，以充電內連線及下一級之閘極電容。這些內連線可以寬至  $25\mu\text{m}$  及  $1\text{cm}$  長並仍完成想要上升及下降次數。整體裝置尺寸可以約  $250\mu\text{m}$  寬及  $10-50\mu\text{m}$  長。裝置可以被分組成格，以提供低次層功能給數位設計者(反相閘、NAND 閘等)。這些格可以於約  $500\mu\text{m}^2$ 。這允許寬大接線巷道甚至一 100 電晶體電路仍能在  $1\text{cm}^2$  內良好動作。

熟習於本技藝者將了解到精確設計規則將為所完成之實質遷移率所指揮並分別對於遷移率  $1500\text{cm}^2/\text{V}\cdot\text{s}$  及

(64)

$400\text{ cm}^2/\text{V}\cdot\text{s}$  之電子與電洞，對於 DION 膜可能範圍大於  $20\ \mu\text{ m}$ 。同樣地，精確膜效能將用以界定微影設計要求。

例示 CMOS TFT 裝置製程

以下說明為用於由高遷移率 III-V 族材料製造之 DION TFT 之例示製程，其例如完成大於  $1000\text{ cm}^2/\text{V}\cdot\text{s}$  之遷移率，而不經由複雜電路設計。因為在一混合組成 DION 薄膜內之此材料可以用於 RF 信號處理，所以討論將針對 n 通道裝置設計。

第 26A 及 26B 圖個別為一靜態 CMOS 兩輸入 NAND 閘之示意及佈局圖。

矽奈米線之合成可以進一步發展，以完成最佳效能。此包含開發高  $k$ (相對電容率)介電殼材料及相關周邊閘殼沉積。III-V 族高電子遷移率材料也可以進一步開發，特別是有關用於表面鈍化、閘極介電層、周邊閘極及調變摻雜之先進之核殼結構。

矽奈米線成長可以被最佳化，以進一步加強效能。較高遷移率 SiGe 合金材料可以被開發，即使仍需要更高載體遷移率。明確地說，可以生產  $\text{Si}_{1-x}\text{Ge}_x$  及 Ge 奈米線。一具有  $\text{SiH}_4$  及  $\text{GeH}_4$  或  $\text{GeH}_4$  混合作為反應物源及  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  作為摻雜物源之 Au 膠體催化化學氣相成長法可以用以成長  $\text{Si}_{1-x}\text{Ge}_x$  或 Ge 奈米線。用於  $\text{Si}_{1-x}\text{Ge}_x$  薄膜之 CVD 處理之現存知識與具有矽奈米線成長之經驗可以加入，以最佳化完成高品質  $\text{Si}_x\text{Ge}_{1-x}$  或 Ge 奈米線之成長條件。所

(65)

得材料可以以各種顯微鏡(例如 SEM、TEM 等)技術加以完全特徵化及小心分析，及電氣傳輸特性也可以完全地測試或最佳化。

用於矽奈米線表面鈍化及閘極介電質之 Si/SiO<sub>2</sub> 核殼結構已經開發。直接熱氧化或 CVD 沉積 SiO<sub>2</sub> 至矽奈米線均可以產生殼結構。對於 Si<sub>1-x</sub>Ge<sub>x</sub> 或 Ge 奈米線，此於 Si/SiO<sub>2</sub> 核殼結構之經驗可以被開發。當 SiGe 奈米線時，核殼結構可以最佳由 CVD 沉積一純 SiO<sub>2</sub> 殼，而不是直接熱氧化 Si<sub>1-x</sub>Ge<sub>x</sub> 奈米線加以生產。Si<sub>1-x</sub>Ge<sub>x</sub> 奈米線之直接氧化將會產生一混合之 SiO<sub>2</sub>/GeO<sub>2</sub>，其傾向於具有很多陷阱狀態。爲了在 SiGe 奈米線上產生一殼之 SiO<sub>2</sub>，SiH<sub>4</sub> 及 GeH<sub>4</sub> 將在奈米線成長終結後，於反應室中空乏。爐溫度被改變至用於氧化物沉積之想要溫度，以及，SiH<sub>4</sub> 及 O<sub>2</sub> 之混合被引入室內，以完成氧化物沉積。溫度、SiH<sub>4</sub> 及 O<sub>2</sub> 分壓及時間可以小心地控制，以沉積想要厚度之氧化物殼。所得材料可以以一 TEM 加以完整分析。SiGe/SiO<sub>2</sub> 奈米線之電子特性可以於一 FET 結構內加以測試。當 SiGe/SiO<sub>2</sub> 界面被最佳化以抑制界面陷阱狀態時，一 SiGe/Si/SiO<sub>2</sub> 核殼結構可以被開發。於此狀態中，當 SiGe 奈米線成長結束時，一具有控制厚度之本徵矽殼可以磊晶沉積於 SiGe 奈米線之表面上。最後，一外 SiO<sub>2</sub> 殼可以使用於 Si/SiO<sub>2</sub> 核殼系統中所開發之相同方法加以生產。

矽奈米線之特徵化結構建議小刻面矽奈米線可以形成在控制成長條件下。此知識可以加入以調查一應變

(66)

$\text{Si}_{1-x}\text{Ge}_x$  層之磊晶成長，以進一步改良遷移率。在矽奈米線成長結束後，反應器之條件可以改變以支援磊晶成長一薄層之  $\text{Si}_{1-x}\text{Ge}_x$ 。其後一薄層之矽，最後一層  $\text{SiO}_2$ ，以得到一核殼結構，其具有矽奈米線核、一主動層之應變  $\text{Si}_{1-x}\text{Ge}_x$ 、一蓋層矽(以降低陷阱)及一  $\text{SiO}_2$  介質層。

熱或雷射蒸發可以用以產生 III-V 族奈米線，例如由 InP。以此方式合成之 InP 奈米線可以足以測試小規格裝置製程。然而，此製程並不能規格至裝置實施於大面積上，因為熱及雷射蒸發處理之本質限制之故。一用於 InP 奈米線之先導生產規格 CVD 製程(類似於用於成長矽奈米線者)可以用以生產於晶圓規格或更大之奈米線。於此方法中， $\text{InCl}_3$ (三甲基銻)及  $\text{PH}_3$  可以用作為反應物源。 $\text{SiH}_4$ 、 $\text{H}_2\text{S}$  或  $\text{H}_2\text{Se}$  可以用作為摻雜物源。成長溫度、每一氣體成份之分壓、及整體基礎壓力可以調整，以控制所得奈米線之整體品質。此 CVD 方法也可以開發以產生其他 III-V 族材料，例如 InAs 之奈米線。所得奈米線也可以利用上述類似方法加以完整地特徵化。

高效能 III-V 族材料典型為表面陷阱狀態所限制。為了免除此等陷阱狀態，可以開發各種核殼結構。已經報導 CdS 為一用於 InP 薄膜之表面鈍化之優良覆蓋層。InP/CdS 核殼結構可以使用兩方法加以實施。首先，在 InP 奈米線合成處理之結束，該基板溫度被降低，以自由化 Au/InP 共晶滴。然後，CdS 可以蒸發以持續塗覆 InP 奈米線表面，以完成 InP/CdS 核殼結構。或者，InP/CdS

(67)

奈米線也可以藉由磊晶塗覆 CdS 至預合成 InP 奈米線，加以生產於一溶液相中。此方法已經成功實施於 InP/CdS 量子點系統中。於 InP/CdS 結構中之 CdS 殼同時也用於閘極介電質。然而，若 CdS 殼對於閘極絕緣體並不是適當品質，則另一 SiO<sub>2</sub> 介電層可以使用類似於上述方法加以進一步沉積。

爲了進一步改良奈米線 TFT 裝置之效能，高 k 介電材料也可以用於奈米線核殼結構中。高 k 介電質(例如 ZrO<sub>2</sub>、HfO<sub>2</sub> 等)已經被主動地以替換 SiO<sub>2</sub> 作爲矽裝置之閘極絕緣體。高 k 閘極絕緣體提供高電容值，而不會取決於極小薄膜厚度。這允許於電晶體通道中之有效電荷形成，同時，降低直接隧道洩漏電流。爲了於奈米線核殼結構中，實現高 k 材料，一原子層沉積(ALD)系統係用以在選擇奈米線表面上，成長 ZrO<sub>2</sub> 殼。一於高純度 N<sub>2</sub> 載氣中之 ZrCl<sub>4</sub> 前驅與 H<sub>2</sub>O 氧化劑可以用作爲反應物源。沉積處理可以以控制溫度及基礎壓力下執行，以確保高品質 ZrO<sub>2</sub> 薄膜。ZrO<sub>2</sub> 層之厚度可以以 TEM 加以特徵化。

在具有調變摻雜核殼結構之小直徑奈米線中，探求量子電子效應可以產生更高之電子遷移率 TFT。於類似於生產傳統二維(2D)半導體超晶格及 2D 電子氣的製程，一多核殼奈米線結構可以產生，以將摻雜物與主動導通通道分隔，以進一步加強載體遷移率。例如，超高電子遷移率可以實現於一結構中，該結構包含本徵半導體核(例如 GaAs)、一薄間隔層(一較大能帶隙之本徵材料，例如

(68)

AlGaAs)之內殼、與由摻雜層(一摻雜半導體，例如 n 型 AlGaAs)之外殼。以此方式，摻雜物只出現在外殼材料內並與主動核分隔，同時，電子可以迅速穿隧間隔層進入主動核材料，這大大地降低於核中之相關雜質發散。另外，當奈米線之直徑小於臨界值(例如對 GaAs~20nm)時，量子機械現象可進一步抑制發散並造成很高遷移率值(例如對於調變摻雜 GaAs 奈米線，理論計算預測遷移率到達  $10^8 \text{ cm}^2/\text{V} \cdot \text{s}$ )。爲了實現此方式，一類型之奈米線被首先使用一類似於上述方式加以生長。末端 Au 滴之催化活動可以藉由突然改變成長條件加以終止。一第二氣相然後可以引入，其條件被控制以使得均勻磊晶成長於奈米線表面上，以產生一核殼結構。若想要的話，此一程序可以重覆很多次，以產生一多核殼結構。核殼結構之摻雜類型可以彈性改變及控制，以取得想要之特性。最後，奈米線表面可以以上述各種閘極介電質加以終止。

於部份例子中，也想要提供奈米線結構，其將摻雜物與主動導通通道分隔。此一結構包含一本徵半導體核(例如 GaAs)、一內殼之薄間隔層(一較大能帶之本徵材料，例如 AlGaAs)、及一外殼之摻雜層(一摻雜半導體，例如 n 型 AlGaAs)。藉由將主動導通通道(核)與摻雜分隔並探求量子侷限效應，可以實現很高載體遷移率。爲了進一步加強這些奈米線之裝置效能，表面可以被塗覆以一導通殼，以包圍住閘極介電層作爲周邊閘極。例如，一摻雜非晶或多晶殼可以以類似於用於上述 Si/SiO<sub>2</sub>/p+Si 核殼奈米線之

(69)

方式，沉積至任何奈米線表面。同樣地，奈米線之表面可以藉由例如無電金屬沉積法，被塗覆以一薄金屬層。

每一合成步驟之產品可以以光學顯微鏡、SEM、或TEM，小心研究，以分析奈米線之介面形態、直徑或長度。EDX 可以用以評估奈米線之化學組成。此資訊可以進一步使用作為回授，以合成以最佳化整個程序並完成材料參數之精確控制。

於合成時之奈米線直接摻雜已經說明為有關在反應物混合中包含一摻雜前驅物氣體及藉由塗覆未摻雜線以一含摻雜物之殼而調變摻雜。對於這些摻雜奈米線，一直接金屬接觸可以用於源極及汲極電極。然而，於部份例子中，金屬接觸對於低摻材料或本徵材料(特別是操作於反轉模式之裝置)可能不夠好。為此，接觸摻雜係為另一選擇。因為奈米線具有很小直徑( $\sim 20\text{nm}$ )及很高表面體積比，所以一與前驅物之快速接觸及極端短擴散可以足夠驅動摻雜物進入奈米線。一般而言，該方法包含步驟有：表面清潔、將一摻雜前驅物之化學吸附至奈米線表面、及一快速供給能量，以驅動摻雜物進入奈米線。例如濕式蝕刻、電漿蝕刻及在超高真空下加熱(以由矽奈米線表面去除本地氧化物)之標準表面清潔技術也可以使用。前驅物為一氣體材料(例如對於 n 摻雜矽線為  $\text{PH}_3$ )，內部產生物種(例如重摻雜 p-Si 層所產生之 p 摻雜物)。能量源可以為一電阻性加熱源，例如快速熱處理(RTP)燈，或一對焦雷射。雷射加熱也可以作為在塑膠基板上之接觸摻雜。



(70)

流體流動法也可以以不同及更多可縮放版加以實現。第 27 圖例示一系統，用以捲帶式相容流體為主 DION 薄膜沉積。該設備可以包含一傾斜面，用以安裝基板、一噴射柱與基板平行，及一泵系統，以產生經過噴射柱之流動。溶液被噴至基板表面，而基板被在捲帶式製程中之馬達所連續地移動向上。向下流溶液可以令奈米線朝向流動方向。其他定位法也可以以類似於液晶在 LCD 製程中被朝向之方式，以微規格刷來刷奈米線加以進行。基板的動作及基板傾斜被調整，以產生最佳線均勻性及密度。若想要很高密度沉積，則製程可以重覆。未沉積之奈米線被保持於溶液中，未被損壞並可以循環使用。在廢水中之奈米線的濃度可以監視及可加入溶劑或若有必要加以(藉由蒸發法)加以去除。若在沉積之後有必要，則可以將基板安裝面加熱，以確保快速溶劑蒸發。一第二噴柱可以加入設備中。此第二噴柱可以噴出純溶劑，以沖去所有未沉積之奈米線。因為溶液蒸發，所以此最小化隨機指向奈米線之沉積。奈米線及基板之最佳表面化學品及沉積參數(溶劑黏性及揮發性、奈米線濃度、基板傾斜角、噴射率、及噴柱動作態樣)可以經由一遞迴處理加以決定。

於其他態樣中，Langmuir-Blodgett 膜方式可以適用於較大規格奈米線沉積。這可以提供在大面積上之均勻對準。然而，由流體流動定位法之結果仍用以作為裝置製造及特徵化之啓始測試。為了在大面積上完成均勻對準，大規格組件法可以基於 Langmuir-Blodgett(LB)膜加以開發

(71)

。 Langmuir-Blodgett 定位已經用以形成奈米粒子之薄膜及定位奈米棒。此方法可以經由適當表面化學品(如上述)之加入，以產生一指向奈米線薄膜，而延伸至奈米線之定位。於此方式中，奈米線可以首先被改質及懸浮於極性溶劑中。此一非極化奈米線懸浮可以然後被傳送至在一 LB 槽中之水表面上。在足夠低密度時，奈米線形成具有隨機指向之等向分佈。然而，當表面被抑制於一維時，這使得奈米線很難保持作隨機方向之指向。奈米線受到一轉態至一更規則之非等向相，具有一單軸對稱，更明確地說為向列相或層列相。

當薄膜奈米棒(具有縱橫比  $< 10$ )之定位時，此轉態已經於 Monte-Carlo 模擬法及真實實驗中看到。雖然，較大縱橫比奈米線將建議較大能力以為 LB 對準，但奈米線長度可能造成問題，因為它們並不能自由旋轉，以在膜內到達其最低能量狀態(相當於局部最小)。於此時，柔和攪拌可以進行以協助防止膜形成在這些高能量最小處，使得最後達到最低對準狀態。另外，方向性毛細管力量及奈米線間之凡德華耳分子吸引力可以用以進一步加強奈米線之平行對準與指向奈米線薄膜之形成。這也可以藉由在表面壓縮前，引入部份先對準(pre-alignment)加以應對。也可以使用若干策略，以完成此目標。例如，可以組合以一流體處理，以完成部份先對準。也可以應用一電場以加強線之對準。

一旦對準，膜可以進一步壓縮，以增加指向度。然後

(72)

，膜可以傳送至想要基板。除了基板由 LB 槽移除速度外，奈米線密度也可以為表面活性劑與奈米線之比率及表面壓縮量加以控制。不同傳送協定可以被開發，以避免於傳送處理時對對準之干擾。表面覆蓋率可以使用類似於上述方法加以特徵化。

於其他態樣中，可以使用與大體積捲帶式處理相容並與整體裝置製程相容之印刷技術。例如，一接觸印刷法可以包含如下。首先，以一印刷帶連續地以控制速度通過一奈米線溶液，接近帶表之剪流可以令奈米線沿著一方向定位。奈米線及基板之表面化學及帶在溶液中之持續時間可以被控制，以在帶上完成想要之奈米密度。在通過奈米線溶液後，帶可以持續通過整個想要裝置基板。電腦控制動作車得帶與基板接觸。藉由此剪流法，定位之奈米線可以藉由控制靜電作用或互補化學相互作用，而帶至基板上。此方法可以被規劃以直接印刷對準奈米線薄膜至基板上成為一想要圖案。基板可以以捲帶方式，連續饋送經整個系統。

各種方法已經用於混合奈米線薄膜沉積。這些包含例如一“多層”方式及一“剝離或棋盤圖案”格式。為了完成多層混合奈米線薄膜，先前任一方式均可以用以形成一第一層之奈米線薄膜。隨後在第一層上作裝置製造。然後，可以沉積一平坦化絕緣層。這可以為一聚合物材料，例如 SU8 光阻。再者，一第二層不同類型奈米線被定位至絕緣層表面。再次，在第二層上，製作裝置。於此“多層”方式

(73)

中，因為每一層幾乎與其他層無關，所以，每一層之所有線沉積及裝置製程可以使用上述技術加以執行。層間電連接可以藉由光微影中間絕緣層，以令其中有開口窗加以完成。隨後，金屬化以形成層間連接。

混合奈米線薄膜之被剝離圖案可以以若干不同方式加以形成：

一混合奈米線薄膜可以藉由使用多數平行通道流，使得交替通道具有不同奈米線溶液流經其間，而加以取得。於此方式中，一混合奈米線薄膜可以以具有約 $\sim 10 \mu\text{m}$ 解析度之單一流體程序中取得。

一混合奈米線薄膜也可以以連續靜電組裝程序加以取得。以此程序中，基板首先以電極圖案陣列加以作出圖案。這可以用以施加電場給靜電組件。為了完成混合膜，基板被以不同激能電極處理多數次。

一混合奈米線薄膜可以藉由首先圖案化具有不同化學或生物功能之基板表面之選定區域加以取得。兩類型之奈米線可以以不同化學/生物基加以改質，每一基係互補於在基板表面之選定區域上之特定表面功能。然後，兩不同奈米線可以曝露至基板，以完成具有兩不同類型奈米線在基板表面上之不同區域上之混合奈米線薄膜上。

一混合奈米線薄膜也可以使用一多步驟接觸印刷法加以取得。於此方法中，一圖案印係首先由彈性保角材料(例如 PDMS)完成。第一類型之奈米線然後組裝至印表面。奈米線然後可以被印刷至裝置基板上，以在基板之選定

(74)

區域上，取得第一類型之奈米線薄膜。此程序可以然後重覆以應用不同類型奈米線薄膜至基板表面之不同區域上。

混合奈米線薄膜也可以藉由修改用於單一組成奈米線薄膜沉積製程之印刷法加以形成，以包含一“彩色”印刷技術。不同奈米線被認為類似於傳統彩色印刷中之不同顏色。例如，對於上述接觸印刷技術，基板依序進行於多個具有不同奈米線之帶下，以完成具有電腦控制圖案之混合奈米線薄膜。此程序相容於一捲帶式製程。

本發明可以造成於複雜度(大於一千裝置)與效能(至少 100MHz 時鐘速率)之大量增加。這些改良可以藉由實質於 CMOS 遷移率之改良，以於反轉模式裝置中之電子及電洞分別有  $1000\text{cm}^2/\text{V}\cdot\text{s}$  及  $400\text{cm}^2/\text{V}\cdot\text{s}$  之例示值。對於在 Ge/Si/SiO<sub>2</sub> 核殼結構中之電子與電洞具有一本徵鎔導通通道與一摻雜矽殼以供給載體，效能可以分別高至  $3000\text{cm}^2/\text{V}\cdot\text{s}$  及  $1500\text{cm}^2/\text{V}\cdot\text{s}$ 。熟習於本技藝者可以了解：(1)反轉模式裝置可以生產，以降低臨限電壓，(2)源極與汲極摻雜可以自行對準，以降低輸出阻抗，及(3)裝置可以被生產，以具有較低臨限電壓、較低電源電壓、及較少之功率消耗。

本發明奈米線膜之應用例

各種電子裝置與系統可以加入使用依據本發明實施例之奈米線薄膜的半導體裝置。對於本發明之應用例係說明如下，作例示目的。本發明並不限定於這些應用。於此所

(75)

述之應用可以包含奈米線之對準或非對準薄膜、奈米線之複合或非複合薄膜並可以包含其他奈米線或奈米線膜變化。

用於週邊安全之質輕分散感應器網路

以下說明一開始應用，即用於週邊安全之質輕分散感應器網路。該系統可以包含多數單元之積體巨電子電路，包含感應器、邏輯、及 RF 通訊，其係被印在質輕可撓式塑膠基板上。當分散在安全週邊時，每一單元均監視其局部環境之一或多數刺激。於檢測特定信號時，資訊可以經由個別感應器元件被送回到基地台。

基本概念為製造多功能單石裝置至一質輕軟式基板上，其可以感應一或多數環境、電子式處理該資訊、及將之傳回到一基地台。一或多數特定感應器可以被開發。本發明可以支援各種不同之感應器類型。尤其是，DION 為主之感應器可以被製造為動量感應器、光感應器、聲音感應器等等。以本發明之技術，一質輕及低成本分散式感應器單元可以分散在一安全週邊旁，以監視各種信號。第 28 圖示意本發明之分散式感應網路的概念。該圖顯示此一系統之元件與其如何實質操作應用。

每一感應器單元之形狀因素與成本因素完成了本發明。藉由將裝置製造於一軟式塑膠基板上，一感應器可以被偽裝(即感應器可以作成看起來像在該週遭一般看到之事物，例如在樹上之葉子)。藉由以低成本製造該等裝置，

(76)

則大量之感應器將可以以符成本效益被佈署，以保護一地點。此有效地實現個別感應器之低成本網路。於一較佳態樣中，低成本電子基板可以被印刷至單一質輕軟式基板上。

此感用延伸“高效電子分佈在一大面積”概念至包含各種電子元件，其(1)被分佈甚至超出一單一基板，及(2)在一“百萬級電子”積體系統(即大於“巨電子”)內之功能單元件間，加入電氣及非電氣連線。對於本案之實體實現，用於高效巨電子之技術係特別重要。首先，生產成本應低，以允許感應器節點分佈在一安全週邊旁之大面積上。第二，軟式基板允許裝置被偽裝(例如切割及畫成像樹葉、口香糖包裝紙等，將使得會使得其在所定位之區域不被注意到)。對此類型應用的方法與係傳統方法有很大不同。於過去，均努力想要使標籤很小，使得它們幾乎看不到。然而，小尺寸同時也降低了天線尺寸，因此，不但降低讀取範圍，同時，也使系統之設計更複雜。由 DION 電子所完成之特有形狀因素可以完成感應器，使得其不但因為小而很難被檢出，同時，也因為它們被溶入環境中而更獨特而難以檢出。另外，此技術也可以用以製造其他特有形狀因素，例如，“智慧”壁紙、智慧紙、智慧文件夾、或其他任何看起來不像感應標籤之事物。

用於本發明之分散式感應器網路可以藉由生產(1)特定可印刷感應器材料，(2)與網路環境相容之可印刷天線設計，(3)軟體及硬體以處理進入資訊，及(4)能作感應器

(77)

、RF、及電子信號處理之特定多功能奈米線薄膜電路加以實現。

於一實施例中，分散感應器網路包含多數被動RF感應器元件(例如“感應標籤”)，在安全週邊旁補充以少量之主動信標(beacon)。主動信標提供RF電力及詢問被動單元及協調至基地台之資料流。或者，基地台可以經由網際網路及衛星連接至中央命令總部，其可以監視全世界之多數此等感應器網路。第29圖顯示一RFID/感應器標籤系統之示意圖。該圖顯示基於此所述之奈米線為主基板之RFID/感應器標籤系統之基本電路設計。

電路可以接收感應器輸出並將之轉換為數位資料，用以輸入至RFID標籤電路。來自感應器之輸出典型為類比信號，其係被以想要解析度轉換為數位位元串流。對於某些應用，感應器能感應出某些事物即可。於此一應用中，零或一之單一位元值即可滿足。於其他應用中，將需要32位元數位輸出，使得類比至數位電路可以放置在標籤IC之“前端”並作為一連接至該感應器之標籤IC輸入墊之界面。這些架構也可以複製為多數感應器。

該電路可以接收感應器電路的輸出並將數位資料附加至標籤ID記憶體暫存器。後面之電路可以放置在標籤ID之“後端”，使得其接收“前端”電路之數位輸出並將資料載入ID輸出暫存器。標籤ID可以架構於多數段中，使得前部件包含一特有標籤ID號，其特有指明該標籤，及後部件，其包含感應器資料。若感應器並未檢出任何事物，則



(78)

後部件將包含 32 個零之字串。一旦感應器檢出事物，則其輸出將被與標籤 ID 號一起送出。以此方式，讀者將能藉由標籤 ID 號決定感應器事件與感應器位置。

於另一實施例中，分散感應器網路包含一主動 RF 感應器元件之集合，其係為積集入多組成 DION 薄膜之薄膜電池或光伏打奈米線材料所供電。

本案只是可以為 DION 薄膜技術所能完成之很多可能應用之一。實際上，製造多功能電子元件之效能、成本及能力在開發例如供安全應用之質輕可攜式 X 射線成像器、用於無線通訊之相位陣列天線、用於安全應用之雷達掃描器、用於軟式顯示、用於質輕空間有限電子及各種其他應用中之系統的開發上係特別有價值。

在 RFID 標籤中之天線之波束操控

依據本發明之應用，奈米線或奈米管之薄膜被用於射頻識別 (RFID) 標籤及 / 或 RFID 標籤讀取器，以提供加強之效能特徵。上述本發明之奈米線膜在標籤及 / 或讀取器內完成波束操控陣列。此等加強 RFID 標籤可以使用來自輸入 RF 信號之電力，以調諧陣列之相位，以最大化輸入信號之功率 (即有效將標籤之天線指向讀取器)。再者，加強 RFID 標籤為低成本，並可以在任何定向中有效接收一信號。藉由將標籤之天線聚焦至讀取器，為標籤所傳送之信號被聚焦，大大地增加標籤可以被檢測之範圍。結果為由於等向信號傳輸而較低之能量損失，因為標籤將其所傳輸

(79)

信號朝向讀取器之故。

再者，由於這些加強，標籤可以較傳統標籤更快速接收及處理資訊，並大大地增加為讀取器所讀取之標籤群之速度。巨電子基板與在 RFID 標籤中之可操控天線之組合允許 RFID 標籤相對於讀取器之任何定向處通訊，並較傳統可能之離開讀取器為大之範圍 (>100 米)。再者，本發明可應用至被動及主動 RFID 標籤類型。

一讀取器可以加入奈米線功能波束操控陣列，以提供類似效能加強。一加入至讀取器之波束操控陣列可以將讀取器之天線對焦向一發射標籤，以相對於讀取器之任何定向，檢測標籤，並增加標籤可以被檢測到之範圍。結果，讀取器將能更快速處理更多之標籤。再者，可以完成大量降低於鄰近標籤之干擾。這是因為標籤傾向於位於不同位置處，及天線將傾向於在任一時間，聚焦少數標籤，例如一單一標籤。

以下部份說明一例示 RFID 及讀取器環境，加入有本發明之奈米線功能之波束操控陣列者。以下部份提供奈米線功能波束操控陣列之其他細節，其隨後說明奈米線功能之可調相延遲實施例，其可以加入波束操控陣列及其他裝置者。

加入一奈米線功能波束操控陣列之 RFID 標籤及讀取器實施例

第 30 圖例示一依據本發明例示實施例之 RFID 通訊

(80)

環境 3000。於環境 3000 中，讀取器 3002 與一或多數標籤 3004，如第 30 圖所示為標籤 3004a-3004c。第 30 圖所示之三個標籤 3004a-3004c 係為例示目的，環境 3000 可以包含任意數量之標籤 3004，包含百計、千計甚至更大之數量。

標籤 3004 典型固定至予以監視之項目上。標籤 3004 之出現及標籤 3004 所固定之項目或物件之出現可以為讀取器 3002 所檢查與監視。讀取器 3002 經由無線詢答，而監視具有標籤 3004 之項目的出現與位置。典型地，每一標籤 3004 有一特有識別號，使得讀取器 3002 可以使用以認出特定之標籤 3004 及其相關項目。

例如，第 30 圖所示，讀取器 3002 典型以一射頻，傳送一詢問信號 3006 至一群標籤 3004。詢問信號 3006 為該群之一或多數標籤，例如為標籤 3004a-3004c 所接收。每一標籤 3004a-3004c 個別處理所接收到之詢問信號 3006，並若適當時可以加以反應。如第 30 圖所示，標籤 3004a-3004c 可以傳送個別反應 3008a-3008c。讀取器 3002 及標籤 3004 可以依據各種為熟習於本技藝者所知之協定加以通訊。

第 31A 及 31B 圖例示分別用於依據本發明之實施例之標籤 3004 及讀取器 3002 之詳細例示架構方塊圖。示於第 31A 及 31B 圖之標籤 3004 與讀取器 3002 係被提供作例示目的。可以為熟習於此技術者所了解，本發明能應用於其他標籤及讀取器架構，及其他通訊環境。例如，於一

(81)

實施例中，標籤 3004 包含一波束操控功能，而讀取器 3002 則否。於其他環境中，標籤 3004 並未包含波束操控功能，而讀取器 3002 則包含波束操控功能。於另一實施例，則標籤 3004 與讀取器 3002 均包含波束操控功能。

如第 31A 圖所示，標籤 3004 包含一天線 3102、收發器 3104、一儲存器 3106、一波束操控陣列 3108、及一標籤控制器 3110。標籤 3004 更包含一基板 3118，其上安裝、附著、印刷或以其他方式形成有這些元件。標籤 3004 之元件可以包含任一電子硬體、軟體及/或韌體。應注意的是，於另一實施例中，波束操控陣列 3108 可以執行天線 3102 之功能。因此，於此一實施例中，天線 3102 可以不用。

天線 3102 係用以接收與發射 EM 信號，例如分別為詢問信號 3006 與反應 3008a。天線 3102 可以為適用於 RFID 標籤之天線類型。

收發器 3104 係連接至天線 3102。收發器 3104 可以為任意類型之收發器，或適用於 RFID 標籤之接收器與發射器之組合。收發器 3104 如所需地執行為天線 3102 所接收之 EM 信號之頻率下降轉換及/或解調，並輸出資訊信號 3114 至標籤控制器 3110。再者，收發器 3104 接收來自標籤控制器 3110 之資訊信號 3114，並如 RFID 標籤 3004 所需地執行調變及/或頻率上轉換。上轉換信號係為天線 3102 所傳送。

標籤控制器 3110 控制標籤 3004 之操作。標籤控制器

(82)

3110 可以包含任何硬體、軟體、韌體或其組合，以需要執行其功能。例如，標籤控制器 3110 及 3106 可以出現在一特殊用途積體電路 (ASIC) 中。當由收發器 3104 接收資訊信號 3114 時，標籤控制器 3110 會處理資訊信號 3114。例如，標籤控制器 3110 處理資訊信號 3114，以決定是否被收到之詢問信號 3006 被朝向個別標籤 3004，並產生一適當反應。標籤控制器 3110 輸出所產生之反應給收發器 3104。

3106 可以儲存有關標籤 3004 之資訊，其包含識別碼。標籤控制器 3110 存取儲存器 3106，以決定所儲存資訊。標籤控制器 3110 可以使用所儲存之識別碼，以決定是否一詢問信號 3006 被朝向個別標籤 3004。儲存器 3106 可以為唯讀儲存器 (例如唯讀記憶體 (ROM) 裝置)，或可以為能寫者，以儲存其他資訊。

如第 31A 圖所示，標籤 3004 包含波束操控陣列 3108。於一實施例中，由天線 3102 發射之 EM 信號相遇、碰撞或為波束操控陣列 3108 所接收。例如，天線 3102 可以將 EM 信號直接傳向波束操控陣列 3108，或天線 3102 可以等向地傳送 EM 信號，以到達波束操控陣列 3108。波束操控陣列 3108 如標籤控制器 3110 所導引，再導引 EM 信號。

應注意的是，於如下所述之另一實施例中，波束操控陣列 3108 另外執行天線 3102 之功能。於此一實施例中，天線 3102 不必用。因此，如第 31A 圖所示，收發器 3104

(83)

可以選擇地經由鏈路 3120 直接連接至波束操控陣列 3108，及波束操控陣列 3108 直接傳送 EM 信號。

標籤控制器 3110 包含一陣列控制器 3112 部，其控制波束操控陣列 3108。陣列控制器 3112 產生為波束操控陣列 3108 所接收之陣列控制信號 3116。陣列控制信號 3116 可以是一串列信號，並一並聯信號匯流。陣列控制信號 3116 控制波束操控陣列 3108 之多數相位調整元件，以控制由天線 3102 所發射之 EM 信號之指向，或控制為波束操控陣列 3108 之天線元件陣列所傳送之 EM 信號之方向。陣列控制器 3112 可以使得波束操控陣列 3108 藉由將 EM 信號指引於任一方向，或藉由將 EM 信號對焦、藉由將 EM 信號展開、及藉由執行其組合，而指向或再指向 EM 信號。

以一類似方式，當標籤 3004 於接收模式時，波束操控陣列 3108 可以將天線元件陣列導向一輸入 EM 信號。於一實施例中，陣列控制器 3112 控制波束操控陣列 3108 之多數相位調整元件，以接收或控制由讀取器 3002 所發射之 EM 信號的再指向。例如，波束操控陣列 3108 可以再指向在任何朝向天線 3102 之方向，由讀取器 3002 所接收之 EM 信號，或可以直接由讀取器 3002 接收 EM 信號。

於一實施例中，陣列控制器 3112 包含一掃描演繹法。該掃描演繹法可以用以掃描一最佳方向，其中由讀取器 3002 所廣播之 EM 信號為最強，於實際上，將波束操控陣

(84)

列 3108 朝向讀取器 3002。因此，改良了標籤 3004 之信號接收。此掃描演繹法對於熟習於本技藝者為此所教導後係為明顯的。一旦，決定最佳方向，標籤 3004 可以將其所得反應反應 3008 朝向讀取器 3002。因此，為標籤 3004 之反應將似乎為讀取器 3002 所接收，及因為傳送反應 3008 被集中之故，所以標籤 3004 可以被傳送更遠距離。

第 31B 圖例示依據本發明例示實施例之讀取器 3002 之方塊圖。如第 31B 圖所示，讀取器 3002 包含一天線 3122、一收發器 3124、波束操控陣列 3108、及讀取器控制器 3130。用於讀取器 3002 之這些元件具有與標籤 3004 之相對應元件之功能。收發器 3124 係經一資訊信號 3134 所連接至讀取器控制器 3130。波束操控陣列 3108 係為一陣列控制信號 3136 所連接至讀取器控制器 3130。注意的是，讀取器 3002 可以為一手持或非手持單元。再者，於一實施例中，讀取器 3002 係為一無線或有線通訊鏈路 3150 所連接至一網路或電腦系統。

讀取器控制器 3130 包含一陣列控制器 3132，其係類似於標籤 3004 之陣列控制器 3112。於讀取器 3002 之傳送模式中，陣列控制器 3132 控制波束操控陣列 3108 之多數相位調整元件，以控制為天線 3122 所發射之 EM 信號之再指向。例如，EM 信號可以被指向一特定標籤 3004，或標籤 3004 群。再者，當讀取器 3002 係為接收模式時，陣列控制器 3132 控制於讀取器 3002 中之多數相位調整元件，以再指引由標籤 3004 所接收之 EM 信號朝向讀取器

(85)

3002 之天線 3122。

或者，如上標籤 3004 所述，讀取器 3002 之波束操控陣列 3108 另外執行天線 3122 之功能，使得天線 3122 並不必出現。陣列控制器 3132 可以控制波束操控陣列 3108 之多數相位調整元件，以控制用於多數天線元件之發射與接收方向。因此，如第 31B 圖所示，收發器 3124 可以選用地直接經由鏈路 3140 連接至波束操控陣列 3108。

注意於一實施例中，陣列控制器 3132 可以包含一類似於陣列控制器 3112(如第 31A 圖所示)之掃描演繹法。例如，掃描演繹法可以用以找出一方向，其中為標籤 3004 所廣播之 EM 信號為最強者，作用上，即將讀取器 3002 之波束操控陣列 3108 指向廣播標籤 3004。

波束操控陣列 3108 之各種實施例均為可能並在本發明之精神及範圍內。再者，於實施例中，波束操控陣列 3108 加入奈米線薄膜。奈米線薄膜完成波束操控陣列 3108 之相位調整功能。以下部份說明波束操控陣列 3108 之例示實施例。

#### 波束操控陣列實施例

用於波束操控陣列 3108 之實施例係說明於此節中。如上所述，波束操控陣列 3108 允許導引 EM 信號於任一方向、聚焦 EM 信號、展開 EM 信號及其組合。本發明之奈米線薄膜係加入波束操控陣列 3108，以完成如下所述之相位調整功能。注意本發明可應用至所有類型之波束操



(86)

控陣列包含反射型及多天線元件陣列型。爲了例示目的，反射型及多天線元件陣列類型將說明如以下段落中。然而，可以了解的是，本發明也可以應用於其他類型之波束操控陣列。

#### 反射型波束操控陣列實施例

此段落說明操作爲一波束反射器之波束操控陣列。雖然以下爲用於例示目的之特定反射器架構，但可以了解的是，於此所述之奈米線技術係可應用至任一類型之波束反射器中，此等波束反射器係在本發明之範圍及精神內。

第 57 圖爲操作於發射模式之波束操控反射器 5700。一天線 5702(爲例示目的被顯示爲號角型天線)發射到達波束操控反射器 5700 之 EM 信號 5704。波束操控反射器 5700 再導引 EM 信號 5704，被顯示爲再導引 EM 信號 5706。注意於接收模式中，波束操控反射器 5700 操作於類似方向。

示於第 57 圖之波束操控反射器 5700 係爲一波束操控陣列波束操控陣列 3108 之反射型變化，並係基於頻率選擇表面(FSS)之概念。可調 FSS 係爲波束操控反射器 5700 之基礎。FSS 具有能力以反射 RF 信號，並具有一預定相位( $\varphi$ )。再者，一 FSS 可以製造於薄印刷電路狀系統中。藉由將 FSS 架構爲可調諧，則 FSS 之相位  $\varphi$  可以被控制。例如，波束操控反射器 5700 包含多數形成一實質平坦表面 5710 之格。藉由架構每一格表面 5710 爲可獨立控制

(87)

， $\varphi$  輪廓或輪廓可以施加至波束操控反射器 5700 之表面 5710 上。因此，波束操控反射器 5700 之實質平坦面 5710 可以具有類似於拋物線反射器之特徵，而沒有為三維 (3D) 表面所需空間之缺點。表面 5700 可以進一步被諧調或調整，使得波束操控反射器 5700 可操控。再者，波束操控反射器 5700 並不需要移動件為可操控。

顯示全磁導體 (PMC) 之特性的材料片可以使用作為一 FSS，以完成波束操控反射器 5700。此 PMC 表面可以包含倍週期、諧振電 LC (電感 - 電容) 電路，其諧振時之行爲接近一理論 PMC 者。因此，此等 PMC 表面具有與頻率相關之特性，因此，適於作為 FSS。

可調相 PMC 表面具有內藏電感 L 或電容 C，其係電氣可調。基於傳統組裝技術，這些表面允許表面諧振頻率 ( $f_r$ ) 之電氣操控，及表面之  $\varphi$  的調整。由於本製造技術之成本與限制，這些表面在尺寸上很有限，只有 3"×6" (7.6×15.2 cm)，並已適用於作為概念展現。本發明之包含在大面積基板上之奈米線薄膜的巨電子允許製造有用大小之可調 FSS 反射器，作為波束操控反射器 5700。

第 33 圖為一例示波束操控反射器 5700 之表面 5710 之示意圖。如第 33 圖所示，波束操控反射器 5700 包含一多數格 3302，包含格 3302a-3302c。波束操控反射器 5700 之格 3302 均個各諧振。再者，依據本發明，波束操控反射器 5700 之格 3302 之每一諧振格可以被架構以個別地可調諧。於此，波束操控反射器 570 之表面 5710 之不同區

(88)

域可以作成爲具有不同反射相位。藉由架構波束操控反射器 5700 以具有一非均勻反射相位特徵，一反射波束可以如想要地對焦、展開或操控。

第 34 圖顯示一例示固定頻率 PMC 結構 3400 之剖面圖。三個格 3302a-3302c 係被顯示於第 34 圖之例子中。第 35 圖顯示 PMC 結構 3400 之一部份立體圖，具有 2×2 陣列格 3302a、3302b、3302d 及 3302e。如第 34 圖所示，PMC 結構 3400 包含一第一導電層 3402、一第二導電層 3404、及一介電層 3406。介電層 3406 係位於第一及第二導電層 3402 及 3404 之間。

第一及第二導電層 3402 及 3404 可以爲任何之導電材料，例如一金屬，例如銅或鋁，或金屬/合金之組合。介電層 3406 可以爲任意電氣絕緣體，並可以選擇以加強格 3302 之電感及/或電容特徵。第二導電層 3404 係典型連接至地端或其他參考電位。PMC 結構 3400 可以例如使用標準兩層印刷電路板 (PCB) 製造技術加以製造。

如第 34 圖所示，每一格 3302 包含一“補片”或第一導電層 3402 之部份 3410，其係與其他部份 3410 分開者。如第 35 圖所示，部份 3410 可以實質矩形，但也可以是其他形狀。再者，每一格 3302 包含導電導孔 3412 形成貫穿其間，以電氣連接個別部份 3410 至第二導電層 3404。每一部份 3410 及相關導孔 3412 在第二導電層 3404 上，形成圖釘狀結構。

第 36 圖顯示涉及於 PMC 結構 3400 之一部份之諧振

(89)

格 3302a 及 3302b 之電感及電容。在 PMC 結構 3400 內之諧振允許波束操控反射器 5700 之波束操控功能。因為一電容 C 及一電感 L 而發生諧振。電容 C 存在於每一部份 3410 及導電層 3404 之接地面(或其他參考電位)之間。電感 L 存在係由於每一部份 3410、一相關導孔 3412、及第二導電層 3404 之地端面(或其他參考電位面)。因此，電容 C 與電感 L 建構一格 3302 之諧振頻率  $f_r$ 。若入射 EM 信號波具有 FSS 之諧振頻率  $f_r$  之頻率，則一碰撞在固定頻率 PMC 結構 3400 之入射 EM 信號波將同相反射。具有頻率  $f$  之碰撞在固定頻率 PMC 結構 3400 之入射 EM 信號波將被反射，若其為離頻率 ( $f \neq f_r$ )，則具有變化量之  $\varphi$ ，若其為遠離諧振頻率  $f_r$  ( $f \ll f_r$  或  $f \gg f_r$ )，則接近 180 度。為了例示目的，第 37 圖顯示固定頻率 PMC 結構 3400 之任一對格 3302 之一傳輸線等效模型 3700 之示意圖。

使用微波分析技術，於第 36 圖中所示之 PMC 結構固定頻率 PMC 結構 3400 係如何地顯示 PMC 之特性，即具有  $\varphi = 0$  度。第 40 圖顯示代表  $\varphi(f)$  之曲線 4010 之圖 4000，或反射係數相位對頻率圖。曲線 4010 顯示  $\varphi$  範圍於約  $\pm 180$  度之值。對於  $\varphi$  於  $\pm 90$  度之例子 PMC 操作範圍 4002 也被顯示(雖然本發明可以具有其他範圍之  $\varphi$ )。如第 40 圖所示，範圍 4002 係相當地窄。藉由調整一格 3302 之諧振頻率  $f_r$ ，曲線 4010 可以被向左或右“滑”。這造成一操作點(即於一特定操作頻率  $f$  之  $\varphi$  值)，於相位中移動向上，即朝 +90 度，或向下，即朝 -90 度，因而提供相位

(90)

控制。

爲了以此方式完成相位控制，及建立相位可調及相位保角表面，即電容值  $C$ 、電感值  $L$ ，或  $C$  及  $L$  兩者都必須被調整。例如，這些值必須以電子方式加以調整。爲完成此，於波束操控反射器中，需要大面積，以安裝所需之電氣元件。再者，需要高電子效能，以作必要之 RF 處理。加入了奈米線膜之本發明大面積巨電子基板提供了這些能力。

PMC 結構固定頻率 PMC 結構 3400 可以依據本發明以被架構至可調諧，以形成波束操控反射器 5700。爲了架構固定頻率 PMC 結構 3400 成爲波束操控反射器 5700，固定頻率 PMC 結構 3400 之 FSS 格 3302 之諧振頻率  $f_r$  (及在特定  $f$  之  $\varphi$ ) 必須架構能主動控制。於一實施例中，格 3302 之類比或連續相位調整可以藉由加入主動負載，例如可變  $C$  變容二極體或  $L$  轉移之可調元件至電晶體加以完成。於另一實施例中，格 3302 之分立相位調整可以藉由切換在格 3302 之諧振電路之內外之各種值之電抗元件加以完成。

第 38 圖顯示波束操控反射器 5700 之剖面份，其中主動相位調整元件係連接至 PMC 結構，以依據本發明之一實施例，提供分立可調性。於第 38 圖之實施例中，一可調整波束操控陣列結構係藉由將一電路連接至每一格加以建立，每一格可以分別被調整以不同  $L$  值(及/或  $C$  值)。如第 38 圖所示，格 3302 係類似於第 34 圖所示者。然而

(91)

，於第 38 圖中，每一格 3302 均包含一電氣導孔 3802，其具有一第一端連接至部份 3410、及一第二端 3804 延伸經在第二導電層 3404 中之開口 3806。再者，對於每一格 3302，一對電感 3810a 及 3810b 係分別經由相關開關 3830a 及 3830b，而連接於導孔 3802 之第二端 3804 與第二導電層 3404 之間。電感 3810 操作為用於格 3302 之相位調整元件。開關 3830 之選擇控制允許電感 3810 以分立地連接至格 3302，以提供格 3302 之諧振頻率的調整，因而，提供可調性給波束操控反射器 5700。第 39 圖顯示波束操控反射器 5700 之任一對格 3302 之傳輸等效模型 3900 之示意圖。注意，第 39 圖顯示一可調電感 L，其可以藉由切換不同值電感、或藉由改變電感長度，或上述其他已知技術加以調整。

注意雖然第 38 圖之例子顯示用於每一格 3302 之兩電感 3810a 及 3810b，但本發明也可以適用以調諧具有任意量之電感 3810 及相應開關 3830，包含更多量之電感及開關。再者，除了電感外之其他電路元件類型也可以使用作為用於格 3302 之相位調整元件，包含電容。

依據本發明之實施例，開關 3830 之功能為提供奈米線為主裝置。此等奈米線為主裝置包含二極體或場效電晶體 (FET) 類型。於此所述之實施例中，每一格 3302 均加入一全組之調整控制，以最大化調諧力及相位控制彈性。注意的是，於其他實施例中，並不是每一格 3302 均需要相位控制。因此，於部份實施例中，每隔一格 3302 或其他

(92)

多數格 3302 將包含相位調整控制。

於實施例中，格 3302 係長/寬約 5 至 10mm，但也可以是其他尺寸。因此，將標準封裝商用裝置安裝在格 3302 上並不符實用。再者，第 41 圖顯示一規格圖，其中三個傳統電感 4102a-4102c 及相關開關 4104a-4104c 係安裝在一格 3302。此等元件為商業上下架 (COTS) 之技術。電感 4102a-4102c 係被顯示為商業上可用之 0603 電感及開關 4104a-4104c 係顯示為商業上可得之 SOT-23 FET。注意的是，因為在第 41 圖之 COTS 例子出現之元件的尺寸，在格 3302 上有很少之自由區域。再者，需要用以 RF 旁路、濾波及偏壓控制之電路元件並未出現在格 3302 上。因此，一使用商業可得元件之實用三個開關電感實施法係很困難以實施。

第 42 圖顯示格 3302 之規格圖，其依據本發明之一實施例，安裝奈米線為主之相位調整電路 4200。於第 42 圖中，相位調整電路 4200 包含相位調整元件 4202a-4202c 及奈米線為主電晶體 4204a-4204c。於第 42 圖之例子中，相位調整元件 4202a-4202c 係被顯示為微片電感。第 42 圖中，在格 3302 上有很大量之自由空間。在第 42 圖中之格 3302 上之空間，以加入為一實質設計所之其他元件。因此，如所示，藉由第 41 及 42 圖之比較，奈米線為主電晶體 4204 之使用完成了實質可調格 3302 之實施。

第 43 圖顯示一放大圖，其顯示依據本發明一實施例之奈米線為主電晶體 4204a 之其他細節。奈米線為主電晶

(93)

體 4204a 係由奈米線膜所形成，並以類似於上述第 11 圖所示之半導體裝置 1100 之方式進行，或者，其他於此所述之奈米線為主電晶體方式進行。例如，如第 43 圖所示，奈米線為主電晶體 4204a 包含一汲極接觸 4302a、一閘極接觸 4206a、一源極接觸 4304a、及一奈米線薄膜 4320。奈米線薄膜 4320 可以依如第 10 圖之奈米線薄膜 1000，或本文之其他所述之方式加以形成或圖案化。奈米線薄膜 4320 之奈米線可以對法或非對準，並若需要時，可以包含一聚合物、並可以包含於此所述之任何變化。奈米線薄膜 4320 操作為奈米線為主電晶體 4204a 之“通道”並可以為 P-摻雜、N-摻雜，或 P-或 N-摻雜之組合，這係取決於用於奈米線為主電晶體 4204a 之想要特徵而定。

如第 43 圖所示，薄膜之奈米線 4320 具有一長度大於長度 4310。長度 4310 實質等於汲極接觸 4302a 及源極接觸 4304a 間之距離。因此，奈米線薄膜 4320 之長度係足夠奈米線薄膜 4320 黏著，並完成用於奈米線為主電晶體 4204a 之汲極接觸 4302a 及源極接觸 4304a 之足夠電氣接觸。奈米線薄膜 4320 之奈米線可以被形成或選擇，以具有長度 4310 之長度或更大，或可以有其他長度。

如第 42 圖所示，奈米線電晶體 4204 之相當小尺寸留下大面積在格 3302 上，供相位調整元件 4202 放置，例如所示之微片電感，或其他所需元件之放置。因此，大量之相位調整元件可以安裝在格 3302 上，以提供較大程度之相位調整，因此，當加入奈米線為主電晶體 4204 時，可



(94)

以提供較大程度之波束操控之波束操控反射器 3200。

注意的是，包含控制電子之積體電路晶粒也可以附著或打線至一格 3302，而不使用 COTS 或奈米線裝置。然而，傳統打線機器已經設計用以操縱晶圓尺寸物件，典型 3”至 6”(7.6-15.2cm)直徑之晶圓。因此，將需要針對這些機器作昂貴之重建，以建立任何尺寸及複雜性之主動 FSS。因此，用於格 3302 之奈米線為主高效能巨電子基板的用途對於波束操控陣列之實際實施是很重要的。

各種製造均可以用以將奈米線為主相位調整電路 4200 之奈米線為主電晶體 4204 及相位調整元件 4202 整合入格 3302 中。為了例示目的，以下例示製程係用以整合奈米線為主相位調整電路與格 3302。然而，本發明並不限定於這些例子。

第 44 圖顯示一波束操控反射器 700 之形成例子，其中，一 PMC 結構 4402 係由奈米線為主相位調整電路 4410a-4410d 分開形成，及隨後組成。注意 PMC 結構 4402 可以使用傳統製造技術加以製造。奈米線為主相位調整電路 4410a-4410d 係被製造於基板 4404 上。基板 4404 可以由任何基板材料，包含 KAPTON 所形成。在基板 4404 中形成開口(未示於第 44 圖中)，以提供對奈米線為主相位調整電路 4410a-4410d 之導孔 3802a 及 3802b 之末端 3804a 及 3804b 之接取。基板 4404 係隨後被附著至 PMC 結構 4402，使用一黏著材料，例如環氧或積層材料。

(95)

於另一實施例中，奈米線為主相位調整電路可以直接形成在 PMC 結構上。例如，第 45 圖顯示一例子，其中奈米線為主相位調整電路係形成在 PMC 結構 4402 上。如第 45 圖所示，一電氣絕緣/介電材料層 4502 係應用至 PMC 結構 4402 之第二導電層 3404。然後，奈米線為主電晶體可以直接形成在介電材料層 4502 上。於第 45 圖之例子中，兩奈米線為主電晶體係在形成製程中。如第 45 圖所示，在施加介電材料 4502 至 PMC 結構 4402 後，介電材料層 4502 係被以第一及第二組接觸 4520a 及 4520b 及導孔加以金屬化。也可以施加相位調整元件。例如，電感 4530a 及 4530b 可以被顯示在第 45 圖中之介電材料層 4502 上。電感 4530a 及 4530b 可以使用微片或帶狀技術，及藉由施加繞線型電感裝置，而被建立在介電材料層 4502 上。

隨後，如第 46 圖之單一奈米線為主電晶體 4204，一奈米線薄膜 4602 係施加至介電材料層 4502 上並黏結至接觸 4520。如第 46 圖所示之例子中，奈米線薄膜 4602 之奈米線 4604 被塗覆以一介電材料 4610，以建立閘極介電質。以此方式，可以建立多數奈米線為主電晶體 4204。一通過介電材料層 4502 之導孔 4620 係被顯示於第 46 圖中，其電氣連接一奈米線為主電晶體 4204 之源極電極至 PMC 結構 4402 之第二導電層 3404，其典型操作為一接地或其他參考電位面。

於用以形成一波束操控反射器 3200 之另一實施例中

(96)

，奈米線薄膜係被施加至例如基板 4404 之表面上。閘極、源極及汲極接觸被在奈米線薄膜上作出圖案。一例如介電材料層 4502 之介電材料然後被形成在基板上，覆蓋奈米線薄膜及接觸。例如，介電材料可以為一低  $T_p$  介電質。導孔可以被鑽孔及填充導電體。一 PMC 結構然後可以形成在介電材料上。因此，於此實施例中，奈米線之所得薄膜係與在 PMC 結構在基板的同一表面上。

形成波束操控反射器 3200 之各種其他製程對於熟習於本技藝者可以由本案教導加以了解。奈米線為主相位調整電路之其他實施例係被說明於以下章節中。

#### 多天線元件波束操控陣列實施例

此章節描述例示波束操控陣列，其加入有多數個別天線元件。雖然，以下說明顯示例示用之特定天線架構，但可以了解的是，於此所述之奈米線技術可應用至其他加入多數個別天線元件之類型天線，並且，此等天線係在本發明之範圍與精神內。

第 47 圖顯示依據本發明一實施例之例示波束操控陣列 4700。示於第 47 圖的波束操控陣列 4700 為一示於第 6A 及 6B 圖之波束操控陣列 608 之多天線元件變化例。如於第 47 圖所示，波束操控陣列 4700 包含多數天線元件 4702a-4702n。波束操控陣列 4700 可以包含一特定應用所需之任意數量之天線元件 4702。於第 47 圖所示之實施例中，天線元件 4702a-4702n 係形成在共同基板 4704 上。

(97)

基板 4704 可以為任意基板類型，其可以用以安裝天線元件，例如於本文中所述之基板或為已知之基板。於其他實施例中，天線元件 4702a-4702n 可以形成在一個以下之基板上，包含每一天線元件 4702a-4702n 係形成在一分開之基板上。於其他實施例中，天線元件 4702a-4702n 可能完全不需要被形成在基板上。

天線元件 4702a-4702n 均包含一個別之天線 4706a-4706n、一個別可調移相器 4708a-4708n 及一天線輸入/輸出線 4710a-4710n。對於每一天線元件 4702，天線 4706 接收並傳送一信號。天線輸入/輸出線 4710 將一予以傳送至天線 4706 之信號導通，並導通由天線 4706 收到之信號。可調移相器 4708 調整經由天線 4706 輸入/輸出線 4710 導通之信號的相移。

每一天線元件 4702a-4702n 均為可調諧。因此，天線元件 4702a-4702n 可以集合使用作為一波束操控陣列，如同波束操控陣列 3108 所述。例如，藉由以可調移相器 4708a-4708n 來調整通過天線輸入/輸出線 4710a-4710n 傳送之信號的相位，為天線元件 4702a-4702n 所傳送之累積信號可以被再指向，其包含選擇一特定方向、聚焦、及展開該傳送信號。再者，可調移相器 4708a-4708n 可以用以接收來自特定方向之信號。

注意於一實施例中，天線輸入/輸出線 4710a-4710n 供給相同信號給每一個別之天線元件 4702a-4702n。於另一實施例中，一或多數天線輸入/輸出線 4710a-4710n 供

(98)

給不同信號給個別天線元件 4702a-4702n。例如，於此實施例中，一或多數天線輸入/輸出線 4710a-4710n 可以供給不同量傳輸用之相移信號，使得相同或所有天線元件 4702a-4702n 可以不需要可調移相器 4708a-4708n，並可不用相移，或具有“固線式”相移。“固線式”相移可以使用奈米線功能電晶體，或其他奈米線功能元件加以完成。一如上所述之反射型波束操控陣列可以以類似方式加以架構。

可調移相器 4708 之實施例係被描述於以下段落中。這些實施例係作為例示目的，而非限定用。

#### 可調移相器實施例

於此段落揭示可以使用作為如第 47 圖所示之可調移相器 4708a-4708n 之可調或可變移相器的實施例。該可調移相器可以使用作為上述以外之其他應用，包含各種類型之應用，其需要用以可調相延遲一電氣信號者。該可調移相器可以用以提供任意量之相延遲，於部份實施例中，接近一連續可調相延遲。當施加至一波束操控陣列時，一可調移相器可以用以提供天線波束之很細微度方向控制。

電子可控制可變移相網路係用於很多應用中。於射頻（例如約 300kHz 以上），相移網路可以用於如上述之天線波束操控陣列，使得每一天線元件以一可控制相移輻射或反射輻射。藉由適當地調整天線元件陣列或反射器每一元件之相位，天線輻射場型可以加以修改。如上所述，這可

(99)

以用以較以機械方式完成者為快地掃描一天線之最大傳輸功率。這也可以用以將一天線指向一最小(或空的)方向，以免除干擾信號。

較佳地，此等相移網路很小、便宜、低損耗並可以以很小增量加以調整。對於部份天線設計，較佳能施加移相器至一在低溫之軟式纖維上。傳統上，例如 FET、PIN 二極體及 / 或變容二極體之固態裝置係用於可調移相器中。然而，這些裝置可以製造於硬式半導體基板上。這些裝置係使用焊錫或打線法彼此連接並接至天線。再者，此等裝置為了偏壓目的，經常需要其他電路元件。這些缺點造成於成本上之增加，並在處理時，需要較高溫度，並限定了裝置所可以附著之基板類型。非晶電晶體可以克服部份困難處，但其在 RF 及微波頻率中之效能並不適當。

本發明揭示克服這些限定之可調移相器。第 48 圖顯示一流程圖 4800，其依據本發明之實施例，提供用以在基板上之形成可調移相器的步驟。第 48 圖之步驟並不必然依所示順序發生，這係為熟習於本技藝者基於此所教導所了解。其他結構實施例對於熟習於本技藝者基於以下討論也是明顯的。流程圖 4800 之步驟將詳述如下。

流程圖 4800 開始於步驟 4802。於步驟 4802 中，一導線被形成在基板上，其中導線包含一第一導電段及一第二導電段。例如，第 49 圖顯示一導線 4902 形成在一基板 4900 上。導線 4902 可以為任意類型之導體，包含一金屬絲或傳輸線。例如，導線 4902 可以在一傳輸線結構中之

(100)

地端面上。導線 4902 也可以是一微片、帶線、共面波導、或其他導體類型。再者，基板 4900 也可以任意類型之基板，或為已知基板。導線 4902 可以使用任一傳統製程，形成在基板 4900 上。

如第 49 圖所示，導線 4902 包含一第一導電段 4904 及第二導電段 4906。一第三導電段 4908 同時也包含於導線 4902 中，串聯於第一及第二導電段 4904 及 4906 之間。於一實施例中，第一及第二導電段 4904 及 4906 係為同平面傳輸線狀帶，形成  $1/4$  波長長度之傳輸線。第三導電段 4908 有效地在傳輸線之一端形成一電氣短路。此一  $1/4$  波長傳輸線，當在一端短路時，在一端電氣上顯示為一電感。藉由以下方式改變所形成傳輸線之長度，視在電感改變值。因此，以此方式架構之導線 3902 可以用以改變一信號之相位延遲，例如，連接至連接至如第 47 圖所示之天線天線 4706a-4706n 之一的信號。

於步驟 4804 中，一奈米線薄膜被形成在基板上，並與第一導電段及第二導電段電氣接觸。例如，第 50 圖顯示一奈米線薄膜 5002，依據本發明之一實施例形成在基板 4900 上。奈米線薄膜 5002 係類似於第 10 圖所示之奈米線薄膜 1000。奈米線薄膜 5002 可以被作出圖案或形成並可以包含任意變化之奈米線。如第 50 圖所示，奈米線薄膜 5002 被形成與導線 4902 之第一及第二導電段 4904 及 4906 電氣接觸。

於步驟 4806 中，多數閘接觸被形成與奈米線薄膜電

(101)

氣接觸。例如，第 51 圖顯示多數閘極接觸 5102-5102n 形成與奈米線薄膜 5002 電氣接觸，以形成依據本發明實施例之可調移相器 5100。以此方式，多數奈米線為主電晶體 5110a-511n 被形成於奈米線薄膜 5002 中，每一電晶體係為一閘極接觸 5102a-5102n 所控制。第一及第二導電段 4904 及 4906 作動為奈米線為主電晶體 5110a-5110n 之一共同源極及汲極接觸。

閘極接觸 5102a-5102n 可以在步驟 4804 之施加奈米線薄膜 5002 至基板 4900 前被形成在基板 4900 上，或者，可以，在步驟 4804 後，被形成在奈米線薄膜 5002 上。閘極接觸 5102a-5102n 可以為任何接觸類型，包含一導電聚合物、金屬、多晶矽、或其他所述或已知之接觸類型。取決於特定應用所想要之相位調整控制之程度，任何量之閘極接觸 5102 均可以形成。當閘極接觸 5102 之數量愈多，則相位控制程度愈大。再者，閘極接觸 5102a-5102n 之間距可以為均勻或非均勻。例如，閘極接觸 5102a-5102n 之間距可以以二進制加權方式加以分佈。

控制信號被連接至每一閘極接觸 5102。不同程度之相移藉由以控制信號作動各種閘極接觸 5102a-5102n，加以提供。每一閘極接觸 5102a-5102n 之作動造成個別奈米線為主電晶體 5110 電氣短路或旁路不同部份之導線 4902。這提供經過導體 4902 之不同長度電氣路徑，因而，提供不同相位延遲。

以此方式，可調移相器 5100 允許經由導線 4902 傳送



(102)

之電信號的相位，藉由改變施加至多數閘極接觸 5102a-5102n 之至少一閘極接觸的電壓而加以調整。於一如上述之天線應用中，可調移相器 5100 提供一可變電感，因此，調整一給定天線元件陣列之反射相位。

注意該導線 4902、閘極接觸 5102、及奈米線薄膜 5002 可以以任何順序形成在基板 4900 上。

奈米線薄膜 5002 之奈米線可以為對準或非對準。例如，第 52A 圖顯示一例示可調移相器 5100，具有一奈米線薄膜 5002，含依據本發明實施例之對準奈米線。第 52B 圖顯示第 52A 圖之可調移相器 5100 之剖面圖。奈米線被顯示平行對準於第一及第二導電段 4904 及 4906 間之軸 5202。再者，於第 52A 圖所示之實施例中，奈米線薄膜 5002 之奈米線具有一大約等於第一及第二導電段 4904 及 4906 間之距離的長度，但於其他實施例中，奈米線也可以具有其他長度。

注意於第 52A 及 52B 圖中，並非奈米線薄膜之所有奈米線均被加入於一奈米線為主之電晶體 5110 中。換句話說，並不是每一奈米線都必須與一閘極接觸 5102 作電氣接觸。例如，示於第 52A 及 52B 圖之奈米線 5250 就是此一奈米線。奈米線薄膜 5002 之奈米線可以在至少一方向中，形成為非導電(即為一反轉模式)，使得若部份奈米線未包含於任何奈米線為主電晶體 5110 中，則它們並不會影響可調移相器 5100 之操作。

於一實施例中，基板 4900 可以被架構為如第 52B 圖

(103)

所示。如第 52B 圖所示，基板 4900 包含一介電材料層 5260 附著至一導電層 5270 上，其可以作動為一地端或其他電位面。

注意於實施例中，奈米線膜之多數部份可以形成在基板 4902 上，以形成奈米線為主電晶體 5110。例如，第 53 圖顯示依本發明實施例，多數奈米線薄膜 5002a-5002n 形成在基板 4902 上。每一奈米線 5002a-5002n 薄膜均為個別之閘極接觸 5102a-5102n 所作動。

於實施例中，由一特定奈米線為主電晶體 5110 所提供之相延遲量係為由奈米線為主電晶體 5110 所提供之經過導線 4902 的電氣路徑長度之變化。於其他實施例中，負載可以應用至導線 4902，以提供其他或控制之相位延遲量。例如，如電感器、電容器及電阻之電路元件可以用以提供變化之相位延遲。

第 29 圖顯示導線 4902(基板 4900 未顯示)，依據本發明實施例具有加入之負載，以提供相位延遲。如第 54 圖所示，導線 4902 具有第一及第二電感 5402a 及 5402b(如一般電感元件)形成在其中，以提供相位延遲。再者，導線 4902 具有第一、第二及第三電容 5404a-5404c(示為一般電容元件)連接至其中，以提供變化之相位延遲。第 55 圖顯示第 54 圖之導線 4902，具有薄膜之奈米線 5002a-5002c 形成於其上，以形成多數奈米線為主電晶體 5110a-5110c。由作動任一或未作動電晶體 5110a-5110c 所提供之相位延遲係為組合電感 5402a 及 5402b 與電容 5404a-

(104)

5404c 加以作動。於實施例中，任意數量之電感、電容及 / 或其他負載元件均可加入導線 4902 中，以提供所需之相位延遲。

如上所述，奈米線薄膜 5002 之奈米線可以被塗覆以一絕緣材料，其作動為一閘極介電質。於一實施例中，此絕緣材料可以由第一及第二導電段 4904 及 4906 之源極及汲極區中之奈米線移除，以提供改良之電氣接觸。

注意奈米線為主電晶體可以使用作為高或低阻抗開關，這係取決於施加至閘極接觸 5102 之電壓而定。注意的是，多數寄生(電容至地端、電容至閘極等)係被吸收入導線 4902 內，因此，並未負面影響可調移相電路。奈米線可以為 N-或 P-摻雜，並可以被架構為加強型或空乏型電晶體類型。

再者，應注意奈米線為主 PIN 二極體及奈米線為主變容器也可以用以替換上述之奈米線為主開關，這將如熟習於本技藝者所了解。

#### 主動消音實施例

此段落描述用以實際降低或取消音響信號，例如可聽到之噪音之致動器陣列。依據本發明實施例，奈米線薄膜或奈米管被用以在大面積上完成此消音。雖然，以下說明顯示特定消音架構，但可以了解的是，於此所述之奈米線技術可以應用至其他類型之消音裝置，此等消音裝置係在本發明之精神及範圍內。

(105)

部份傳統耳機加入了監視耳機旁之噪音之技術，並傳送一音響波圖案，以大量消除外在噪音。所傳送之音響波之圖案係被以與噪音相反相位加以傳送。此傳送圖案想要使噪音靜音，使得其更容易聽到經由耳機所播放之聲音。一製造此等耳機之公司為麻州之法明頓的 Bose 公司。

此技術藉由接收一例如噪音之輸入音響信號，處理輸入信號、及計算與輸入信號不同相之互補頻率加以完成。所計算之頻率被送至一致動器，其將一消音信號送出，並造成至少部份之消音。然而，此技術限定至例如耳機之小面積應用。

依據本發明，可能提供消音至很大面積，藉由建立一陣列之致動器，其每一個均具有相對應之接收機及處理機，以計算來自致動器之位置之消音反應。此一大面積主動消音系統具有很多有用應用。例如，大面積主動消音可以使用以部份或完全地取消來自例如汽車、公車、或甚至飛機之物體的聲音。於軍事應用中，來自例如坦克或潛水艇之物體的聲音可以部份或完全地取消。

使用傳統技術，不能實用地在大面積上生產必要電子元件，以支援一陣列之致動器。每一所需處理機典型為一高效電子裝置，由一矽晶圓形成。所需電子元件必須進一步供給足夠電力，以作動於音響頻率並提供相當大增益，以驅動致動器。

本發明於此所述之奈米線功能巨電子材料允許形成大面積電路，以能驅動在大面積上之致動器陣列。再者，陣

(106)

列為質輕，符合規定並可以應用至任何結構上。再者，藉由將壓電奈米線加入一巨電子膜入，有可能將致動器加入單一基板，以該等電子元件形成真實巨電子整合作動之消音系統。致動器與電子元件可以應用至軟式基板，及軟式基板可以附著至一物件上。或者，致動器與電子元件可以直接施加至物體的表面。

第 56 圖顯示格 5602-5602n 之陣列 5600。每一格 5602-5602n 均包含一致動器及相關電子元件，用以依據本發明實施例主動消音。陣列 5600 之實施例可以包含為特定應用所需之任意量之格 5602。例如，格 5602 愈多，則可以在愈大尺寸物體上，取消噪音或其他聲音。

第 32 圖顯示第 56 圖之陣列 5600 之實施法，其係用以依據本發明實施例，以監視及取消輸入聲音。如第 32 圖所示，一輸入聲波 3200 遭遇陣列 5600。輸入聲音波 3200 包含聲波，含噪音。輸入聲波 3200 包含多數輸入聲波元件 3202a-3202d，其係為在陣列 5600 之相關格 5602a-5602n 所接收之輸入聲波 3200 之部份。每一格 5602a-5602d 接收及處理相關之聲音波元件 3202a-3202d。因此，每一格 5602a-5602d 產生並傳送一消音信號 3204a-3204c。每一消音信號 3204a-3204d 均被產生以具有與接收聲波元件 3202a-3202d 實質相同頻率，相位相反之對應聲波元件，以實質取消相關之接收到之聲波元件 3202a-3202d。以此方式，輸入聲波 3200 被降低或消除。

第 59 圖顯示依據本發明實施例之第 56 圖之格 5602

(107)

之示意方塊圖。格 5602 包含一天線 5802、一接收器 5804、一處理機 5806、一致動器界面電路 5808 及一致動器 5810。用於格 5602 之其他架構包含其他第 58 圖所示以外之元件，也可以應用至本發明中。

天線 5802 接收一第一聲音信號，其可以例如為一聲波元件 3202。天線 5802 係為任一元件，其可以接收聲音或音訊信號，並產生電氣信號，以代表所接收之第一音響信號。

接收器 5804 係連接至天線 5802。接收器 5804 接收為天線 5802 所輸入之電信號，並產生一適用以為處理機 5806 所處理之信號。例如，於實施例中，接收器 5804 可以包含一類比至數位轉換器，用以數位化為天線 5802 所輸出一類比電信號。接收器 5804 輸出一接收器輸出信號 5812。

處理機 5806 係連接至接收器 5804。處理機 5806 接收並處理接收器輸出信號 5812。處理機 5806 決定有關信號 5812 之資訊。例如，於一實施例中，處理機 5806 可以決定出現在信號 5812 中之頻率及信號 5812 之振幅。處理機 5806 同時也決定信號 5812 之相位。處理機 5806 然後使用所決定之資訊，以決定想要取消信號之振幅、頻率與相位。處理機 5806 輸出相應於想要取消信號之振幅、頻率與相位之控制信號 5814。處理機 5806 可以包含任何之硬體、軟體、韌體或其組合，以執行其功能，包含一積體電路處理機及/或數位邏輯。

(108)

致動器界面電路 5808 係連接至處理機 5806。致動器界面電路 5808 在控制信號 5814 被致動器 5810 所輸入前，調整控制信號 5814。例如，致動器界面電路 5808 可以包含一數位至類比轉換器，以當信號 5814 為數位時，將信號 5814 轉換為類比。致動器界面電路 5808 也可以包含開關/繼電器，其對至致動器 5810 之電流作閘門用。於如下所述之實施例中，致動器界面電路 5808 可以包含一或多數奈米線功能電晶體，以控制至致動器 5810 之電流。致動器界面電路 5808 輸出致動器輸入信號 5816。致動器界面電路 5808 可以包含任意完成其功能之硬體、軟體或其組合。

致動器 5810 接收致動器輸入信號 5816，並輸出一第二聲音信號，其可以例如是消音信號 3204。致動器 5810 為一元件或多數元件，其可以將一電信號轉換為一聲音信號，包含一或多數音訊喇叭或壓電裝置。如以下所述之實施例中，致動器 5810 可以包含壓電奈米線，其被用以產生一聲音或音訊輸出信號。

第 59 圖顯示形成於基板 5900 上之例示  $2 \times 2$  陣列 3100，每一格 3102a-3102d 均依據本發明實施例架構如第 58 圖所示。於第 59 圖之架構中，很困難包含每一格 3102a-3102d 均在單一基板 5900 上包含電子元件及致動器。第 59 及 60 圖顯示包含奈米線膜之陣列 3100 的實施例。包含奈米線膜使得陣列 3100 可以形成在單一基板 5900 上。這些實施例進一步說明如下。

(109)

第 60 圖顯示第 59 圖之陣列 3100，其每一格 3102 加入有依據本發明實施例之奈米線為主致動器界面電路 6008。奈米線加入至奈米線為主致動器界面電路 6008 中，允許了更高階之效能、降低之空間需求、彈性、及其他於此所述之優點。奈米線為主致動器界面電路 6008 之例示實施例係提供如下。

第 61 圖顯示第 60 圖之陣列 3100，其中每一格 3102 加入依據本發明實施例之奈米線為主致動器 6110。例如，壓電奈米線加入奈米線為主致動器 6110 中，以產生消音信號 3204。於一實施例中，一或多數薄膜壓電奈米線係出現在奈米線為主致動器 6110 中。每一薄膜之壓電奈米線係被架構以產生個別頻率，使得多數輸出頻率可以出現在消音信號 3204 中。或者，施加至致動器 6110 中之薄膜壓電奈米線之電流及/或電壓的變化可以用以產生不同頻率。再者，奈米線為主致動器 6110 中之加入奈米線允許較高程度之效能、降低空間需求、彈性及其他於此所述之優點。用於奈米線為主致動器 6110 之例示實施例係被提供如下。

第 62 及 63 圖顯示依據本發明之用於奈米線為主致動器界面電路 6008 及奈米線為主致動器 6110 之實施例。

於第 62 圖之實施例中，奈米線為主致動器界面電路 6008 包含一奈米線為主電晶體 6202(奈米線為主致動器界面電路 6008 之其他元件未顯示)。奈米線為主電晶體 6202 包含一源極接觸 6204、一汲極接觸 6206、一閘極接



(110)

觸 6208、及一薄膜之奈米線 6210。奈米線薄膜 6210 之奈米線可以被塗覆以一介電材料，以建立一閘極介電質。閘極接觸 6208 接收一控制信號，該信號使得作動為奈米線為主電晶體 6202 之通道之奈米線薄膜 6210 作動奈米線為主電晶體 6202。

於第 62 圖中，奈米線為主致動器 6110 包含一薄膜壓電奈米線 6214。當奈米線為主電晶體 6202 “導通”時，薄膜壓電奈米線 6214 導通於汲極接觸 6206 及接觸 6212 間之電流。當薄膜壓電奈米線 6214 導通電流時，薄膜壓電奈米線 6214 產生一傳送於消音信號 3204 中之頻率。

第 63 圖顯示一實施例，其中，奈米線為主致動器界面電路 6008 與奈米線為主致動器 6110 係重疊。奈米線為主致動器界面電路 6008 與奈米線為主致動器 6110 包含一奈米線為主電晶體 6302。奈米線為主電晶體 6302 包含一源極接觸 6304、一汲極接觸 6306、一閘極接觸 6312、及一薄膜壓電奈米線 6308。薄膜壓電奈米線 6308 可以被塗覆以一介電材料，以建立一閘極介電質。閘極接觸 6312 接收一信號，使得作動為奈米線為主電晶體 6302 之通道之薄膜壓電奈米線 6308 可作動奈米線為主電晶體 6302。當奈米線為主電晶體 6302 “導通”時，薄膜壓電奈米線 6308 導通在源極接觸 6304 及汲極接觸 6306 間之電流。當薄膜壓電奈米線 6308 於導通電流時，薄膜壓電奈米線 6308 產生出現在消音信號 3204 中之頻率。

上述用於奈米線為主致動器界面電路 6008 與奈米線

(111)

爲主致動器 6110 之實施例係提供作例示目的。本發明可以應用至其他用於奈米線爲主致動器界面電路 6008 及奈米線爲主致動器 6110 之實施例，這可以爲熟習於本技藝者藉由本案之教導所了解。

雖然，本發明之各種實施例已經說明如下，但應了解的是，它們只作爲例示目的而非限定。熟習於本技藝者可以了解到，各種形式與細節上之變化可以在不脫離本發明之精神與範圍下加以完成。因此，本發明之範圍並不是由所述實施例限定，而由隨附之申請專利範圍與其等效所界定。

#### [相關申請案]

本案主張申請於 2002 年九月 30 日之美國臨時申請第 60/414,323；申請於 2003 年五月 7 日之 60/468,276；申請於 2003 年五月 29 日之 60/474,065；及申請於 2003 年八月 7 日之 60/493,005 號之優點，每一案均併入作爲參考。

#### 【圖式簡單說明】

第 1 圖爲一圖表，顯示材料效能(遷移率)對不同半導體材料之可用基板尺寸(如由藍色區所示)。

第 2 圖爲真高效巨電子之幾項可能應用。

第 3 圖爲半導體奈米線材料與品質。

第 4 圖爲單一奈米線 FET。

(112)

第 5 圖 為 長 度 規 格 級 數 。

第 6 圖 為 奈 米 線 之 長 度 規 格 。

第 7 圖 為 半 導 體 / 介 電 核 殼 結 構 。

第 8 圖 為 具 有 鍺 核、矽 內 殼 及 矽 石 外 殼 之 多 殼 奈 米 線 之 剖 面 與 組 成 之 穿 透 式 電 子 顯 微 鏡 (TEM) 與 能 量 分 佈 X 線 分 析 (EDX) 影 像 。

第 9 圖 為 具 有 彎 曲  $r < 10 \mu m$  之 奈 米 線 之 暗 場 光 微 影 圖 (OM) 。

第 10 圖 為 依 據 本 發 明 實 施 例 之 奈 米 線 薄 膜 之 一 部 份 示 意 圖 。

第 11 圖 為 包 含 依 據 本 發 明 實 施 例 之 奈 米 線 薄 膜 之 半 導 體 裝 置 。

第 12A-12D 圖 為 依 據 本 發 明 各 種 例 示 實 施 例 摻 雜 之 奈 米 線 。

第 13A 及 13B 圖 顯 示 依 據 本 發 明 摻 雜 實 施 例 所 摻 雜 之 半 導 體 裝 置 例 。

第 14 圖 顯 示 多 功 能 混 合 奈 米 線 薄 膜 之 俯 視 圖 。

第 15A-15C 圖 為 用 於 摻 p 矽 奈 米 線 薄 膜 電 晶 體 之 初 步 結 果 ( $\mu \sim 100$  及  $on/off \sim 10^4$ ) 。

第 16 圖 為 DION TFT 示 意 圖 。

第 17 圖 為 一 多 核 殼 奈 米 線 之 示 意 圖，其 包 含 一 半 導 體 核、一 鈍 化 殼、一 絕 緣 閘 介 電 殼、及 一 導 電 閘 極 殼 。

第 18 圖 為 用 於 巨 電 子 電 路 製 造 之 通 用 電 子 基 板 之 處 理 流 程 。

(113)

第 19 圖為於多核殼奈米線中之殼材料的蝕刻，以曝露出用於奈米線 TFT 中之源汲極接觸之核材料。

第 20 圖為一混合組成 DION 膜之幾個可能架構。

第 21 圖為使用一混合組成 DION 薄膜，以形成 CMOS 電路例子。

第 22 圖為製造半導體奈米線之一般反應器示意圖。

第 23A 及 23B 圖為一標準奈米線 FET 測試平台。

第 24 圖為使用通用背閘之 DION 薄膜電晶體。

第 25 圖為局部閘奈米線薄膜電晶體之示意圖。

第 26A 及 26B 圖分別為一靜態 CMOS 兩輸入 NAND 閘之示意及佈局圖。

第 27 圖為捲帶式相容之流程 DION 膜沉積之系統。

第 28 圖為本發明之分散式感應器陣列之概念。

第 29 圖為一 RFID/感應器標籤系統之示意圖。

第 30 圖為依據本發明實施例之 RFID 標籤及讀取器通訊環境。

第 31A 圖為依據本發明實施例之例示 RFID 標籤。

第 31B 圖為依據本發明實施例之例示 RFID 讀取器。

第 32 圖為操作於傳輸模式之例示波束操控陣列。

第 33 圖為依據本發明實施例之例示波束操控陣列之表面。

第 34 圖為依據本發明實施例之例示固定頻率全磁導體 (PMC) 結構之剖面圖。

第 35 圖顯示第 34 圖之 PMC 結構一部份之立體圖，

(114)

包含一  $2 \times 2$  格陣列。

第 36 圖為涉及於例示固定頻率 PMC 結構之兩格之諧振中之電感及電容。

第 37 圖顯示第 36 圖之 PMC 結構之格對之傳輸線等效示意圖。

第 38 圖為一波束操控陣列一部份之剖面圖，其中，依據本發明之一實施例，主動相位調整元件係耦接至 PMC 結構，以提供分立可調諧性。

第 39 圖顯示第 38 圖之 PMC 結構之格對之傳輸線等效示意圖。

第 40 圖為一反射係數相對 PMC 結構頻率圖。

第 41 圖顯示一規格圖，其中三個傳統電感及相關開關被安裝至一波束操控陣列之一格。

第 42 圖顯示一波束操控陣列之一格之規格圖，其依據本發明一實施例，安裝一奈米線為主相位調整電路。

第 43 圖顯示依據本發明一實施例，安裝在第 42 圖之格之例示奈米線為主電晶體的詳細圖。

第 44 圖例示依據本發明一實施例之波束操控陣列之形成。

第 45 及 46 圖顯示依據本發明一實施例將奈米線為主相位調整電路形成在 PMC 結構上。

第 47 圖顯示依據本發明一實施例之多天線元件波束操控陣列。

第 48 圖顯示一流程圖，用以提供在基板上形成一可

(115)

調移相器之步驟。

第 49 圖顯示形成在基板上之導線。

第 50 圖顯示依據本發明一實施例，形成在第 49 圖之基板上奈米線薄膜。

第 51 圖顯示形成與第 50 圖之奈米線薄膜電氣接觸之多數閘極接觸，以依據本發明實施例，形成一可調移相器。

第 52A 及 52B 圖為具有依據本發明實施例之對準奈米線之可調移相器之示意圖。

第 53 圖為形成在一基板上之多數奈米線薄膜，以依據本發明實施例之多數奈米線薄膜。

第 54 圖顯示依據本發明一實施例，以將一導線加有負載，以提供其他之相位延遲。

第 55 圖顯示第 54 圖之導線，其上形成有奈米線薄膜，以形成多數奈米線為主之電晶體。

第 56 圖顯示依據本發明一實施例之加入一陣列之致動器與相關電子用以主動消音之基板。

第 57 圖顯示依據本發明一實施例將第 56 圖之陣列應用至監視及消音。

第 58 圖為依據本發明一實施例之第 56 圖之陣列一格之詳細方塊圖。

第 59 圖顯示一  $2 \times 2$  消音陣列，其具有依據本發明例示實施例之第 58 圖所架構之陣列之每一格。

第 60 圖顯示類似於第 56 圖之陣列，每一格加入有依

(116)

據本發明實施例之奈米線為主界面電路。

第 61 圖顯示類似於第 60 圖之陣列，其每一格更加入依據本發明一實施例之奈米線為主致動器。

第 62 及 63 圖顯示依據本發明實施例之奈米線為主界面電路與致動器。

#### 主要元件對照表

1000	奈米線薄膜
1100	半導體裝置
1102	源極電極
1104	閘極電極
1106	汲極電極
1108	基板
1200	奈米線
1202	摻雜表面層
1204	介電材料層
1210	奈米線
1230	奈米線
1302	摻雜層
1304	第一部
1306	第二部份
1110	半導體裝置
3000	RFID 通訊環境
3002	讀取器

(117)	
3 0 0 4	標 籤
3 0 0 6	詢 問
3 0 0 8	反 應
3 1 0 2	天 線
3 1 0 4	收 發 器
3 1 0 6	儲 存 器
3 1 0 8	波 束 操 控 陣 列
3 1 1 0	標 籤 控 制 器
3 1 1 2	陣 列 控 制 器
3 1 1 4	資 訊 信 號
3 1 1 6	控 制 信 號
3 1 2 2	天 線
3 1 2 4	收 發 器
3 1 3 0	讀 取 器 控 制 器
3 1 3 2	陣 列 控 制 器
3 1 3 4	資 訊 信 號
3 1 3 6	陣 列 控 制 信 號
5 7 0 0	波 束 操 控 反 射 器
5 7 0 2	天 線
5 7 0 4	EM 信 號
5 7 0 6	EM 信 號
5 7 1 0	平 面
3 3 0 2	格
3 4 0 0	PMC 結 構



(118)	
3402	導電層
3404	導電層
3406	介電層
3410	部份
3412	導孔
3802	導孔
3804	第二端
3806	開口
3810	電感
3830	開關
3900	傳輸線等效模型
4102	電感
4104	開關
4200	相位調整電路
4202	相位調整元件
4204 a - c	奈米線為主電晶體
4206 a	閘極接觸
4302 a	汲極接觸
4304 a	源極接觸
4320	奈米線
4310	長度
4402	PMC 結構
4404	基板
4410	相位調整電路

(119)

4502	絕緣 / 介電材料層
4520 a , b	接觸
4530 a , b	電感
4602	奈米線
4604	奈米線
4620	導孔
4700	波束操控陣列
4702	天線元件
4704	基板
4706	天線
4708	可調移相器
4710	輸入 / 輸出線
4900	基板
4902	導線
4904	第一導電段
4906	第二導電段
4908	第三導電段
5002	奈米線
5102	閘極接觸
5100	可調移相器
5110	奈米線為主電晶體
5250	奈米線
5260	介電材料層
5270	導電層

(120)	
5402	電感
5404	電容
5600	陣列
5602	格
5802	天線
5804	接收器
5806	處理機
5808	致動器界面電路
5810	致動器
5900	基板
6008	致動器界面電路
6110	奈米線為主致動器
6202	奈米線為主電晶體
6204	奈米線為主電晶體
6206	汲極接觸
6208	閘極接觸
6210	奈米線
6212	接觸
6214	壓電奈米線
6302	奈米線為主電晶體
6304	源極接觸
6306	汲極接觸
6308	壓電奈米線
6312	閘極接觸

#### 伍、中文發明摘要

發明之名稱：加入奈米線及奈米線複合件之支援奈米大面積巨電子基板的應用

本案說明一加入奈米線之巨電子基板材料。這些材料被用以提供各種不同應用之下層電子元件(例如電晶體等等)。同時也揭示用以製造該巨電子基板材料之方法。一應用為在小及質輕感應器中之 RF 信號的發射與接收。此等感應器可以被架構為分散感應器網路，以提供安全監視。再者，也描述一種用於無線電識別(RFID)標籤之方法與設備。該 RFID 標籤包含一天線及一波束操控陣列。該波束操控陣列包含多數可調諧元件。同時，也揭示一種由奈米線所完成之消音裝置及可調移相器之方法與設備。

#### 陸、英文發明摘要

發明之名稱：

#### APPLICATIONS OF NANO-ENABLED LARGE AREA MACROELECTRONIC SUBSTRATES INCORPORATING NANOWIRES AND NANOWIRE COMPOSITES

Macroelectronic substrate materials incorporating nanowires are described. These are used to provide underlying electronic elements (e.g., transistors and the like) for a variety of different applications. Methods for making the macroelectronic substrate materials are disclosed. One application is for transmission and reception of RF signals in small, lightweight sensors. Such sensors can be configured in a distributed sensor network to provide security monitoring. Furthermore, a method and apparatus for a radio frequency identification (RFID) tag is described. The RFID tag includes an antenna and a beam-steering array. The beam-steering array includes a plurality of tunable elements. A method and apparatus for an acoustic cancellation device and for an adjustable phase shifter that are enabled by nanowires are also described.

(1)

### 拾、申請專利範圍

1.一種形成在一基板上之可調移相器，包含：

一導線在該基板，該導線包含一第一導電段及一第二導電段；

一奈米線薄膜形成在該基板上，並與該第一導電段與第二導電段作電氣接觸；及

多數閘極接觸與該奈米線薄膜作電氣接觸並定位在第一導電段與第二導電段之間；

其中經由導線傳送之電信號之相位係藉由改變施加至多數閘極接之至少一閘極接觸之電壓，而加以調整。

2.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線係被對準，使得其長軸係實質平行。

3.如申請專利範圍第 2 項所述之可調移相器，其中該等奈米線係被對準實質平行於在第一導電段與第二導電段間之一軸。

4.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線係隨機對準。

5.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線均具有一長度大致等於第一導電段與第二導電段間之距離。

6.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線之至少一次組被塗覆以一介電材料，以形成一閘極介電質。

7.如申請專利範圍第 1 項所述之可調移相器，其中該

(2)

等奈米線之薄膜形成在第一導電段與第二導電段間之 PNP 電晶體的一通道。

8.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線之薄膜形成在第一導電段與第二導電段間之 NPN 電晶體的一通道。

9.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線為摻雜 N。

10.如申請專利範圍第 1 項所述之可調移相器，其中該等奈米線為摻雜 P。

11.一種在一基板上形成一可調移相器之方法，包含：

(a)在該基板上形成一導線，其中該導線包含一第一導電段及一第二導電段；

(b)在該基板上形成一薄膜之奈米線，與該第一導電段與第二導電段作電氣接觸；及

(c)形成多數閘極接觸，與該奈米線薄膜電氣接觸並定位於該第一導電段與第二導電段之間；

其中經由導線所傳送之電信號之相位係藉由改變施加至多數閘極接觸之至少一閘極接觸的電壓加以調整。

12.如申請專利範圍第 11 項所述之方法，其中步驟 (b) 包含：

將該等奈米線對準，使得其長軸大致平行。

13.如申請專利範圍第 12 項所述之方法，其中該對準步驟包含：

(3)

將該等奈米線對準大致平行於在第一導電段與第二導電段間之一軸。

14.如申請專利範圍第 11 項所述之方法，其中步驟 (b) 包含：

允許奈米線予以隨機對準。

15.如申請專利範圍第 11 項所述之方法，更包含：

形成諸奈米線，使得每一奈米線均具有一長度大致等於第一導電段與第二導電段間之距離。

16.如申請專利範圍第 11 項所述之方法，更包含：

以一介電材料塗覆該等奈米線，以形成一閘極介電質

。

17.如申請專利範圍第 11 項所述之方法，更包含：

以一 N 型摻雜物，摻雜該等奈米線。

18.如申請專利範圍第 11 項所述之方法，更包含：

以一 P 型摻雜物，摻雜該等奈米線。

19.如申請專利範圍第 11 項所述之方法，其中步驟 (c) 包含：

在奈米線薄膜上，形成多數閘極接觸。

20.如申請專利範圍第 11 項所述之方法，其中步驟 (c) 包含：

在基板上形成多數閘極接觸；及

其中步驟 (b) 包含：

在多數閘極接觸上，形成奈米線薄膜。

21.一種射頻識別 (RFID) 標籤，包含：

(4)

一天線；

一波束操控陣列，其包含多數可調諧元件，每一可調諧元件均包含：

多數相位可調元件；

一開關，對應至每一相位調整元件，該開關包含一由奈米線薄膜所形成之電晶體，奈米線薄膜與該源極及汲極接觸作電氣接觸；

其中該開關使得相關相位調整元件，改變該可調諧元件之相位；

其中為天線所傳送之一電磁(EM)信號係為波束操控陣列所再指向。

22.如申請專利範圍第 21 項所述之 RFID 標籤，其中該波束操控陣列聚焦該 EM 信號。

23.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等相位調整元件均包含一電感。

24.如申請專利範圍第 23 項所述之 RFID 標籤，其中該電感為一微片式電感。

25.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等相位調整元件均包含一電容。

26.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線係實質平行對準其長軸。

27.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線係隨機對準。

28.如申請專利範圍第 21 項所述之 RFID 標籤，其中



(5)

該等奈米線被塗覆以一介電材料，以形成一開極介電質。

29.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線具有摻雜之核。

30.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線具有摻雜之殼。

31.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線具有摻雜之核與殼。

32.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線為摻雜 N。

33.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等奈米線為摻雜 P。

34.如申請專利範圍第 21 項所述之 RFID 標籤，其中該等波束操控陣列為一波束操控反射器，其中該等可調諧元件係為可調諧格，其係為共平面者。

35.如申請專利範圍第 34 項所述之 RFID 標籤，其中該等可調諧格包含一諧振結構。

36.如申請專利範圍第 35 項所述之 RFID 標籤，其中該開關完成該對應相位調整元件之連接至該諧振結構，以改變該可調諧格之相位。

37.如申請專利範圍第 36 項所述之 RFID 標籤，其中該等諧振結構均包含：

一第一導電層；

一第二導電層；

一介電層於該第一及第二導電層間；及

(6)

一經由該介電層之導電導孔，具有第一端連接至該第一導電層及具有第二端延伸經該第二導電層之一開口。

38.如申請專利範圍第 37 項所述之 RFID 標籤，其中該奈米線膜為主電晶體附著至該第二導電層，其中該奈米線膜為主電晶體之一端係連接至該導電導孔之第二端。

39.一種射頻識別 (RFID) 標籤，包含：

一波束操控陣列，其包含多數可調諧天線元件，每一可調諧天線元件包含：

多數相位可調元件；

一開關，對應至每一相位可調元件，該開關包含一電晶體，其係由一奈米線薄膜形成，奈米線薄膜與源極及汲極接觸作電氣接觸；

其中該開關完成相關相位調整元件，以改變該可調諧天線元件之相位；

其中一為波束操控陣列所傳送之電磁 (EM) 信號係藉由控制該等可調諧天線元件之相位加以指向。

40.如申請專利範圍第 39 項所述之 RFID 標籤，其中該等可調諧元件係為可調諧傳輸線段。

41.如申請專利範圍第 40 項所述之 RFID 標籤，其中該開關短路該傳輸線段，以改變該傳輸線段之長度，以改變該傳輸線段之相位。

42.一種操控有關射頻識別 (RFID) 標籤之電磁 (EM) 信號之方法，包含：

(a)於該 RFID 標籤之波束操控陣列接收該 EM 信號，

(7)

其中該波束操控陣列包含多數可調諧元件；及

(b)調整該波束操控陣列之可調諧元件之相位，以再指向該 EM 信號，其包含步驟：

(1)致動一相關連接至該可調諧元件之相位調整元件的開關，以改變該可調諧元件之相位，該開關包含由奈米線薄膜所形成之電晶體，奈米線薄膜係與源極及汲極接觸作電氣接觸。

43.如申請專利範圍第 42 項所述之方法，更包含：

(c)在步驟(a)之前，由 RFID 標籤之天線發射該 EM 信號；

其中步驟(a)包含由天線接收 EM 信號。

44.如申請專利範圍第 43 項所述之方法，其中步驟(b)包含：

將 EM 信號再指向一讀取器。

45.如申請專利範圍第 43 項所述之方法，其中步驟(a)包含：

由一讀取器接收該 EM 信號。

46.如申請專利範圍第 45 項所述之方法，更包含：

(c)掃描該波束操控陣列，以決定 EM 信號被接收之方向。

47.如申請專利範圍第 46 項所述之方法，其中步驟(c)包含：

(1)對該波束操控陣列之至少一可調諧元件，執行步驟(b)；

(8)

(2)量測所接收之 EM 信號之振幅；

(3)比較所量測之振幅與前一量測之振幅；

(4)重覆步驟(1)至(3)，直到決定最大之量測振幅為止

。

48.如申請專利範圍第 46 項所述之方法，其中步驟 (b) 包含：

將該 EM 信號再導引向標籤之天線。

49.如申請專利範圍第 42 項所述之方法，其中步驟 (b) 包含：

聚焦該 EM 信號。

50.如申請專利範圍第 42 項所述之方法，其中步驟 (b) 包含：

展開該 EM 信號。

51.如申請專利範圍第 42 項所述之方法，其中每一相位調整元件包含一電感，其中該致動步驟包含：

致動該相關於連接至該可調諧元件之電感之開關，以改變該可調諧元件之相位。

52.如申請專利範圍第 42 項所述之方法，其中每一相位調整元件包含一電容，其中該致動步驟包含：

致動相關於連接至該可調諧元件之電容之開關，以改變該可調諧元件之相位。

53.如申請專利範圍第 42 項所述之方法，其中該波束操控陣列為一波束操控反射器，其中該可調諧元件為包含一諧振結構之共平面可調諧格，該步驟(1)包含：

(9)

致動該相關於連接至諧振結構之相位調整元件之開關，以改變諧振結構之相位。

54. 一種操控有關射頻識別 (RFID) 標籤之電磁 (EM) 信號的方法，包含：

(a) 使用該 RFID 標籤之一波束操控陣列以傳送該 EM 信號，其中該波束操控陣列包含多數可調諧天線元件；及

(b) 調整該波束操控陣列之可調諧天線元件之相位，以再指向該 EM 信號，其包含步驟：

(1) 致動相關於連接至可調諧天線元件之相位調整元件之開關，以改變該可調諧元件相位，該開關包含由奈米線薄膜所形成之電晶體，奈米線薄膜與源極及汲極接觸作電氣接觸。

55. 如申請專利範圍第 54 項所述之方法，其中該可調諧元件係為可諧調傳輸線段，其中步驟 (1) 包含：

作動一相關於相位調整元件之開關，以短路該傳輸線段，以改變該傳輸線段之長度，以改變該傳輸線段之相位。

56. 一種提供消音之設備，包含：

一基板；

多數消音格，形成在基板表面上，呈一陣列狀，該等多數消音格之每一消音格均包含：

一聲音天線，其接收第一聲音信號；

一處理機，其處理所接收之第一聲音信號，及產生一對應之取消控制信號；

(10)

一電晶體，其包含一薄膜之奈米線，其中該薄膜之奈米線係與該電晶體之汲極接觸與該源極接觸作電氣接觸，其中該電晶體之閘極接觸係連接至該取消控制信號；及

一致動器，連接至該電晶體，其中該電晶體使得致動器依據該取消控制信號，輸出一第二聲音信號；

其中該第二聲音信號實質取消該第一聲音信號。

57.如申請專利範圍第 56 項所述之設備，其中該基板為可撓。

58.如申請專利範圍第 56 項所述之設備，其中每一聲音取消格包含：

一放大器，用以放大該取消控制信號。

59.如申請專利範圍第 56 項所述之設備，其中該致動器包含：一音訊喇叭。

60.如申請專利範圍第 56 項所述之設備，其中該致動器包含：一薄膜之壓電奈米線。

61.如申請專利範圍第 60 項所述之設備，其中該電晶體允許一電流，以流經壓該薄膜電奈米線，以產生該第二聲音信號。

62.如申請專利範圍第 56 項所述之設備，其中該第二聲音信號具有一相較於第一聲音信號實質相反之相位。

63.如申請專利範圍第 56 項所述之設備，其中該等奈米線被塗覆以一介電材料，以形成一閘極介電質。

64.如申請專利範圍第 56 項所述之設備，其中該等奈米線為摻雜 N。

(11)

65.如申請專利範圍第 56 項所述之設備，其中該等奈米線為摻雜 P。

66.一種提供消音之設備，包含：

一基板；

多數消音格，形成在該基板之表面上，呈一陣列，多數消音格之每一消音格均包含：

一聲音天線，其接收第一聲音信號；

一處理機，其處理所接收之第一聲音信號，並產生一相關之取消控制信號；及

一電晶體，其包含一薄膜之壓電奈米線，該薄膜之壓電奈米線係與該電晶體之汲極接觸與源極接觸作電氣接觸，其中該電晶體之閘極接觸係連接至該取消控制信號；

其中該薄膜壓電奈米線依據該取消控制信號，輸出一第二聲音信號；

其中該第二聲音信號實質取消該第一聲音信號。

67.一種分散式感應器網路，包含：

一基地台，架構以管理該分散式感應器網路；及

至少一感應器，該感應器耦接至該基地台，該感應器係由密集無機及對準之奈米線所製造。

68.一種製造密集無機及指向奈米線薄膜電晶體的方法，包含步驟：

(1)合成半導體奈米線；

(2)將奈米線轉移至一基板；

(3)形成一密集單層薄膜，其具有奈米線實質對齊於

(12)

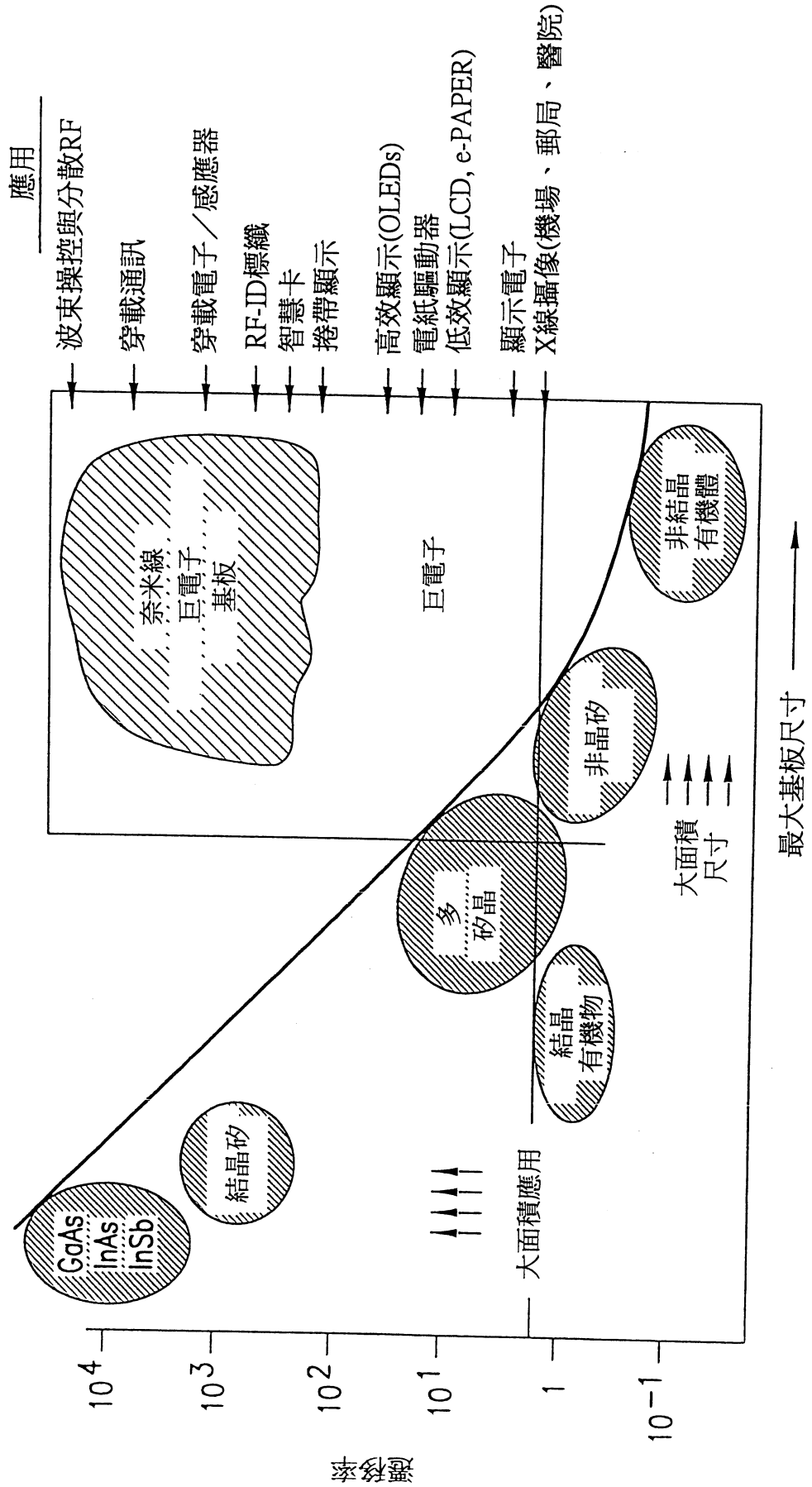
同一方向；及

(4)使用標準半導體製程，以形成該密集無機及對準之奈米線薄膜電晶體。



# 第1圖

## 現行大面積電子材料及應用



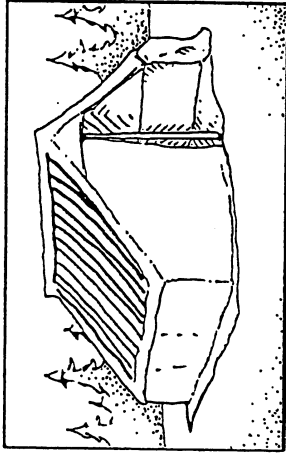
# 第2圖

電子纖維



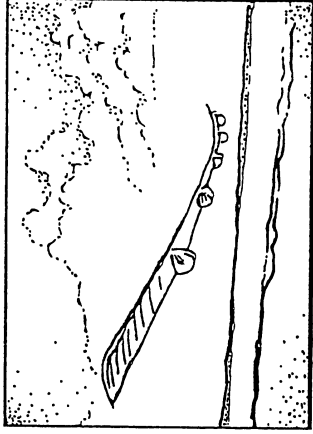
穿戴電子  
感應器與通訊

波束操控陣列



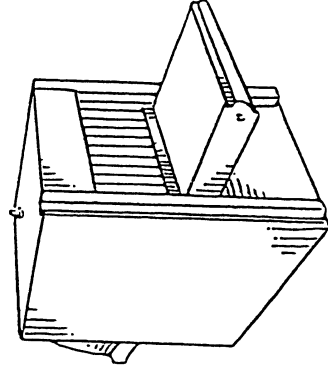
攜帶式低剖面可操控通訊陣列

自由空間電子



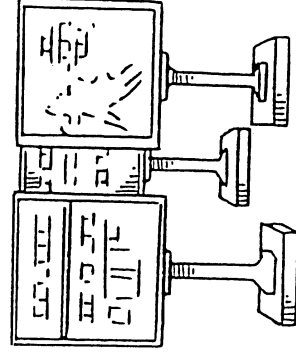
太空及質量有限應用  
低質量軟式電子及通訊

X線攝像器



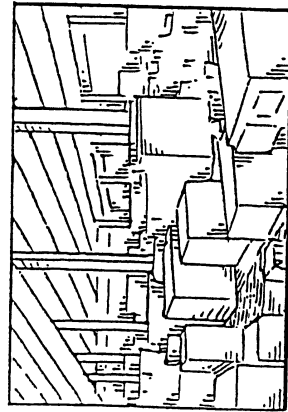
攜帶質輕低成本  
保全應用

電子紙



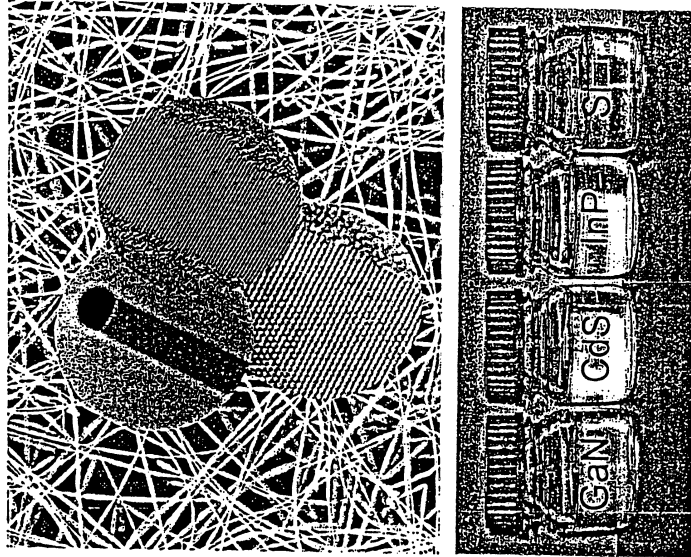
質輕可攜低包裝體積顯示器

RF-ID標籤



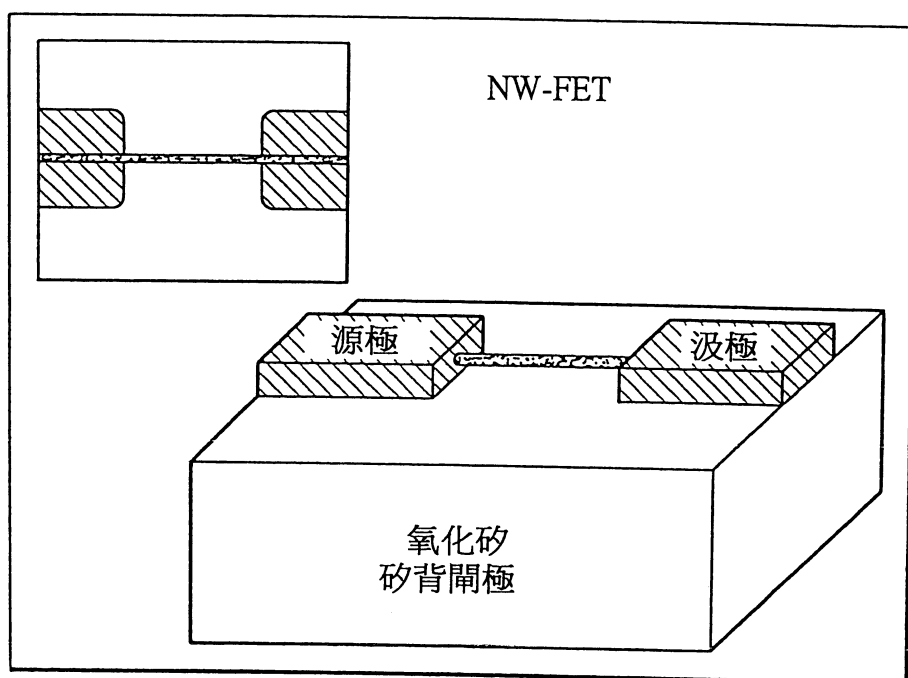
庫存控制及軍品管理

第3圖

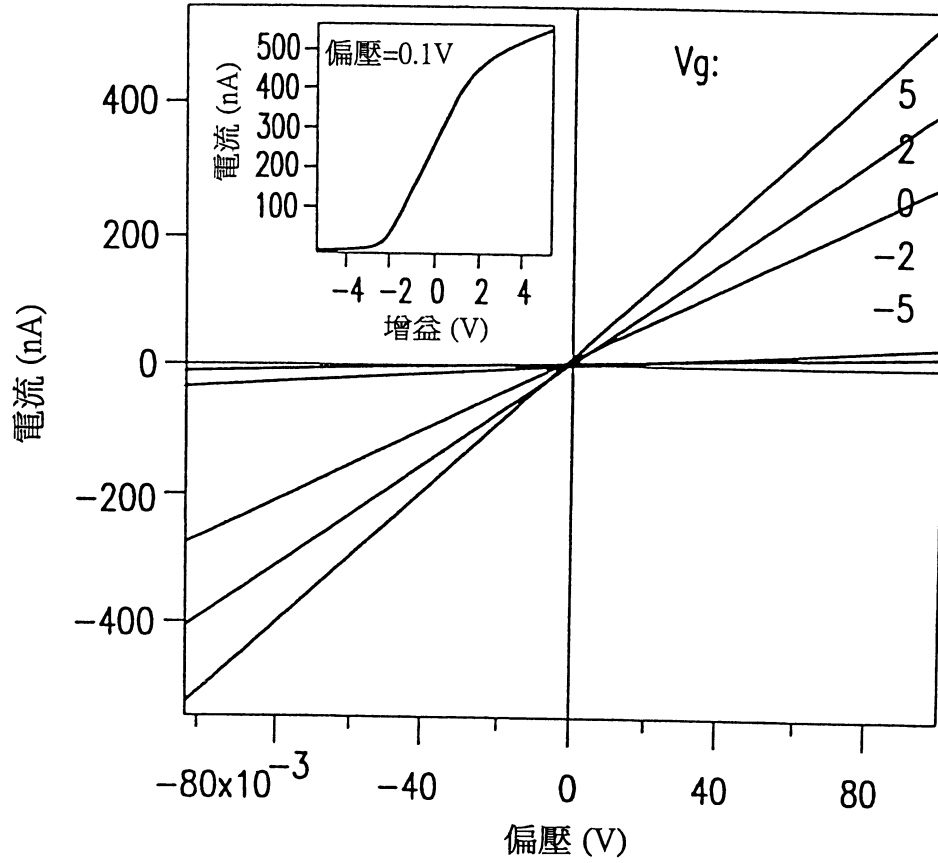


I-I 族	III-V 族二元	III-V 族三元	II-VI 族二元	IV-V 族二元
Si	GaN	$Ga(A_{1-x}P_x)$	ZnS	PbSe
G	Ga	$In(A_{1-x}P_x)$	ZnSe	PbTe
$Si_{1-x}G_x$	GaAs	$(G_{1-x}In_x)$	CdS	
	InP	$(G_{1-x}In_x)A$	CdSe	
	InAs	$(Ga_{1-x}In_x)$	Cd	
	InSb	$(A_{1-x}P_x)$	$(S_{1-x}Se_x)$	

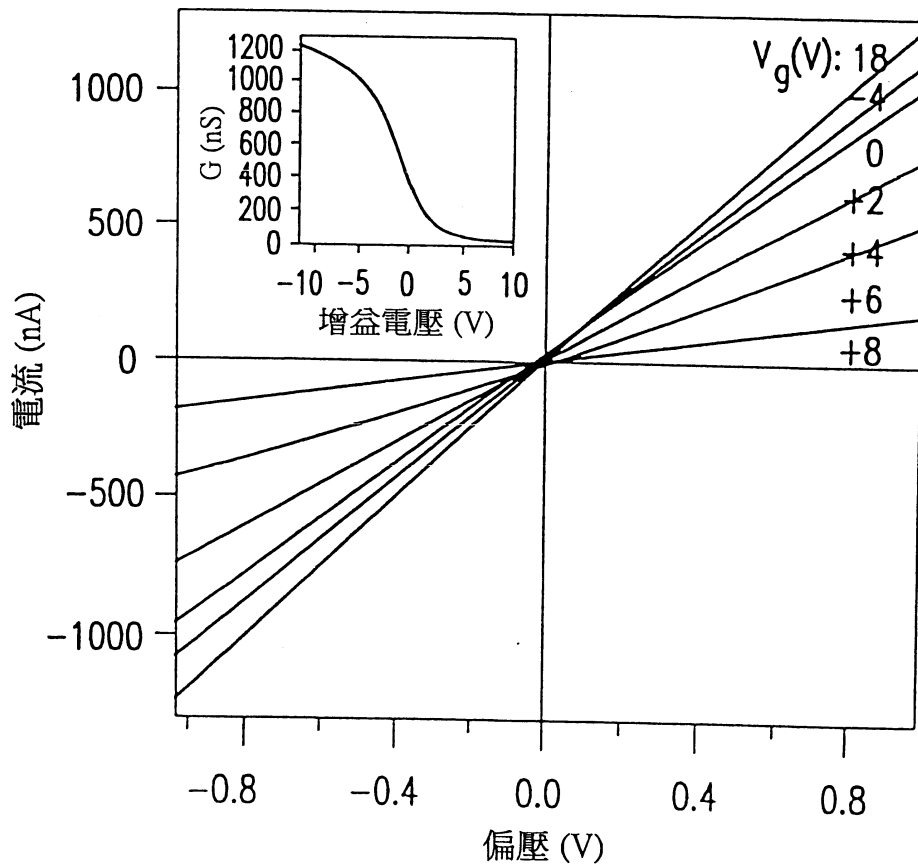
# 第4A圖



第4B圖

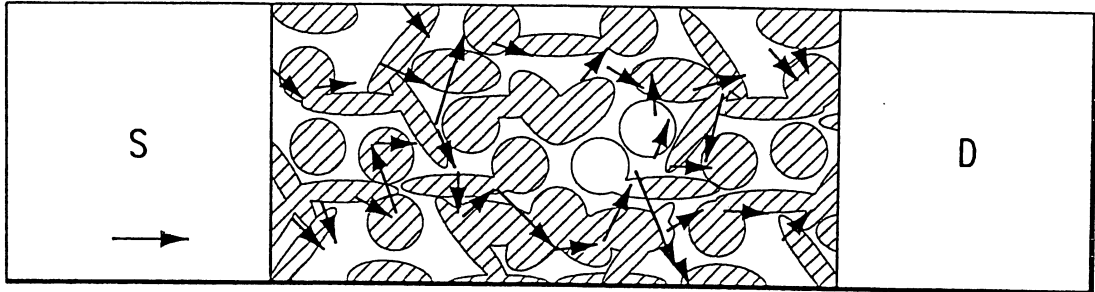


第4C圖



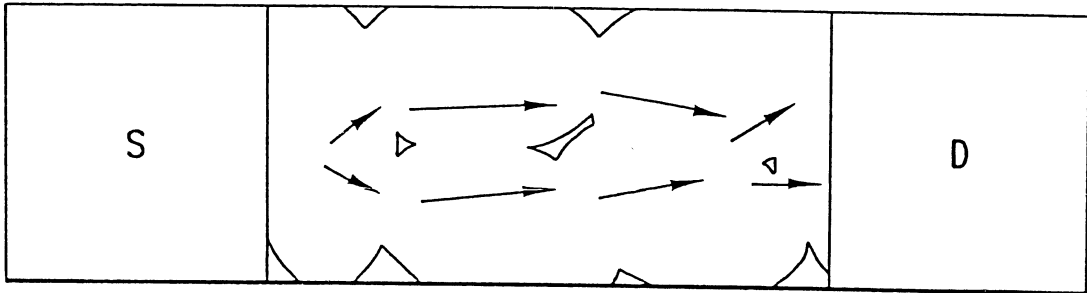
### 第5A圖

A : a-Si 技術



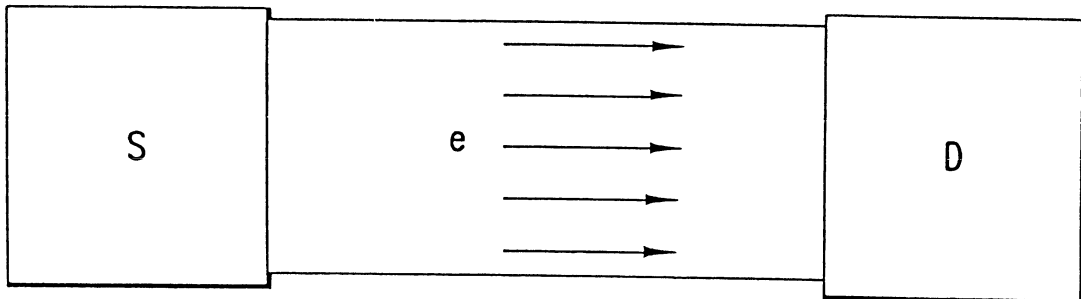
### 第5B圖

B : poly-Si 技術

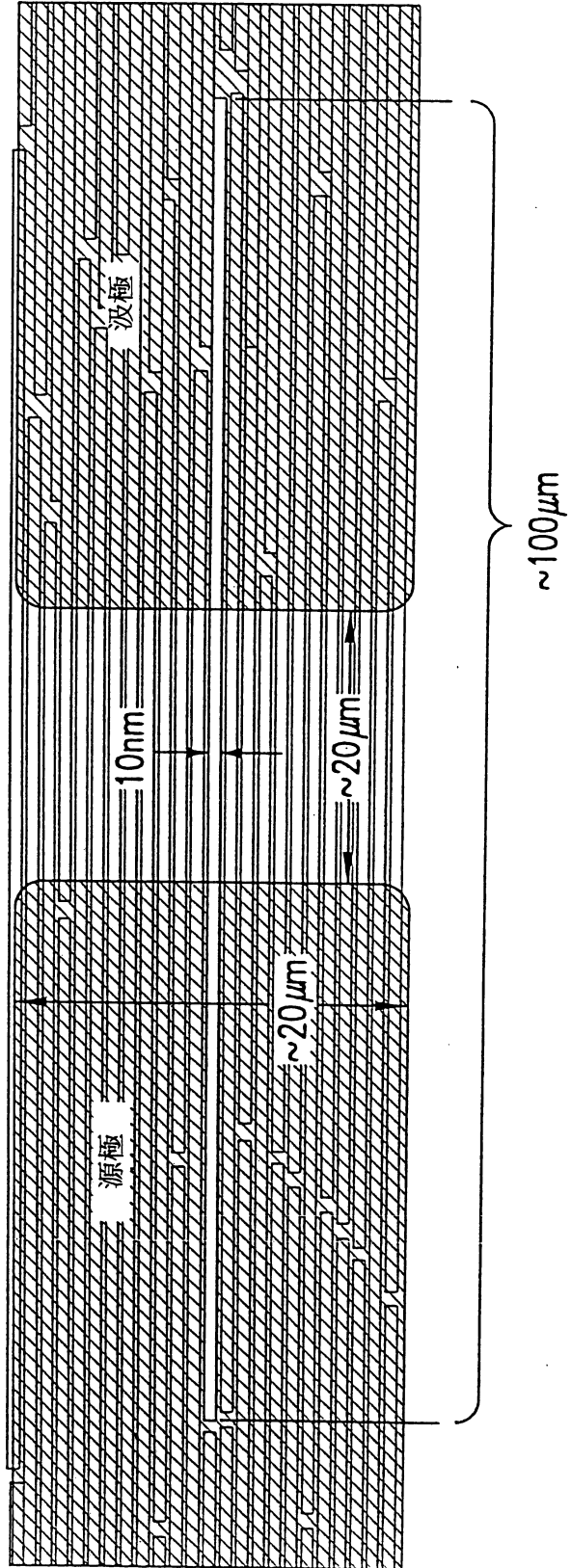


### 第5C圖

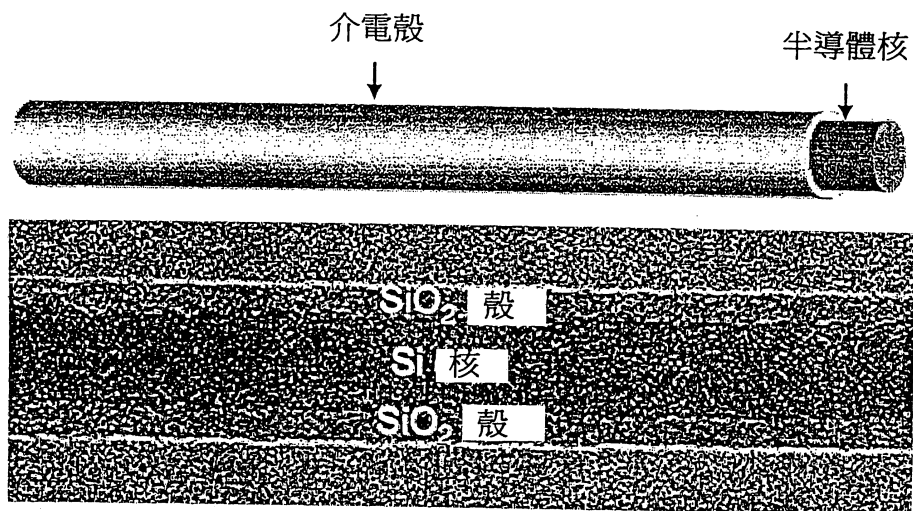
C : Si 技術



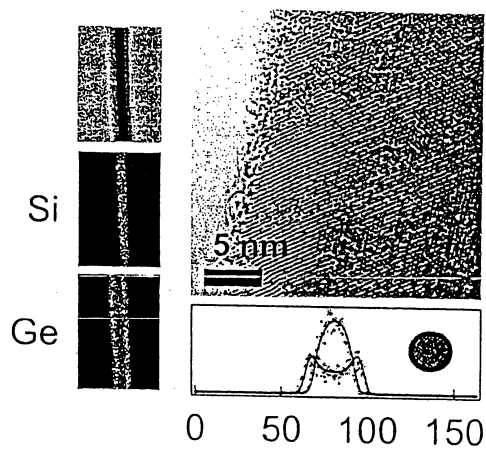
第6圖



# 第7圖

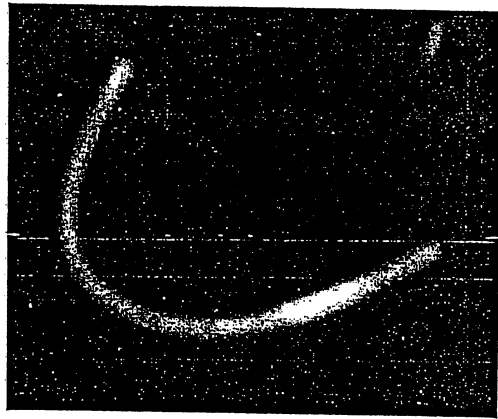


# 第8圖



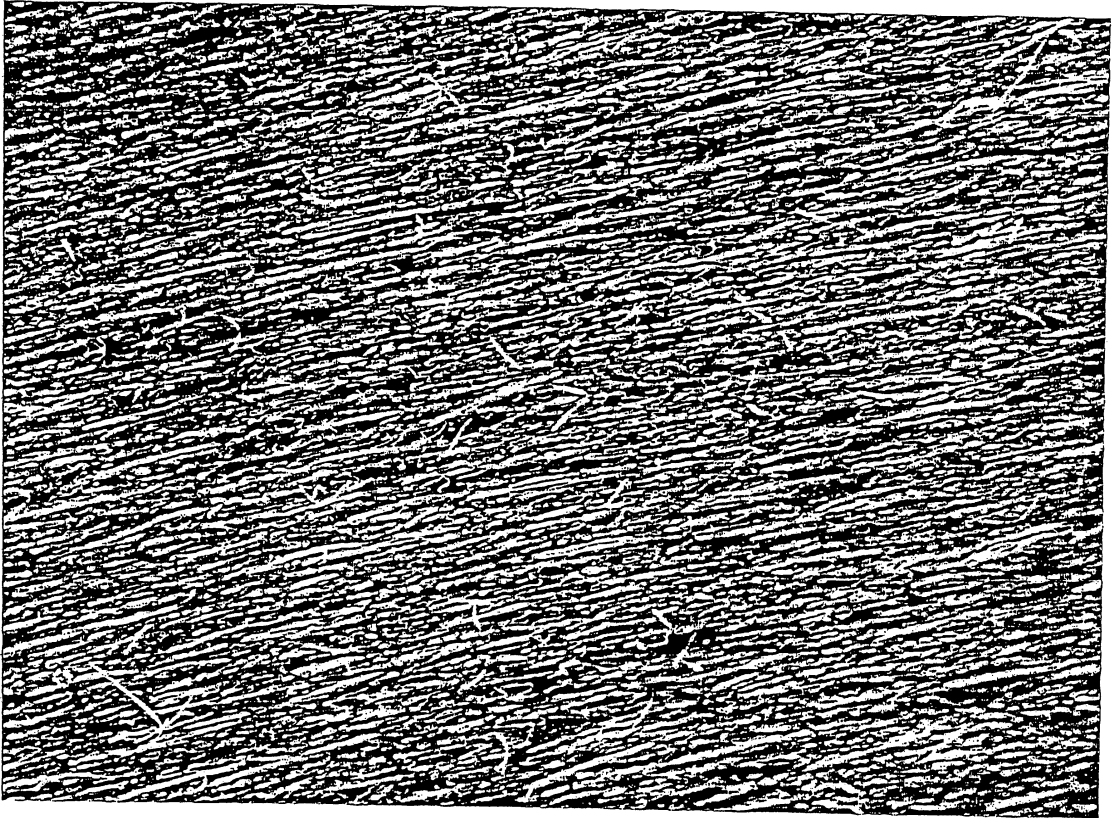


第9圖

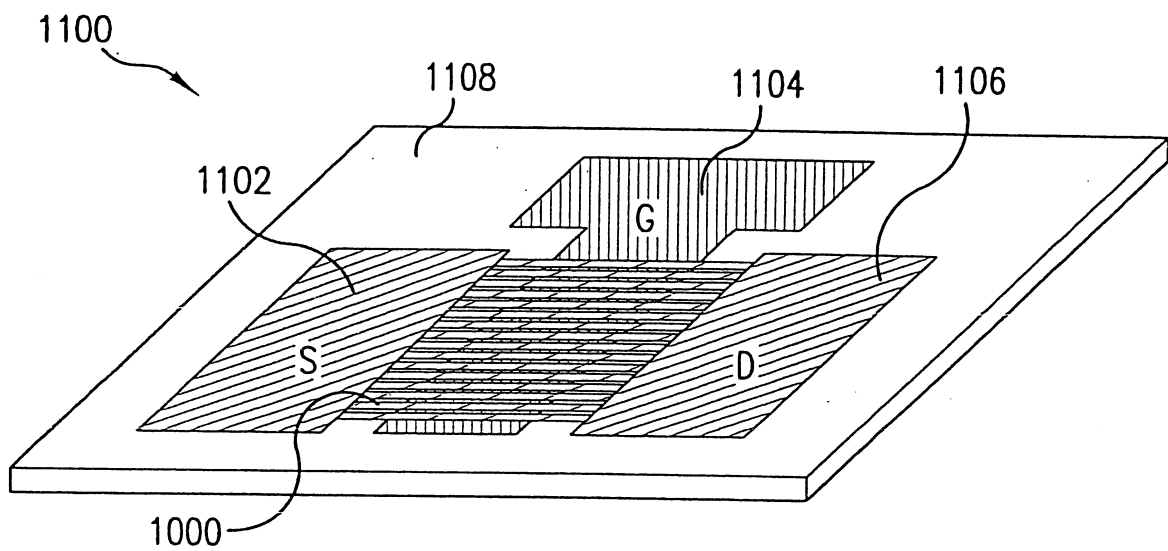


# 第10圖

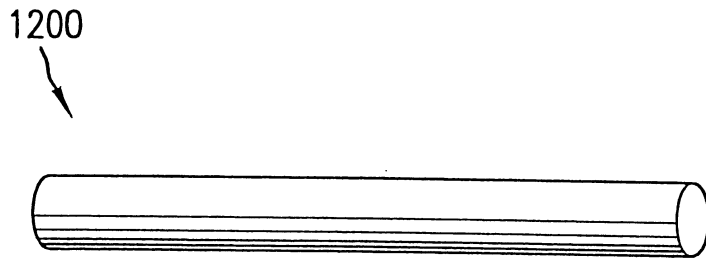
1000



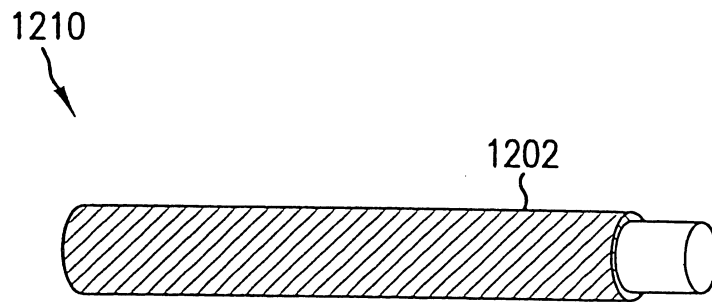
第11圖



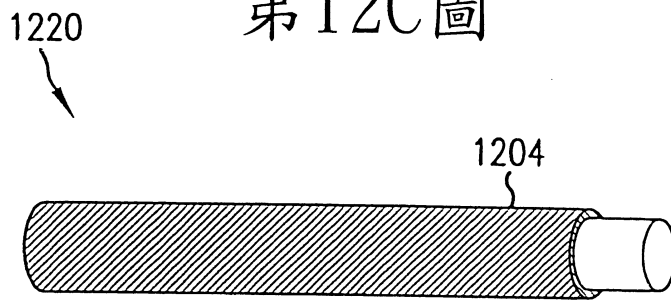
第12A圖



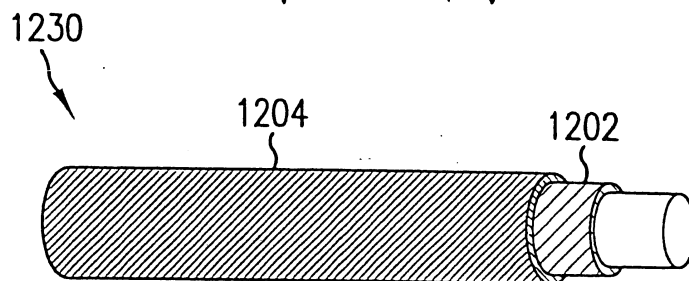
第12B圖



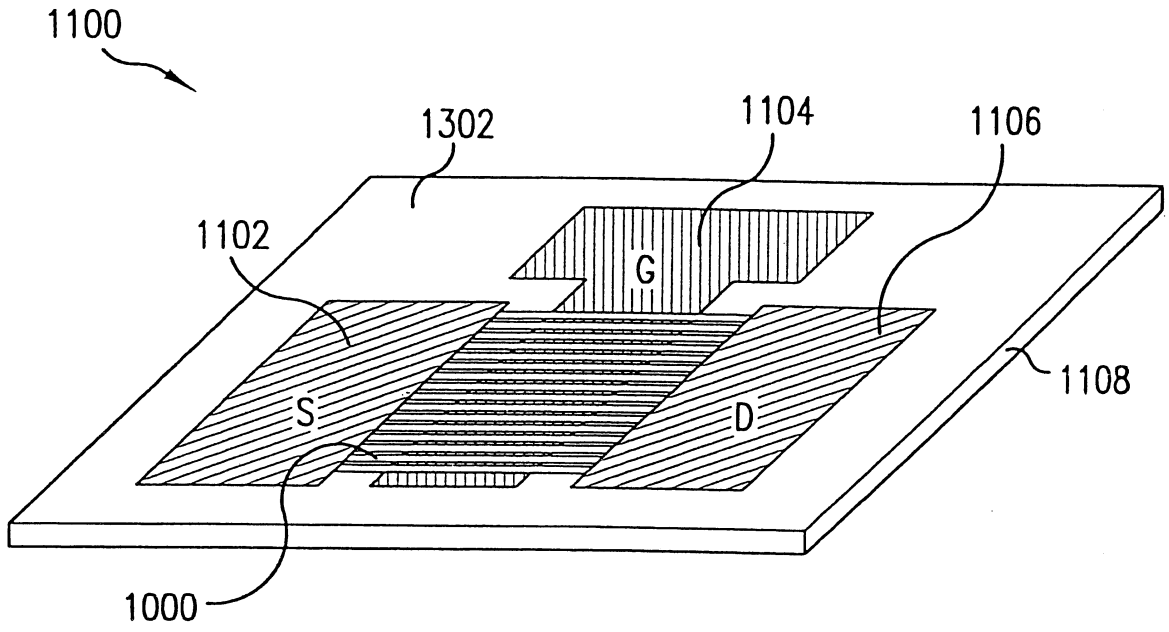
第12C圖



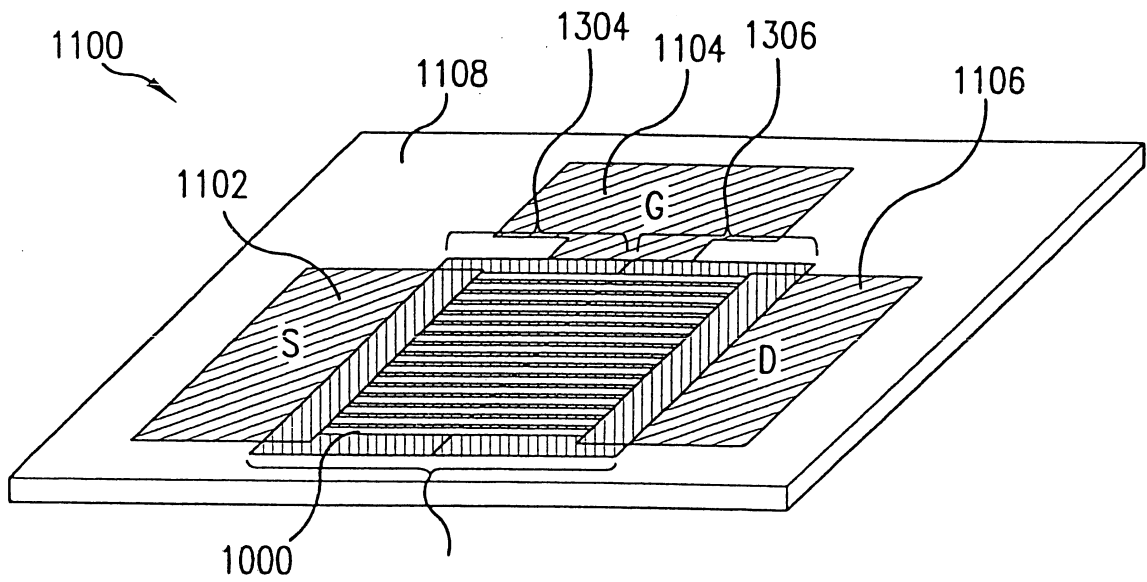
第12D圖



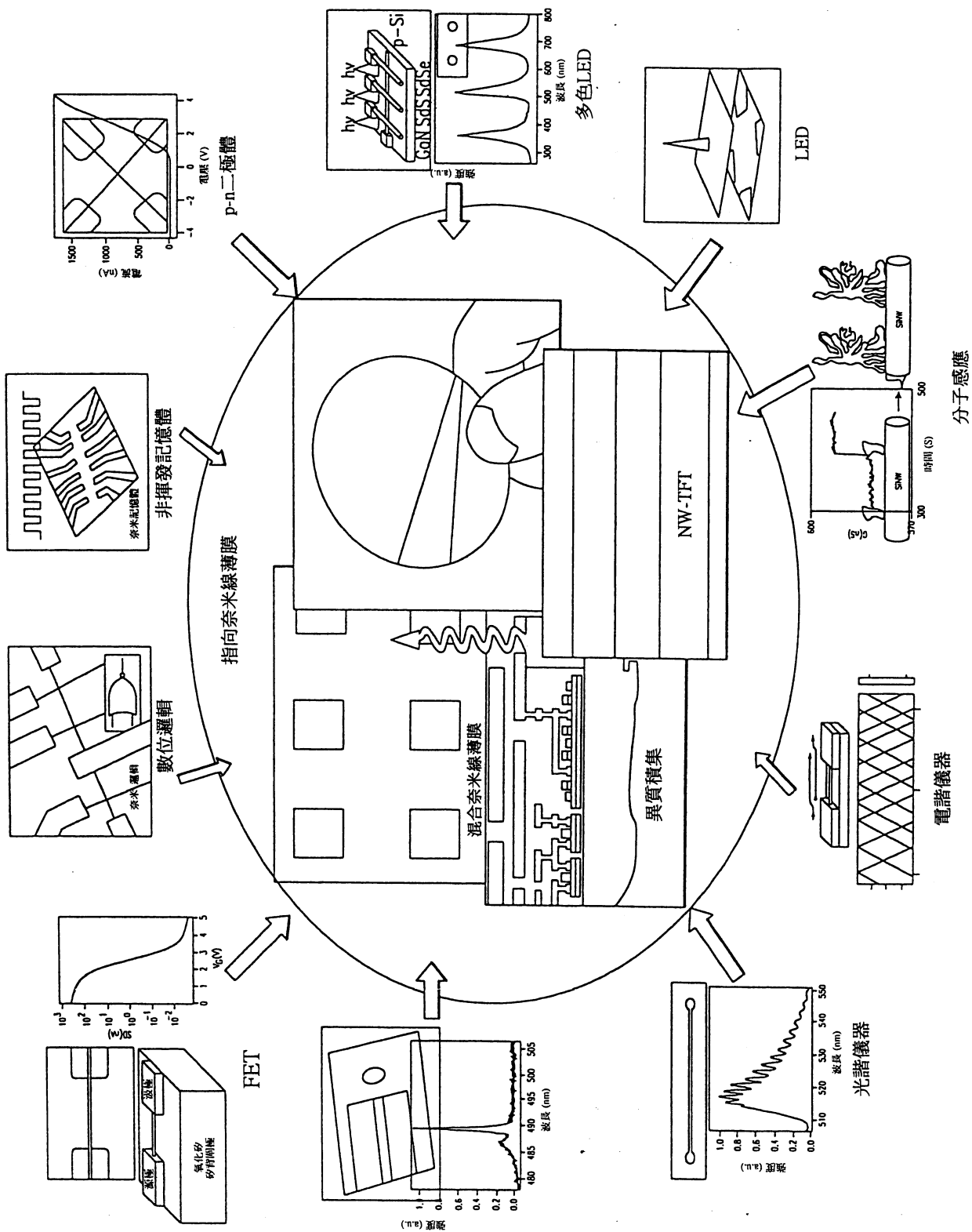
第13A圖



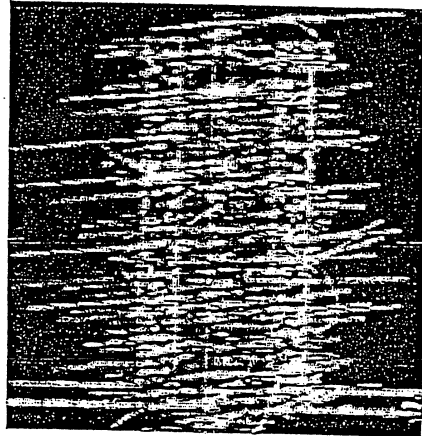
第13B圖



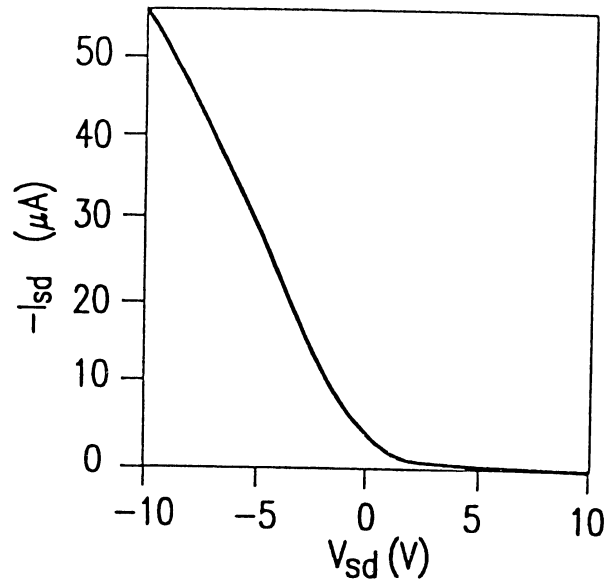
第14圖



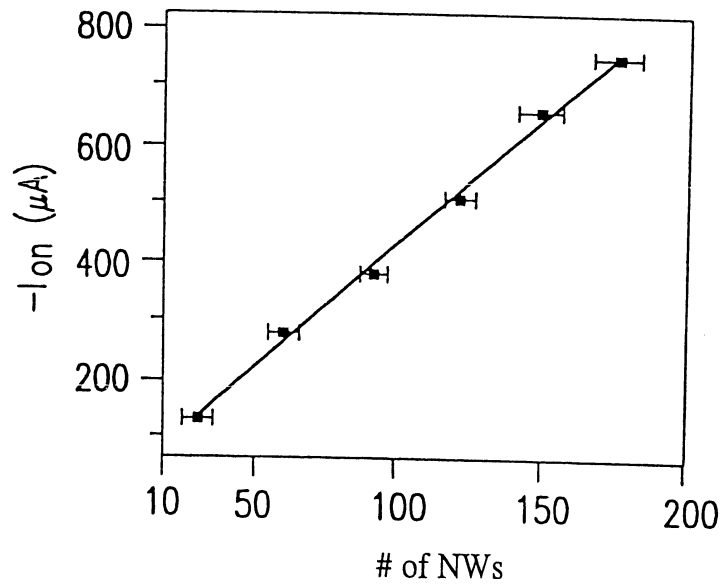
第15A圖



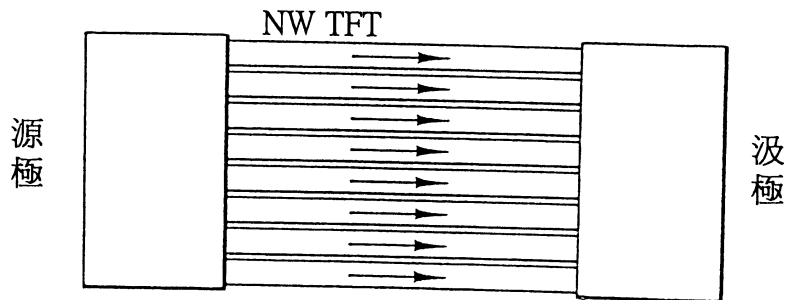
第15B圖



第15C圖

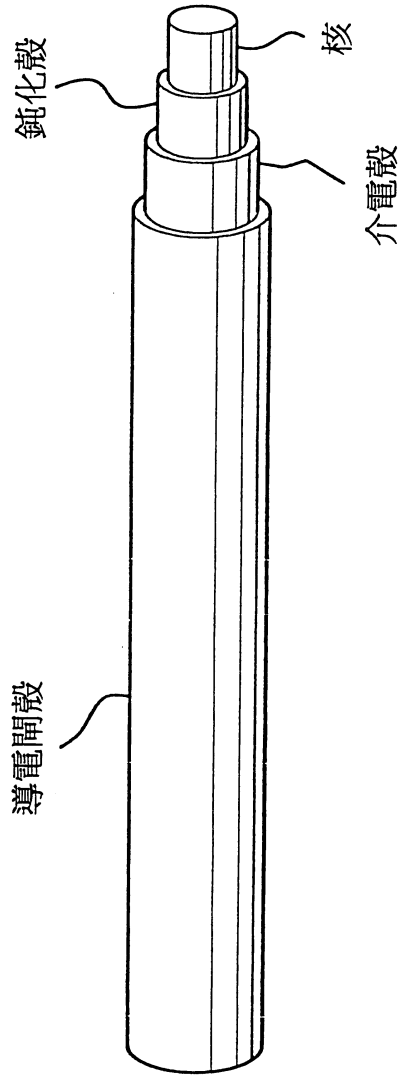


第16圖

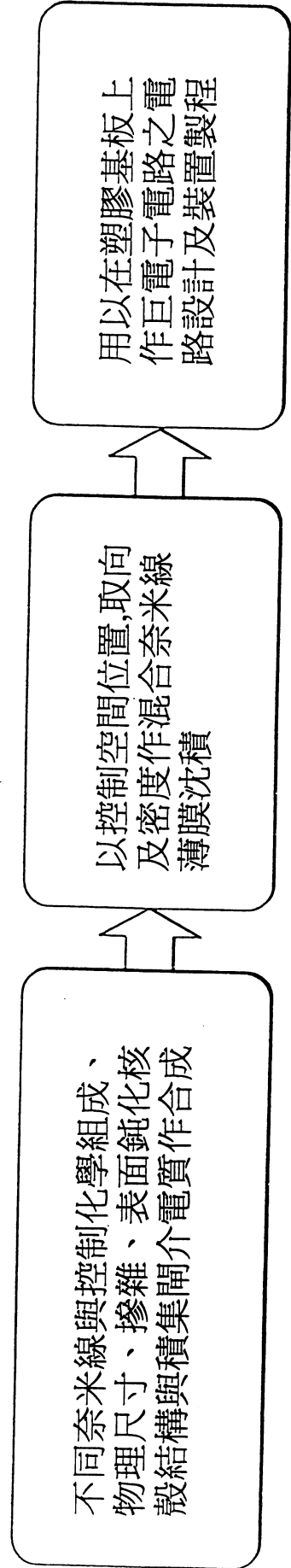




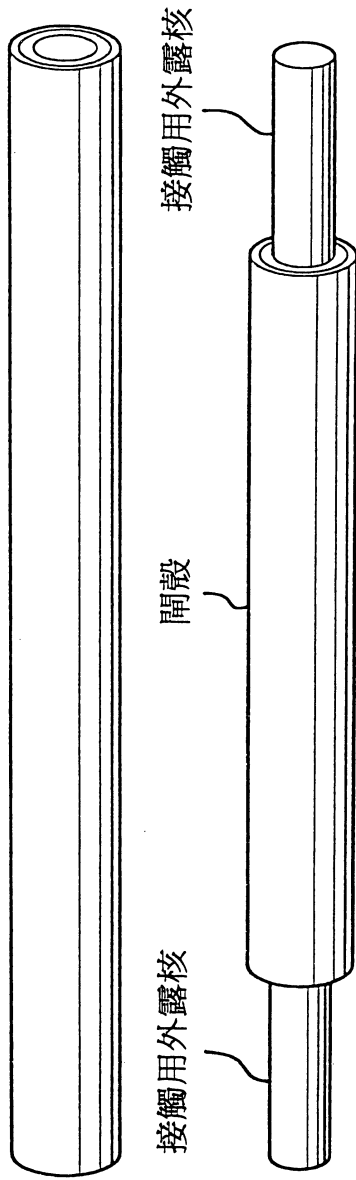
第17圖



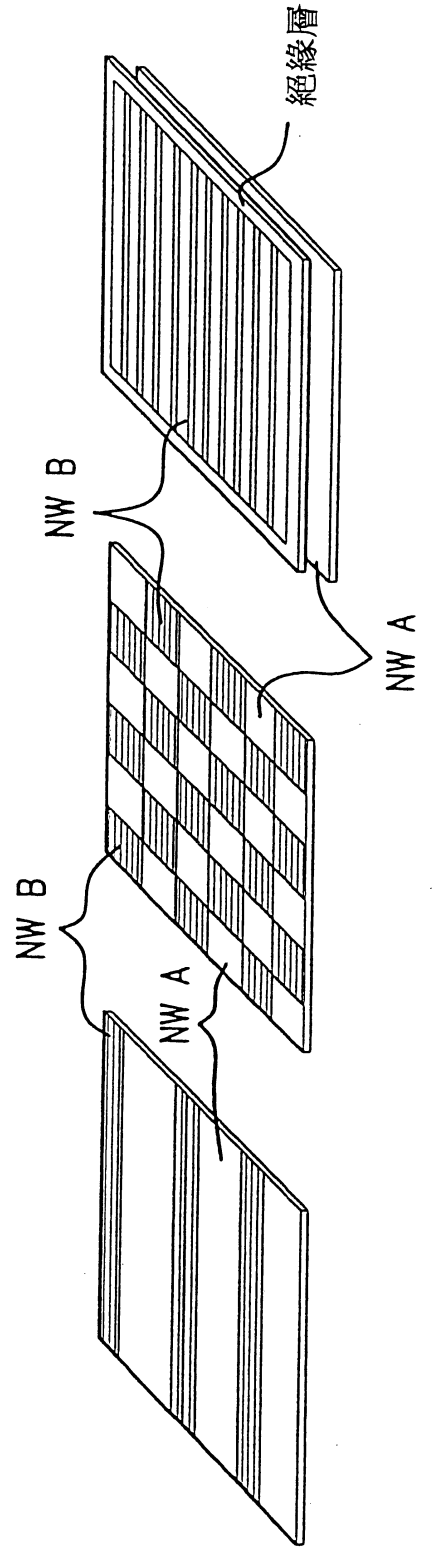
第18圖



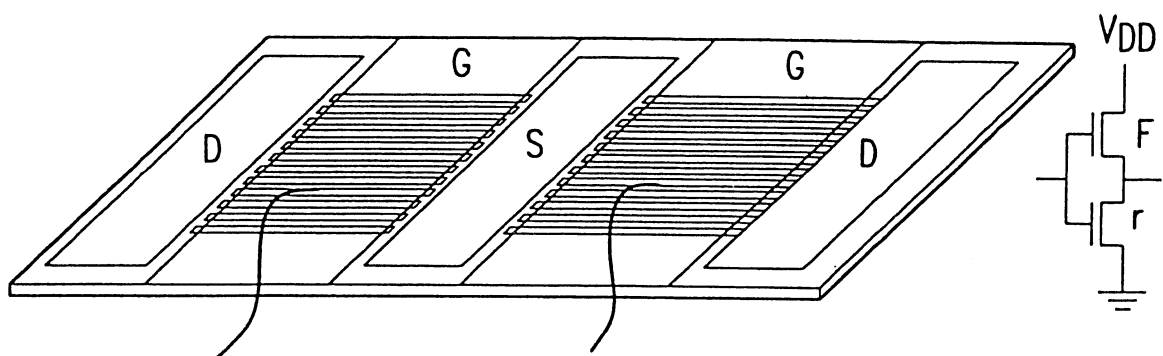
第19圖



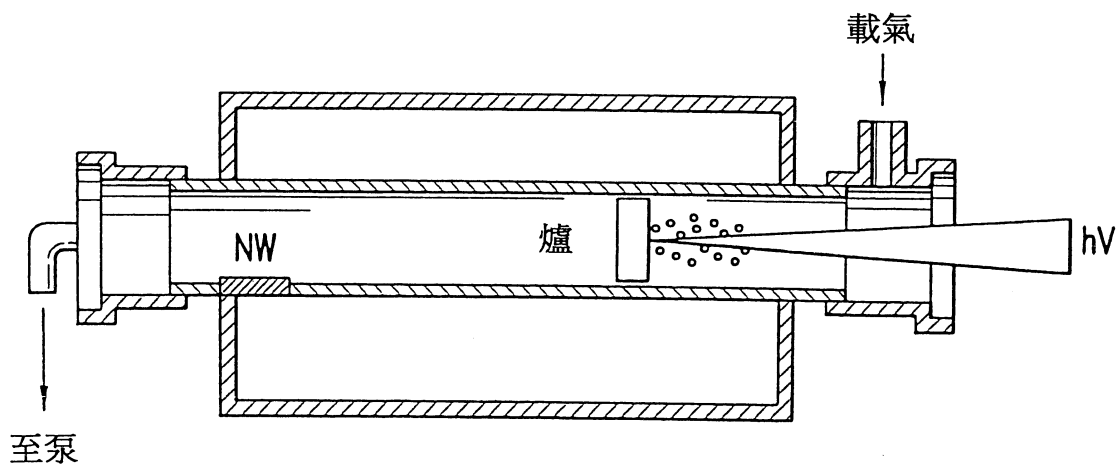
第20圖



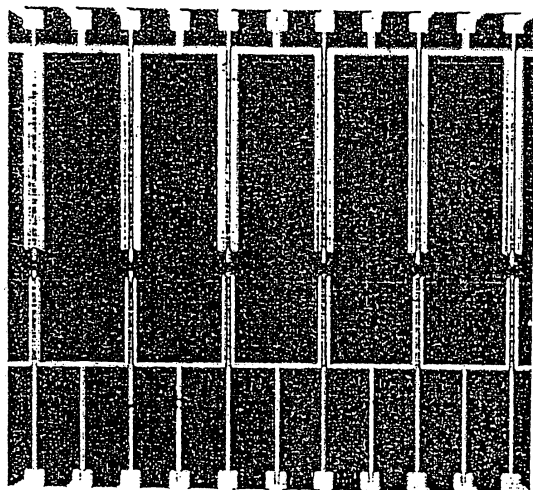
第21圖



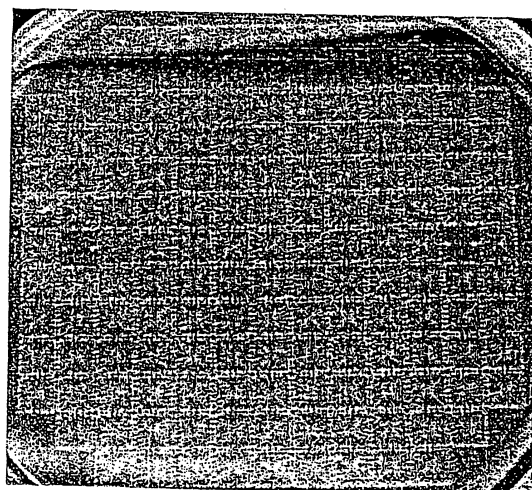
第22圖



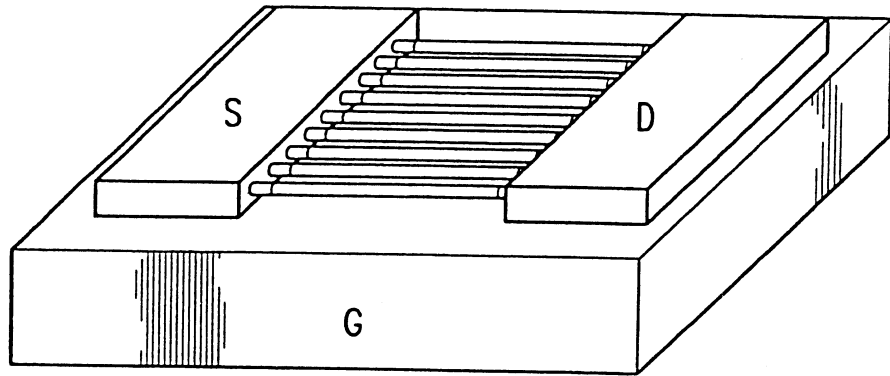
第23A圖



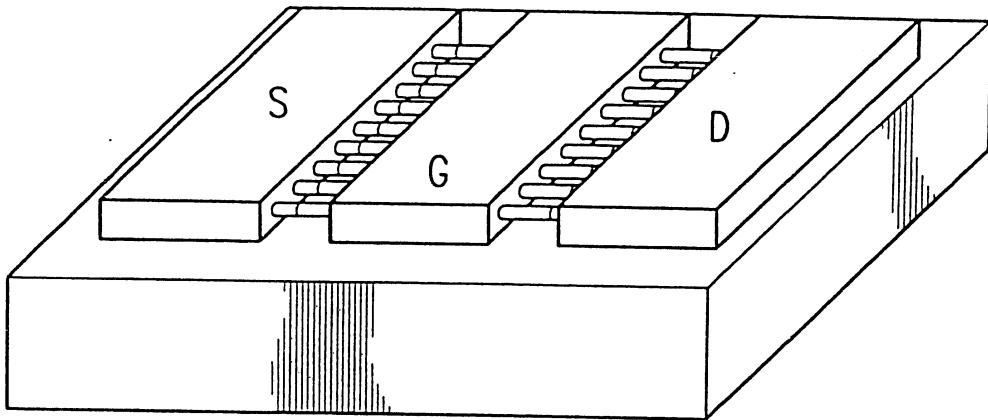
第23B圖



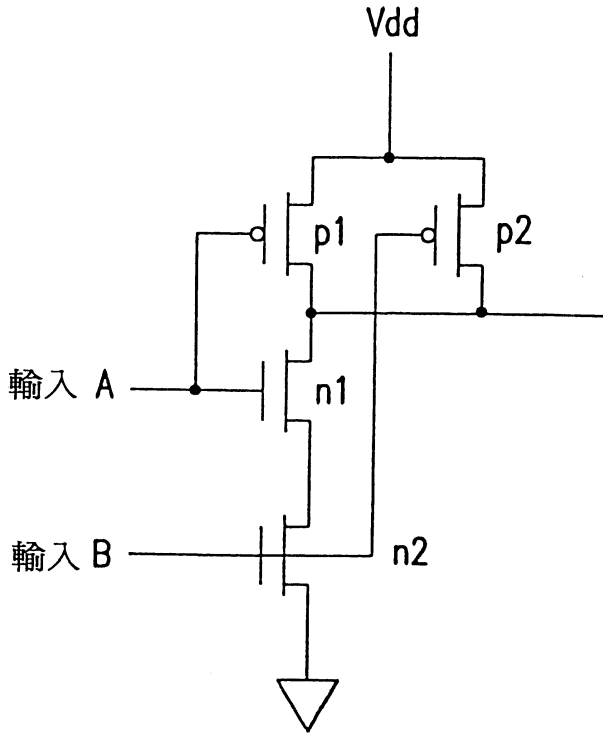
第24圖



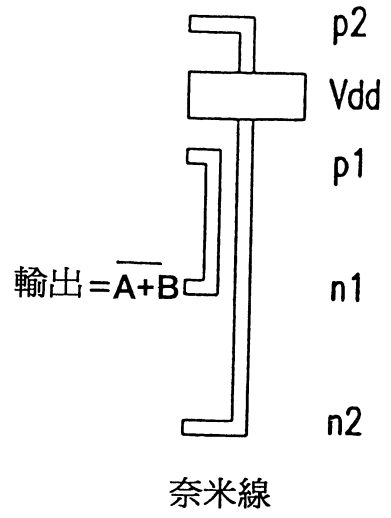
第25圖



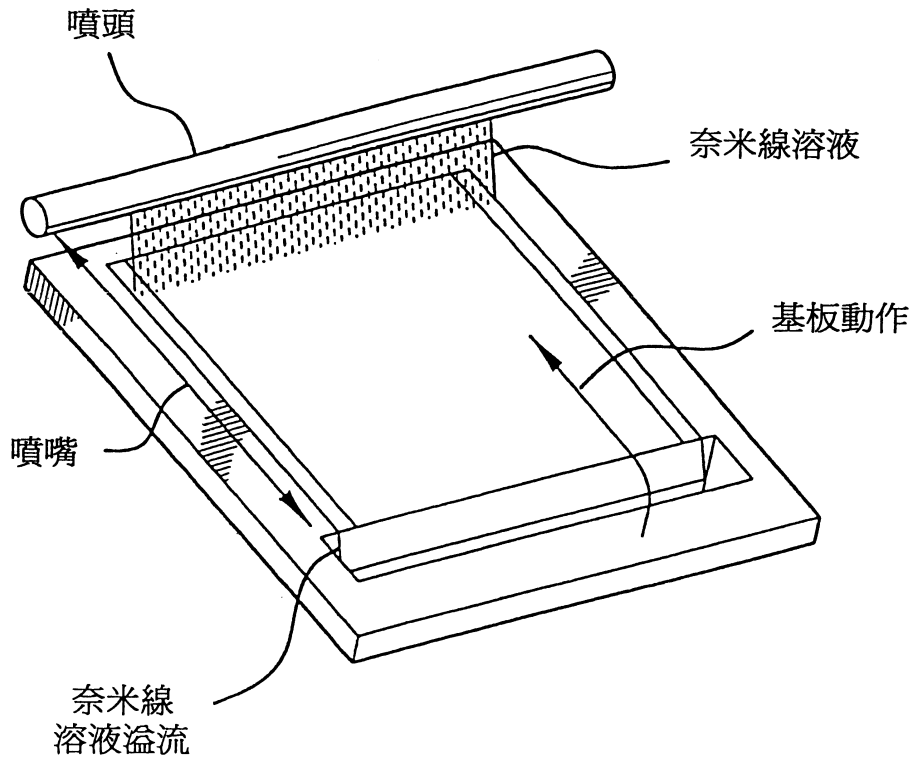
第26A圖



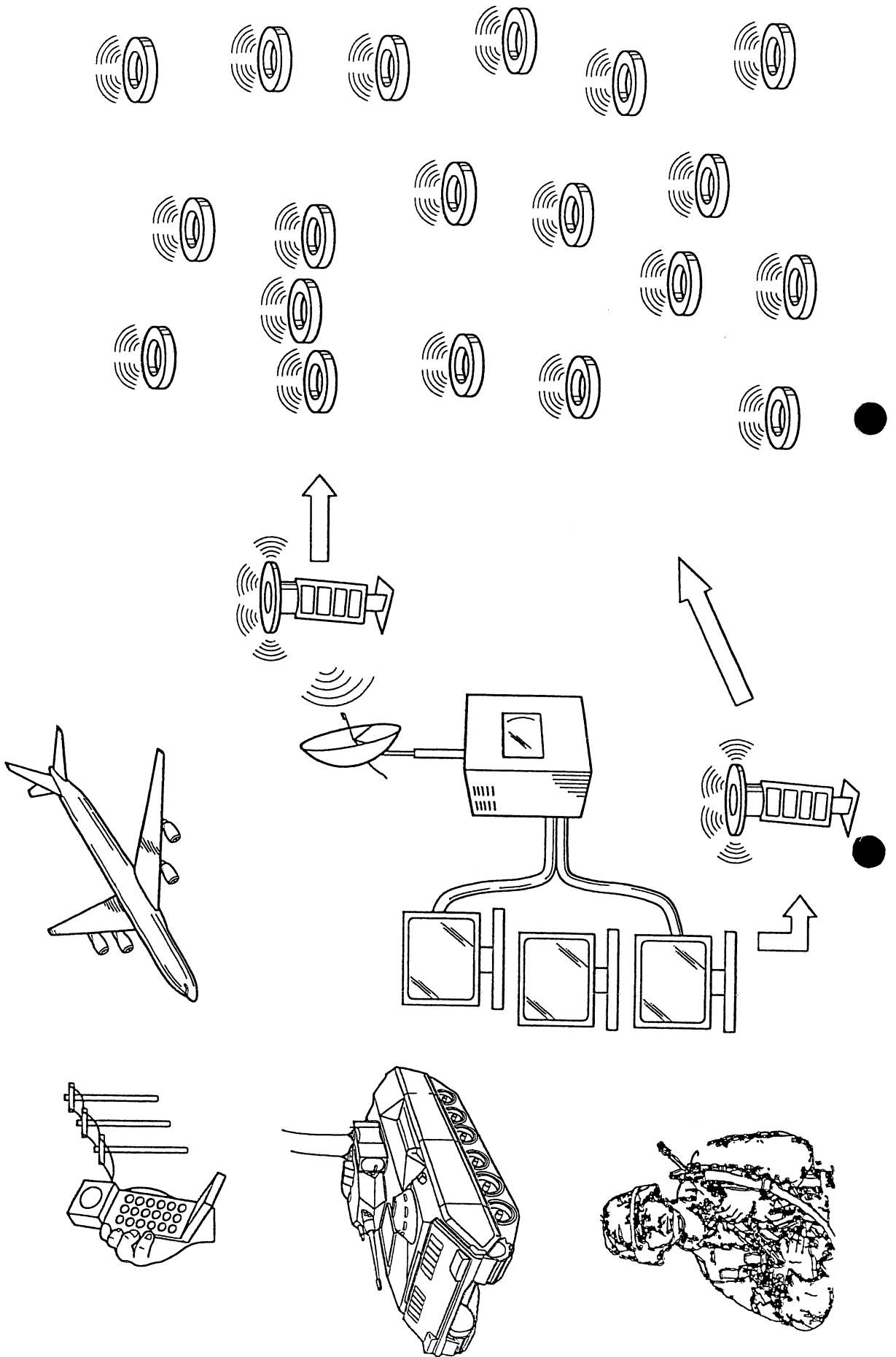
第26B圖



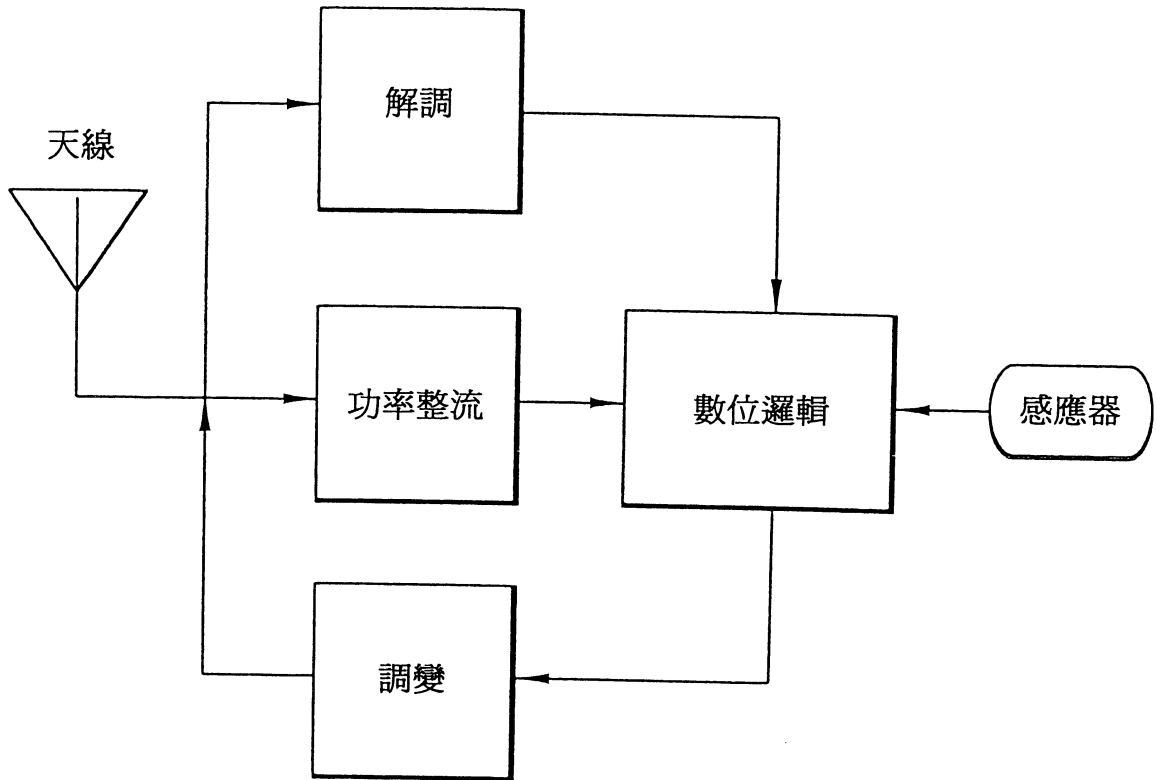
第27圖



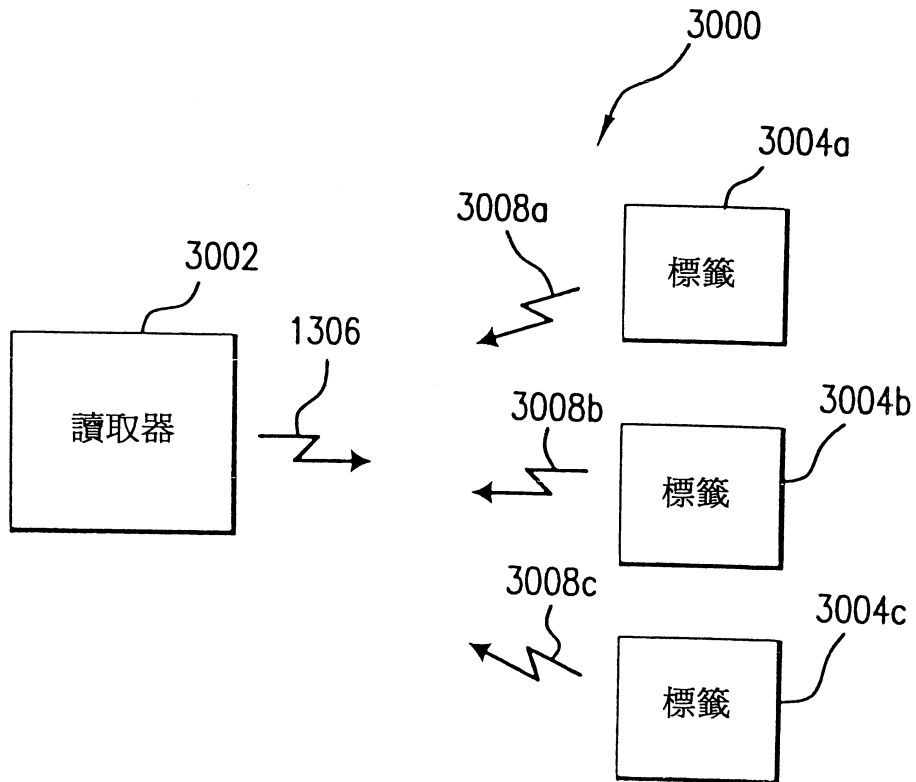
第28圖



第29圖

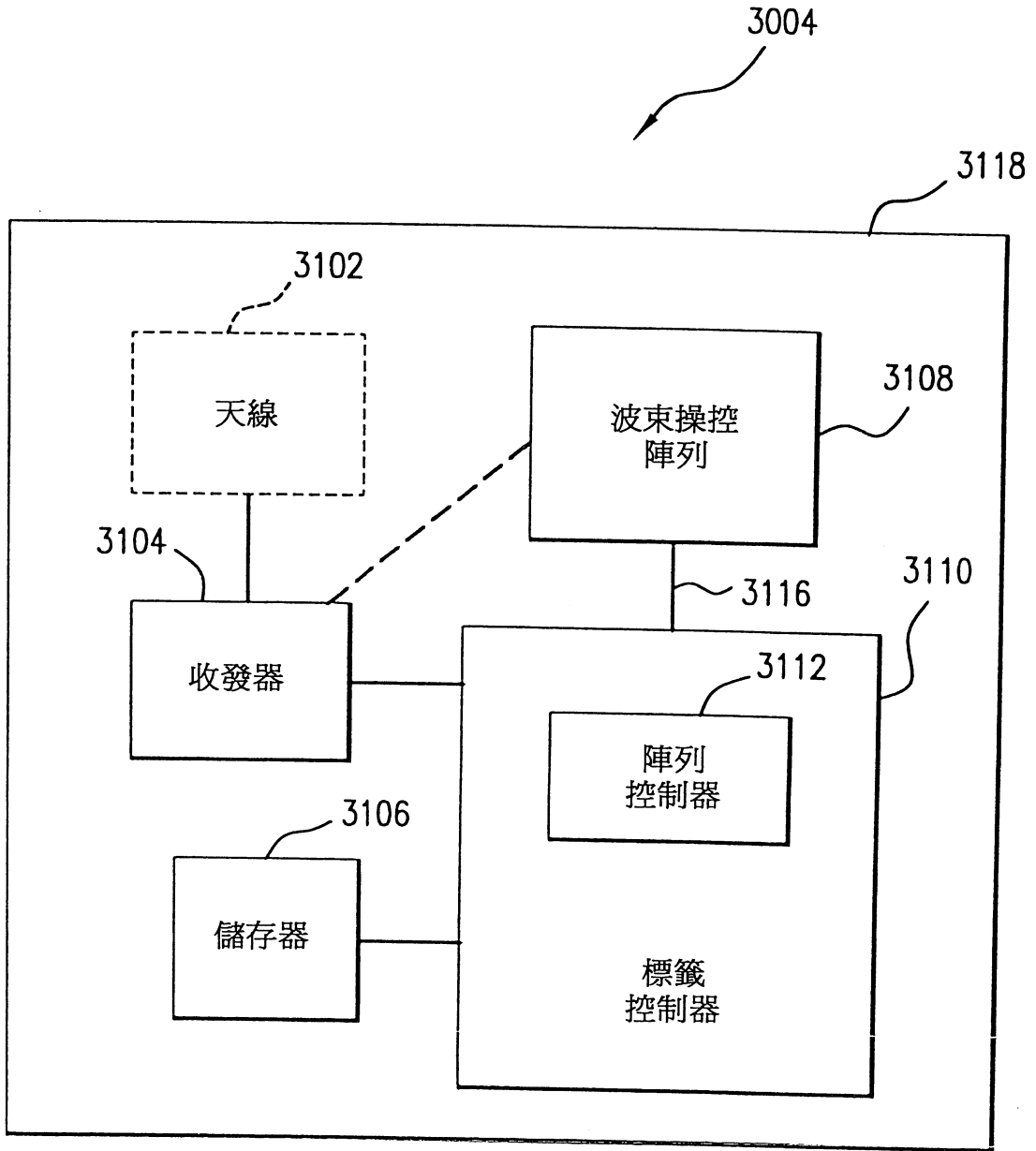


第30圖

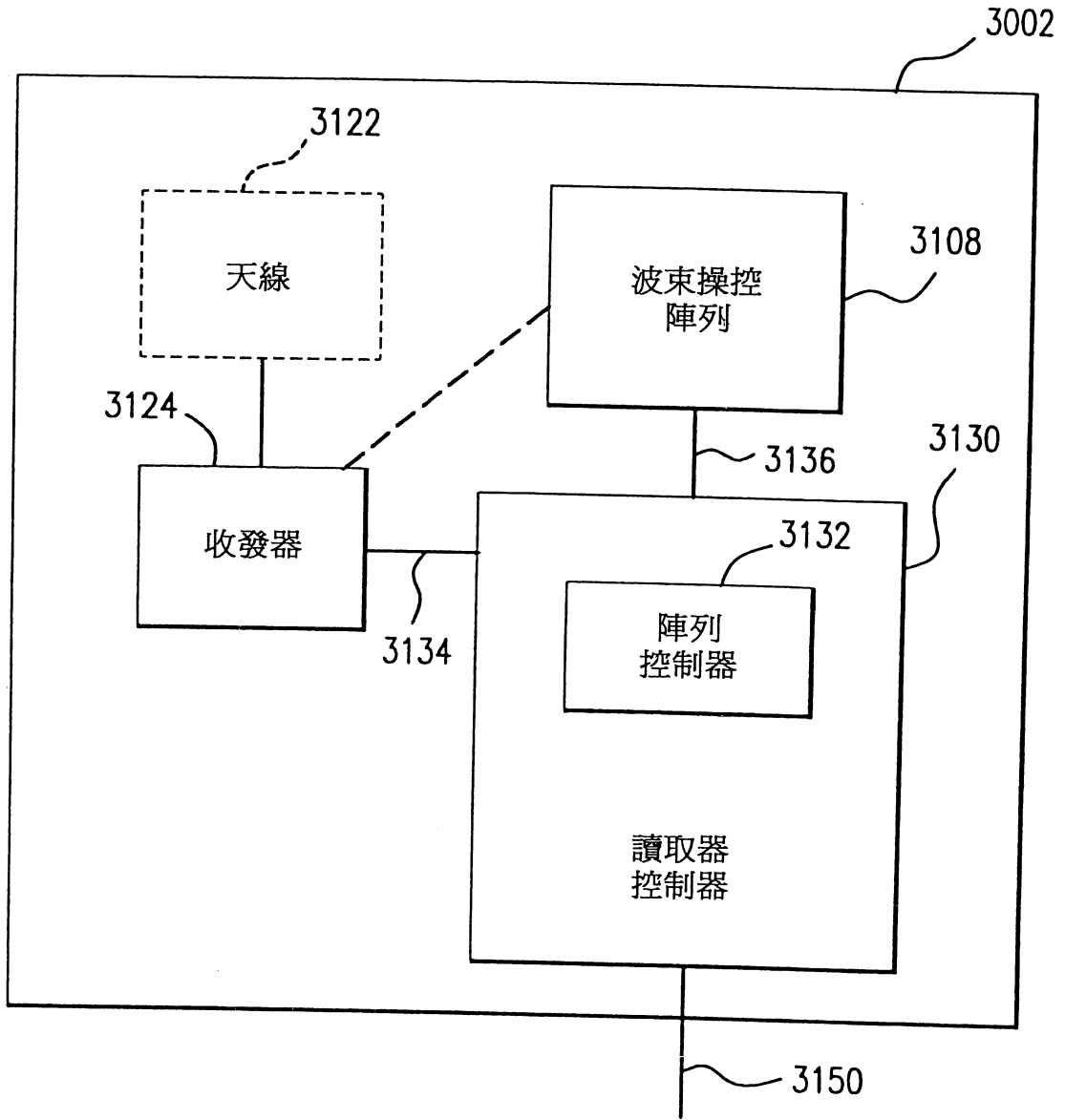




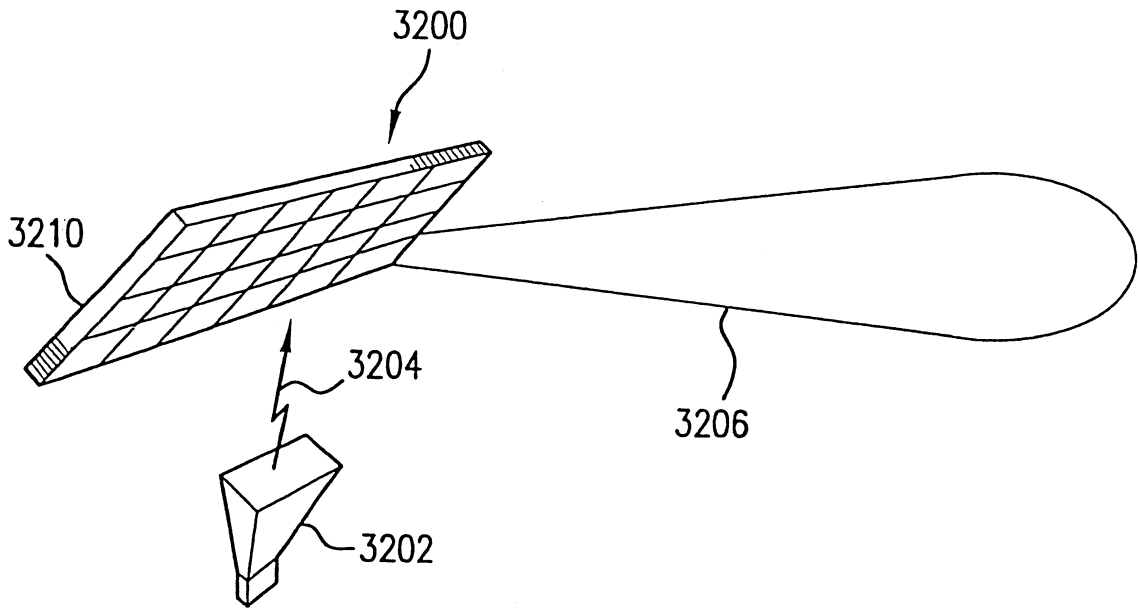
第31A圖



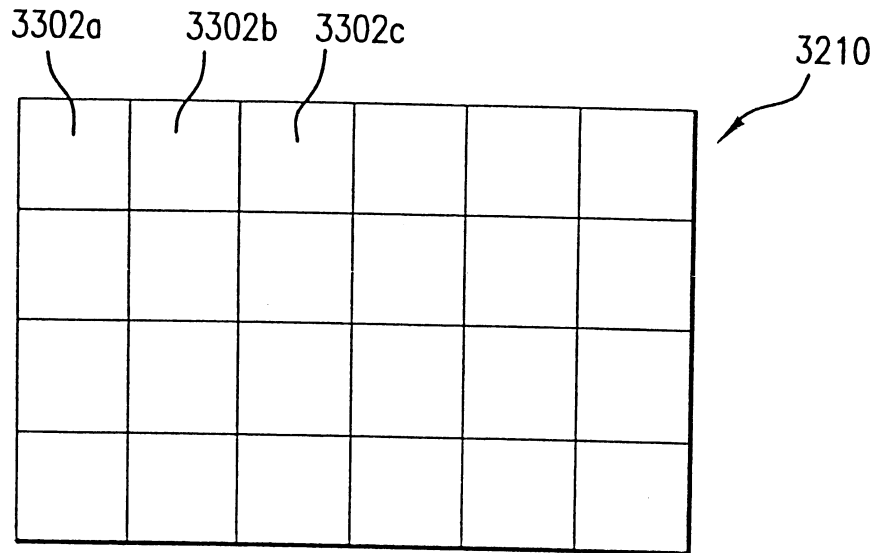
第31B圖



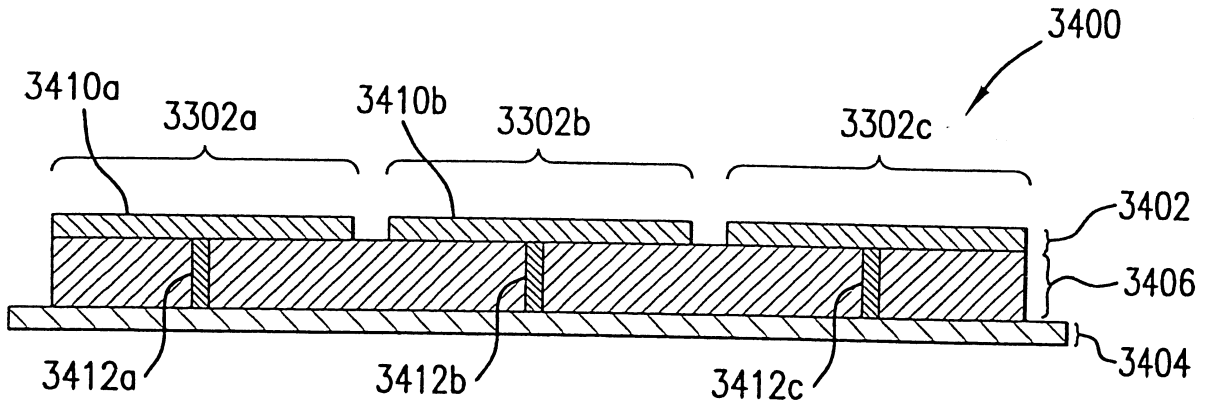
第32圖



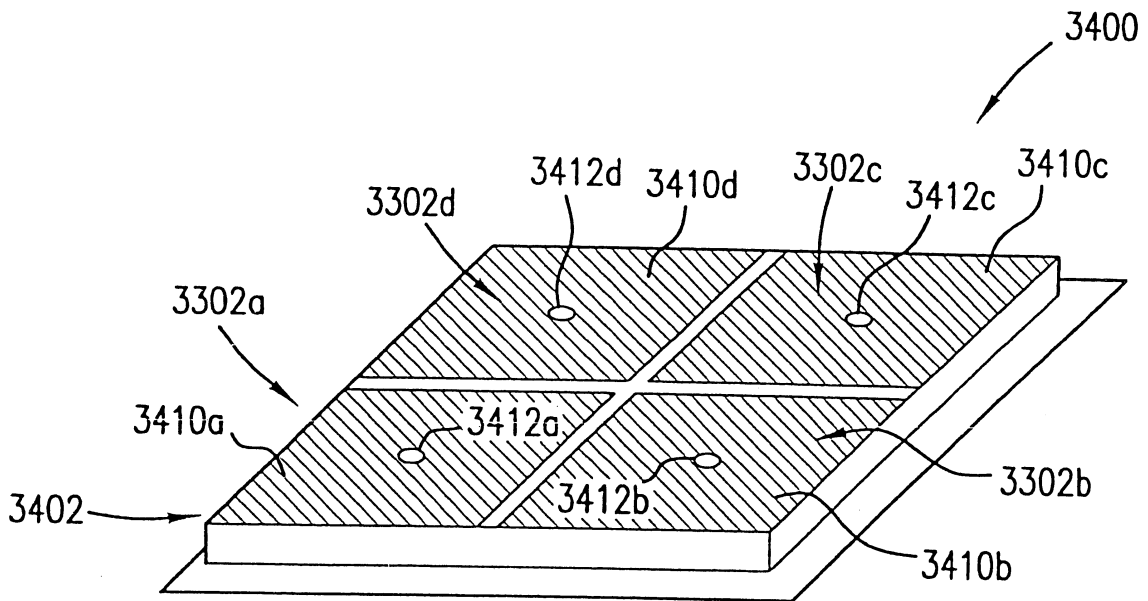
第33圖



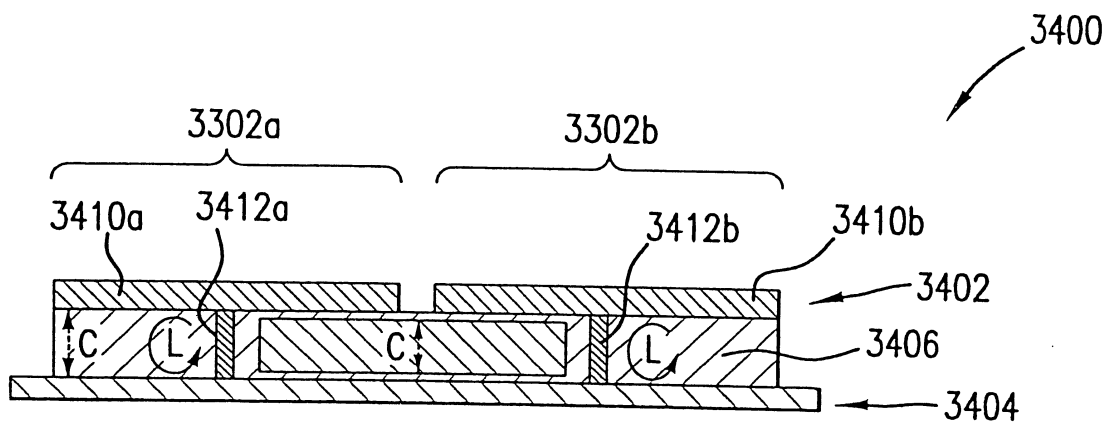
第34圖



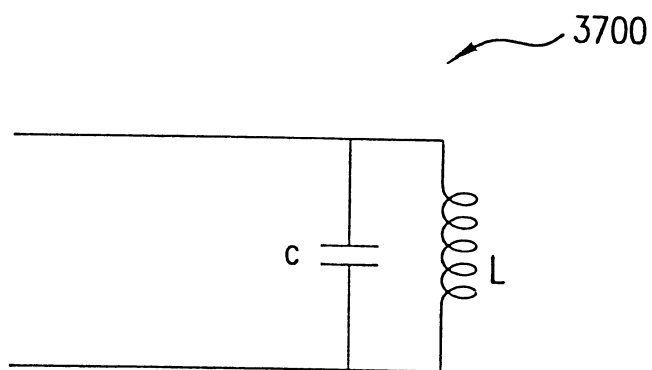
第35圖



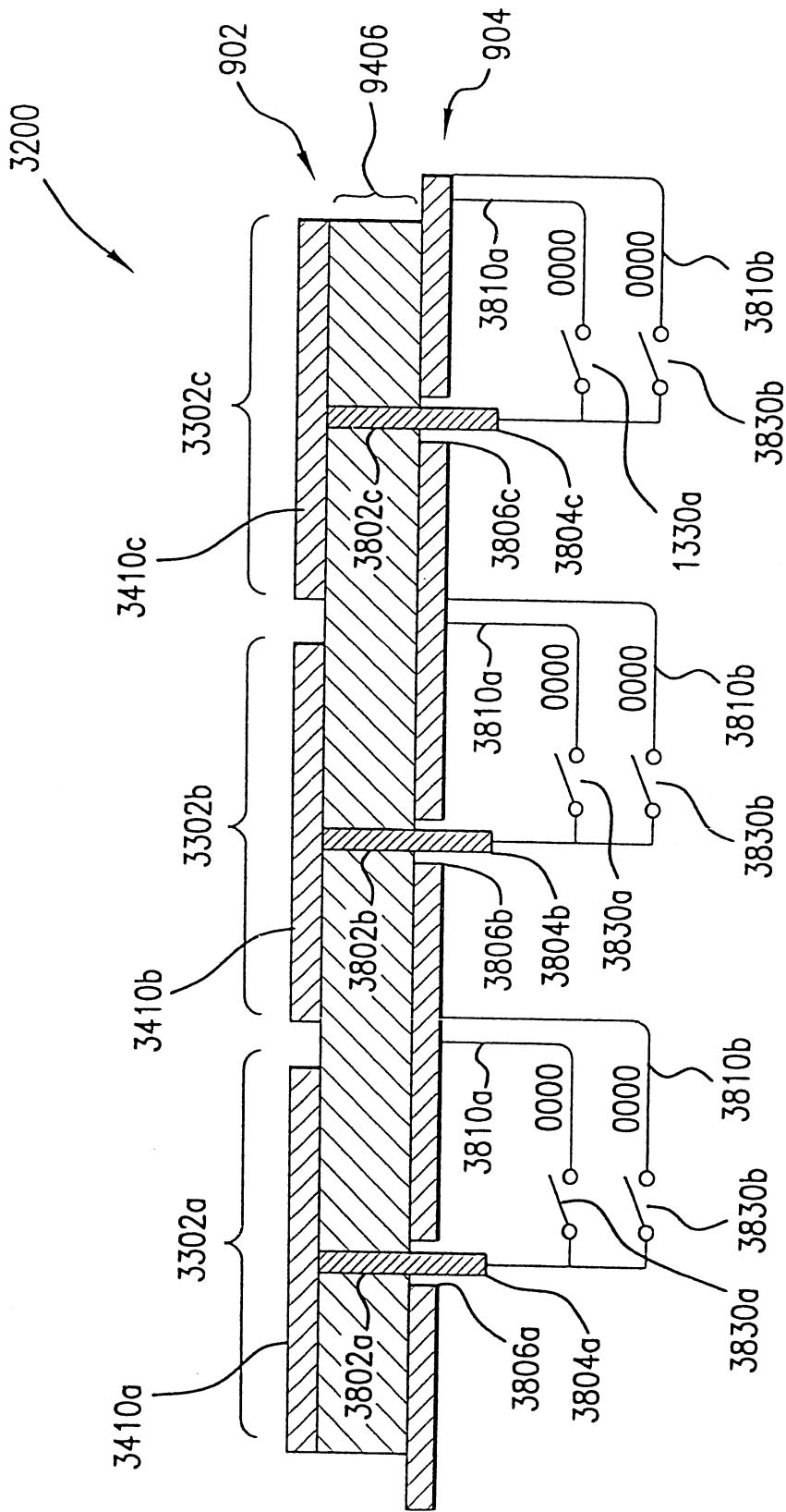
第36圖



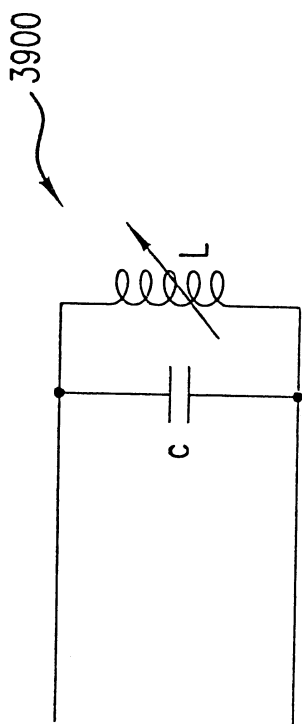
第37圖



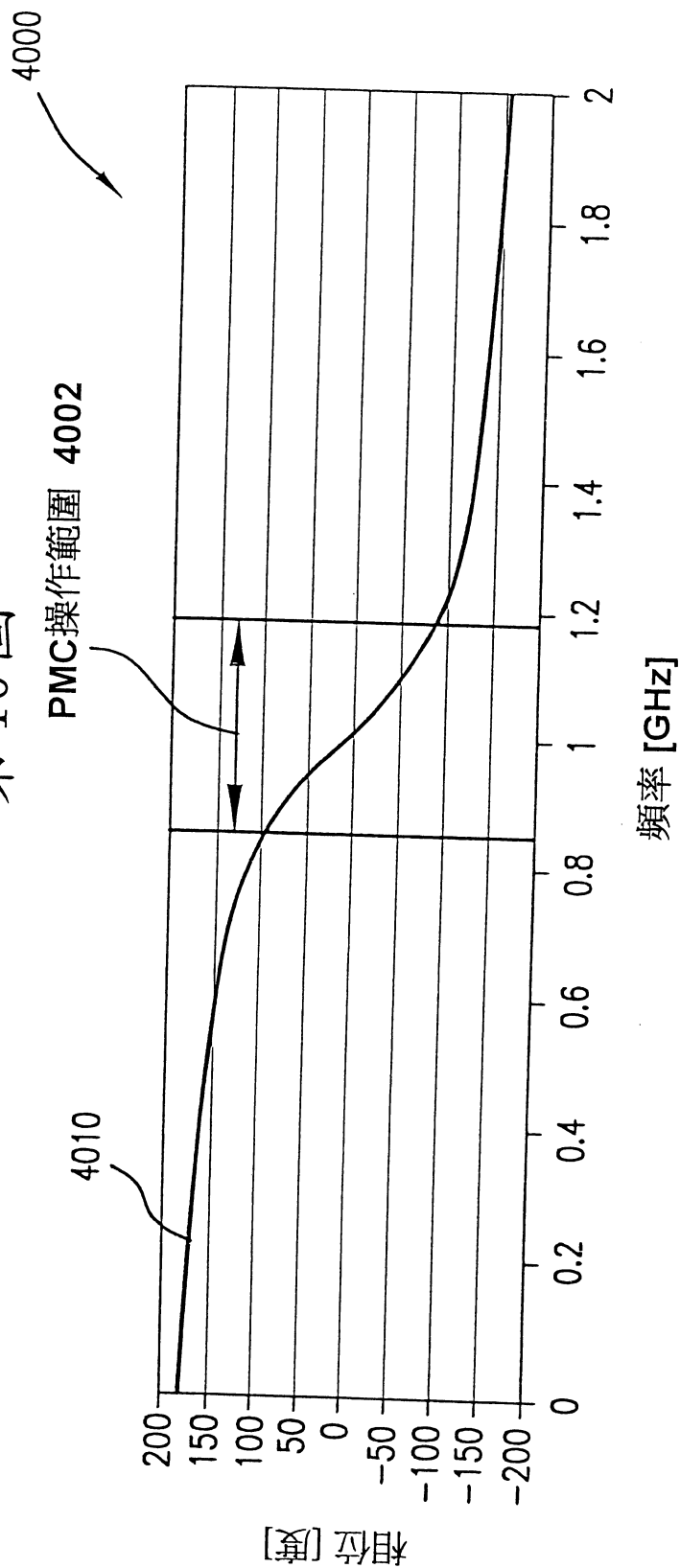
第38圖



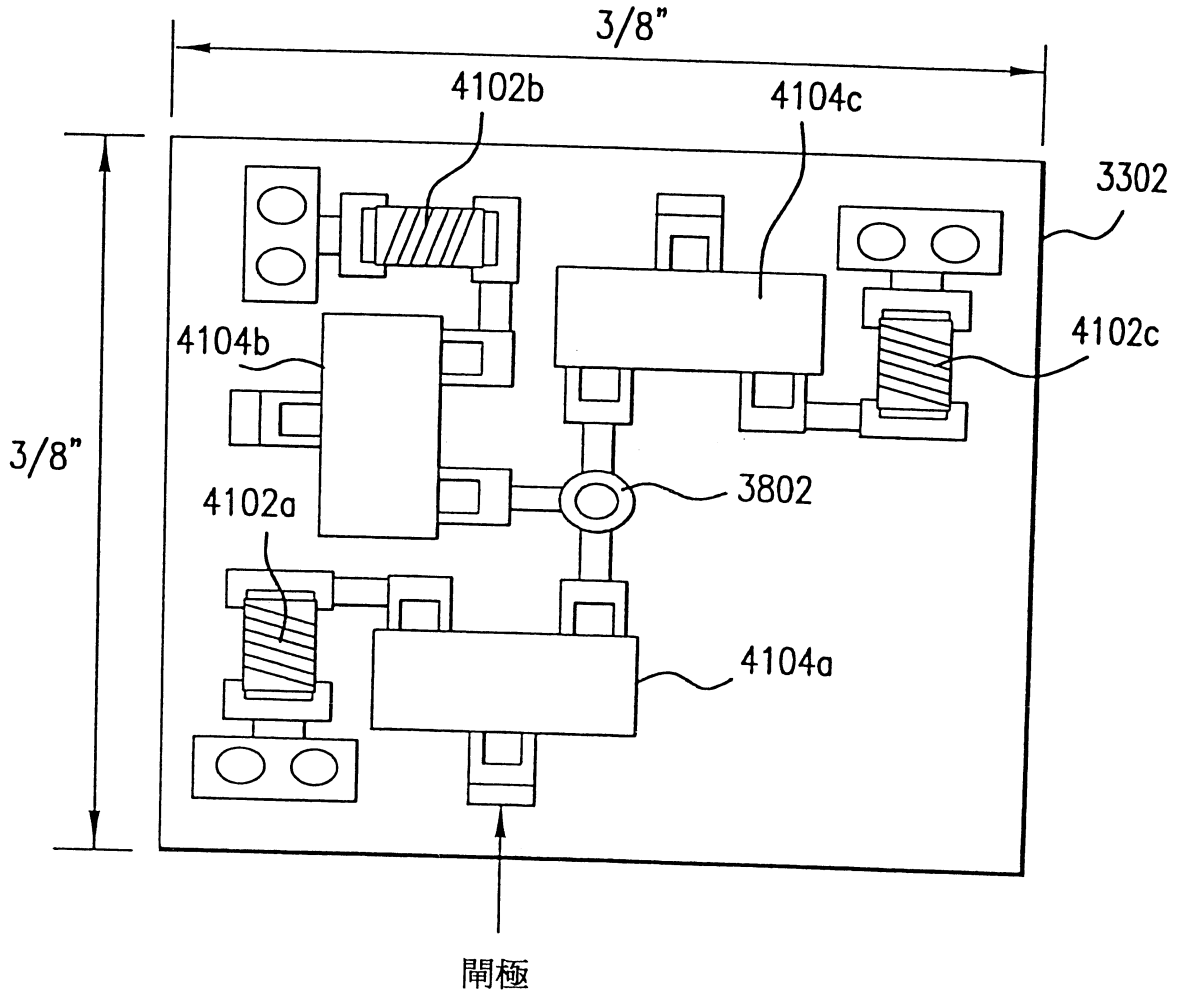
第39圖



第40圖

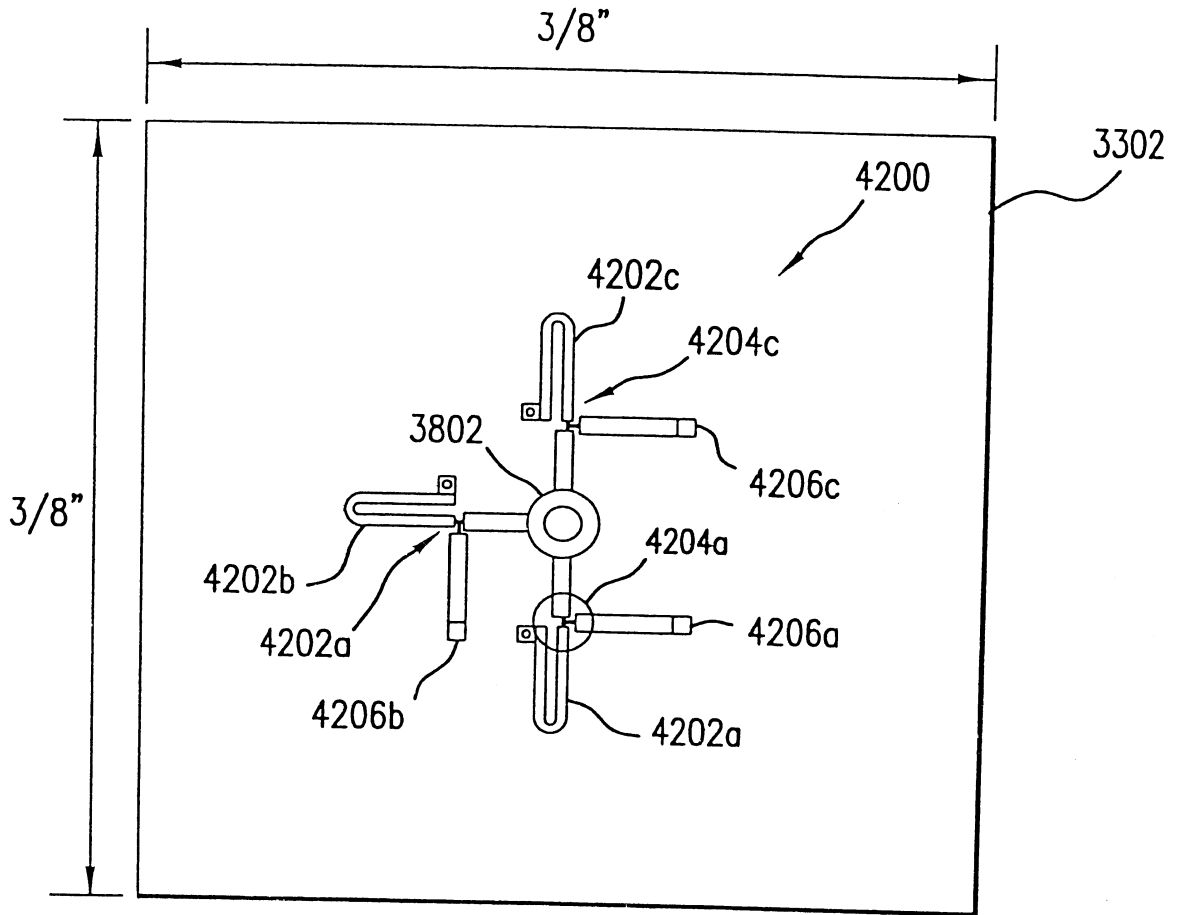


第41圖

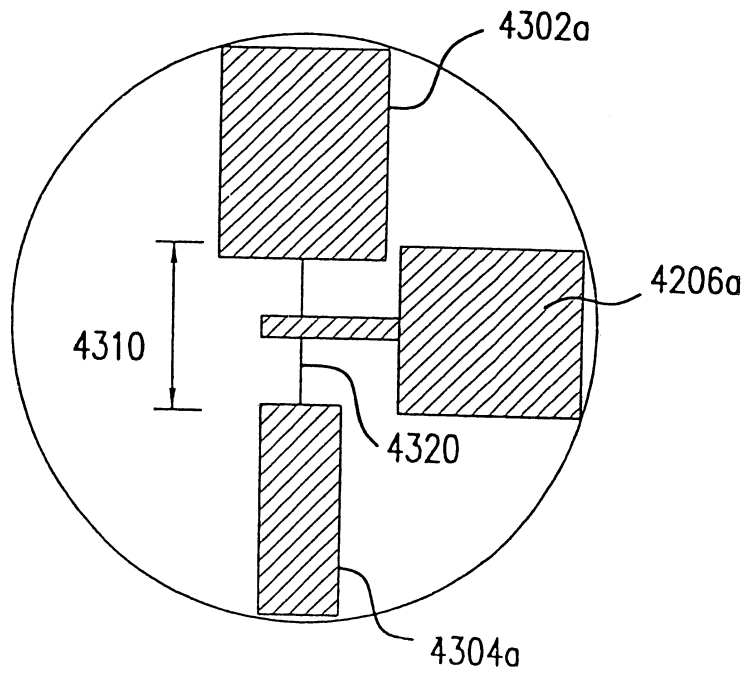




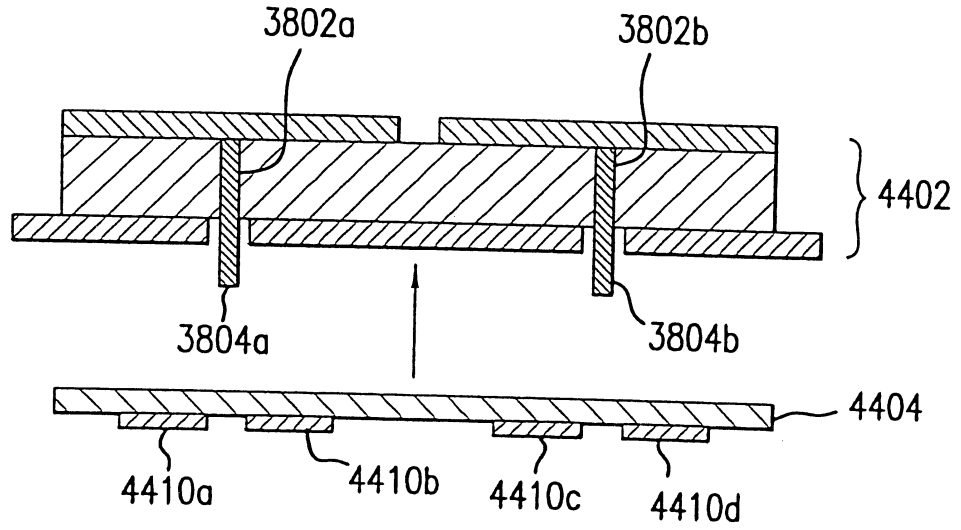
第42圖



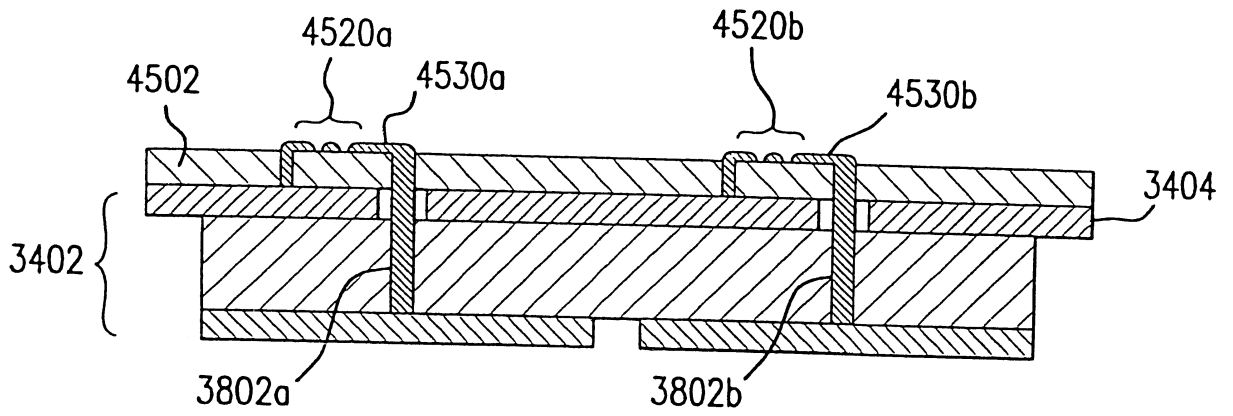
第43圖



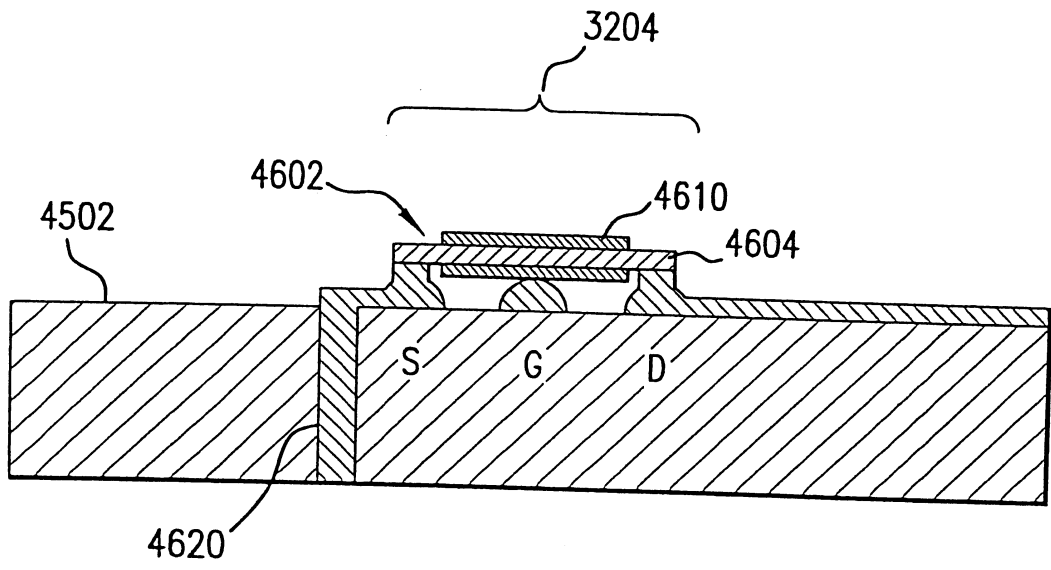
第44圖



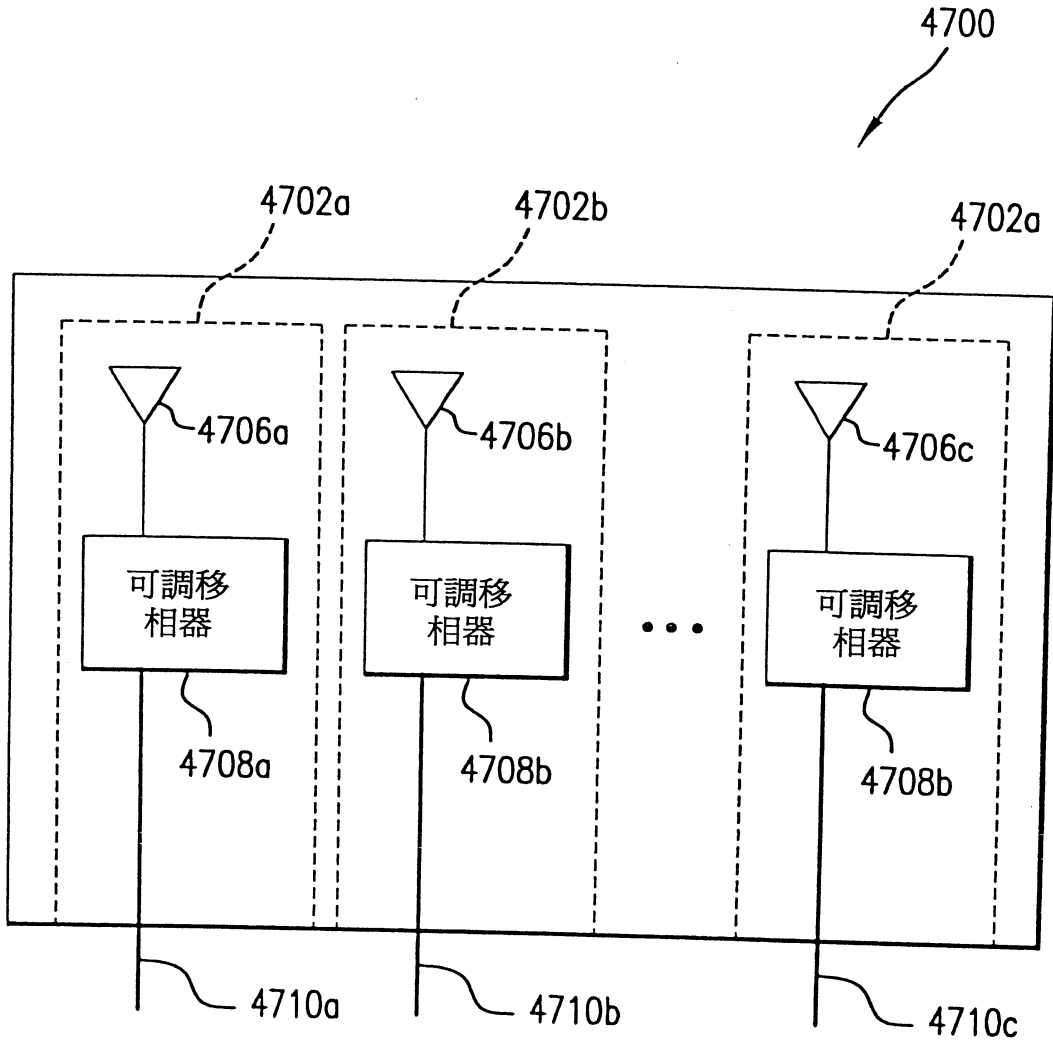
第45圖



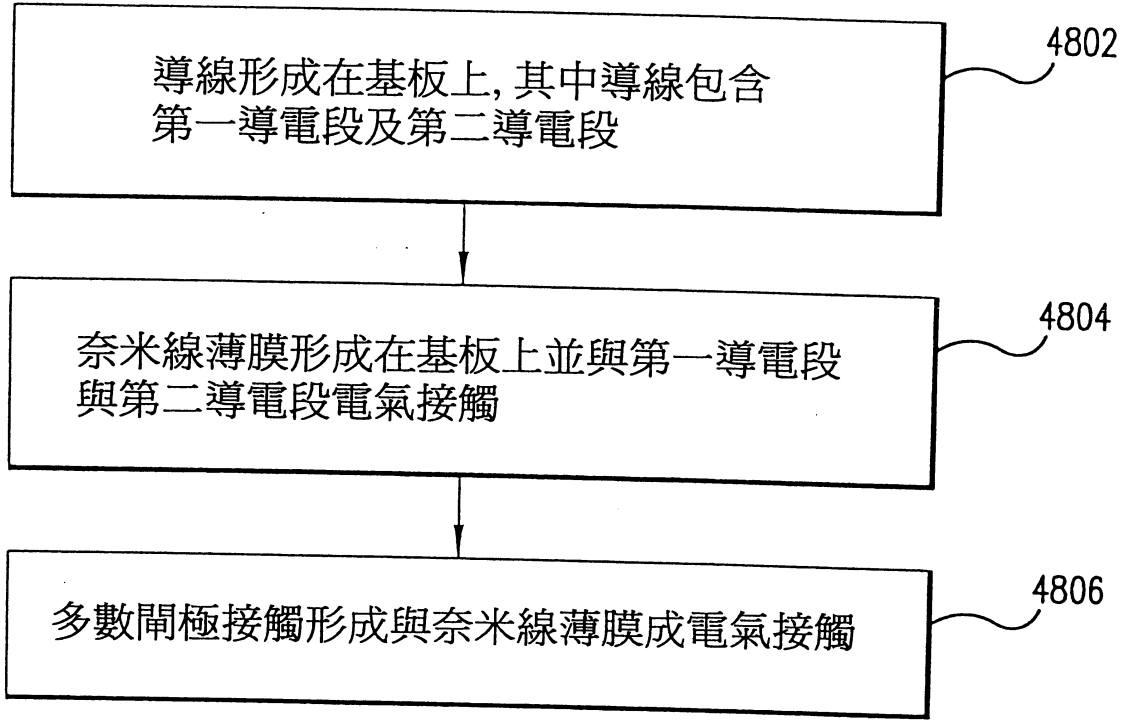
第46圖



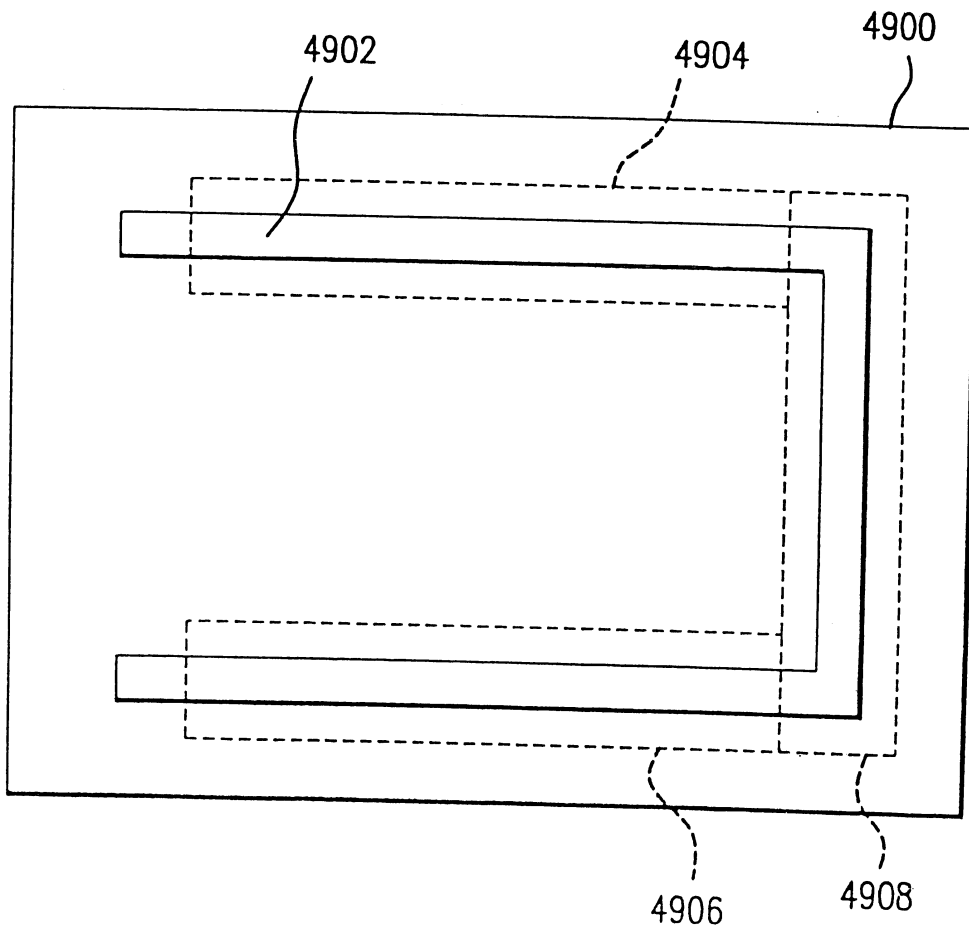
第47圖



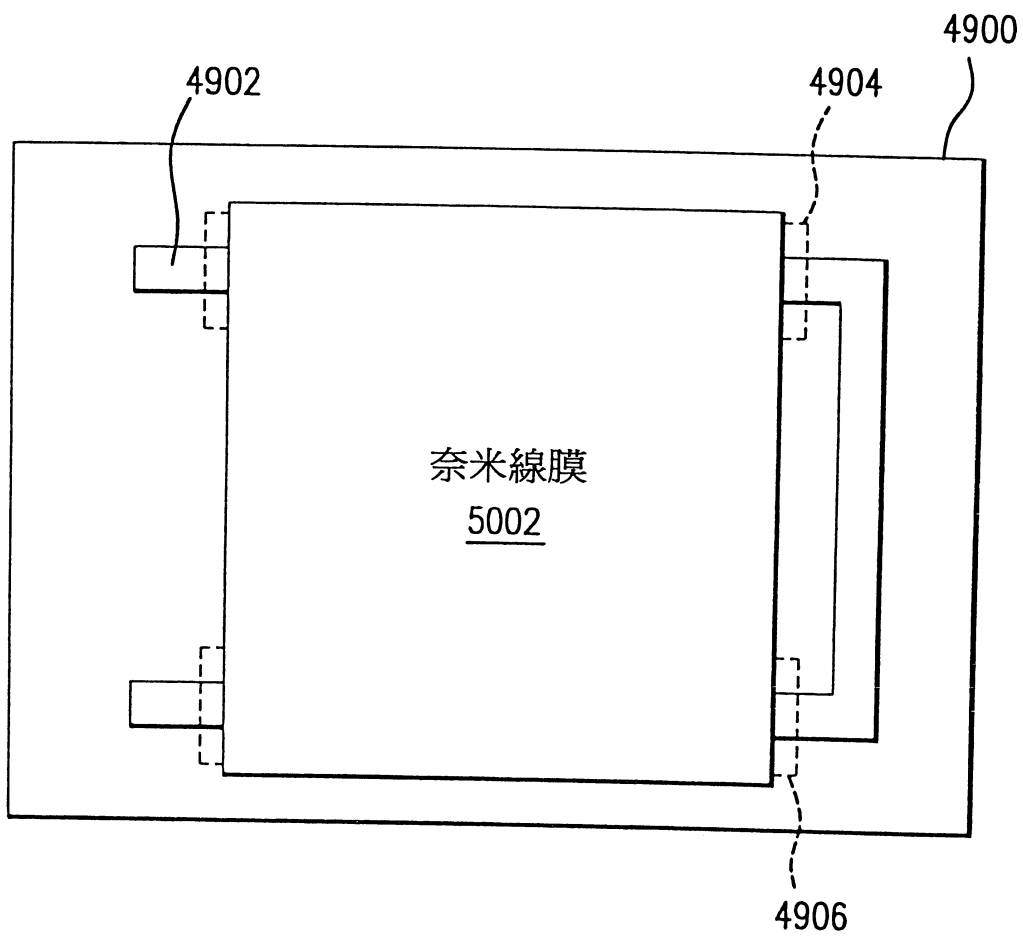
# 第48圖



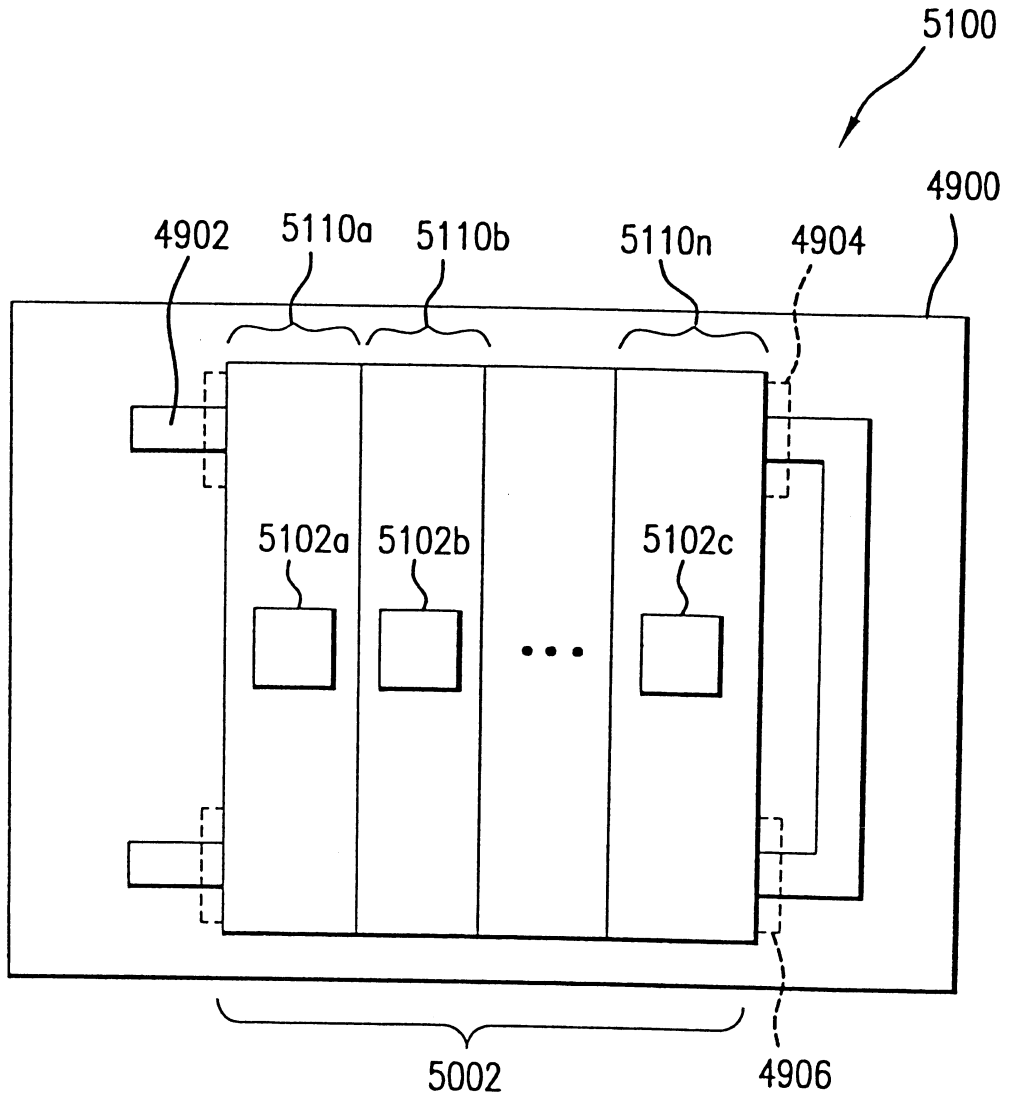
# 第49圖



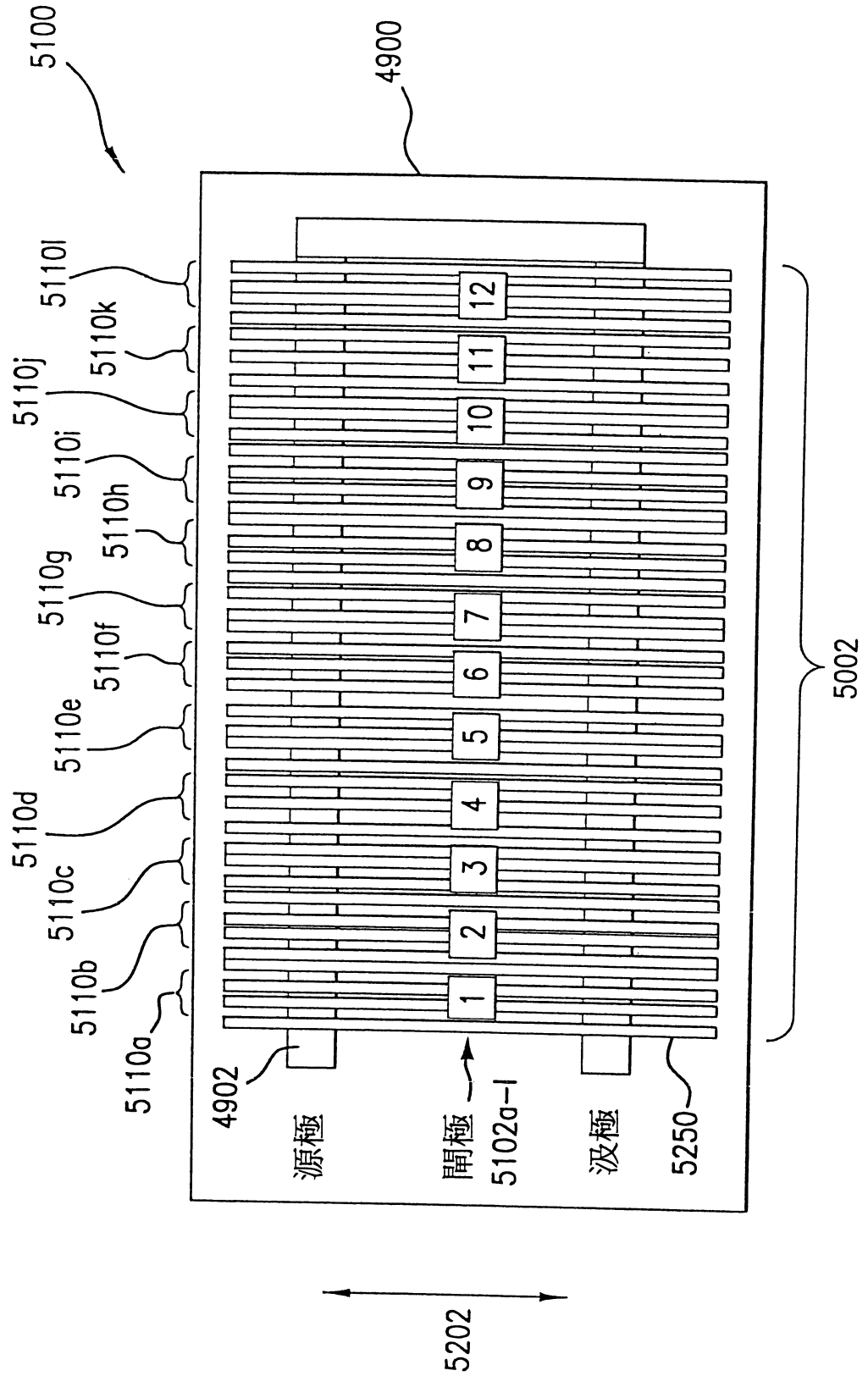
# 第50圖



第51圖

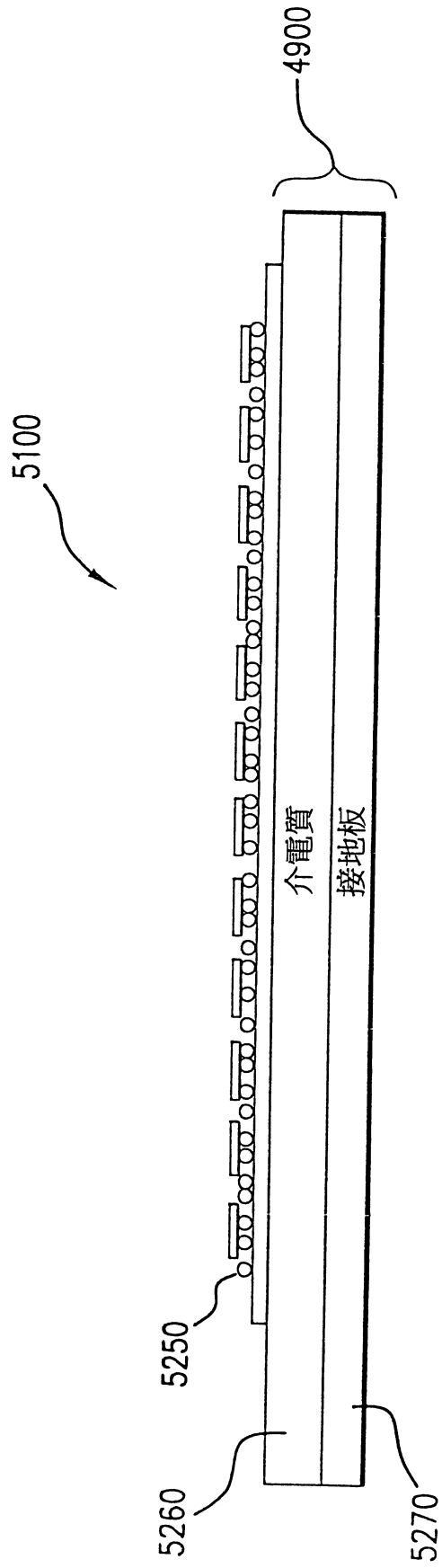


第52A圖

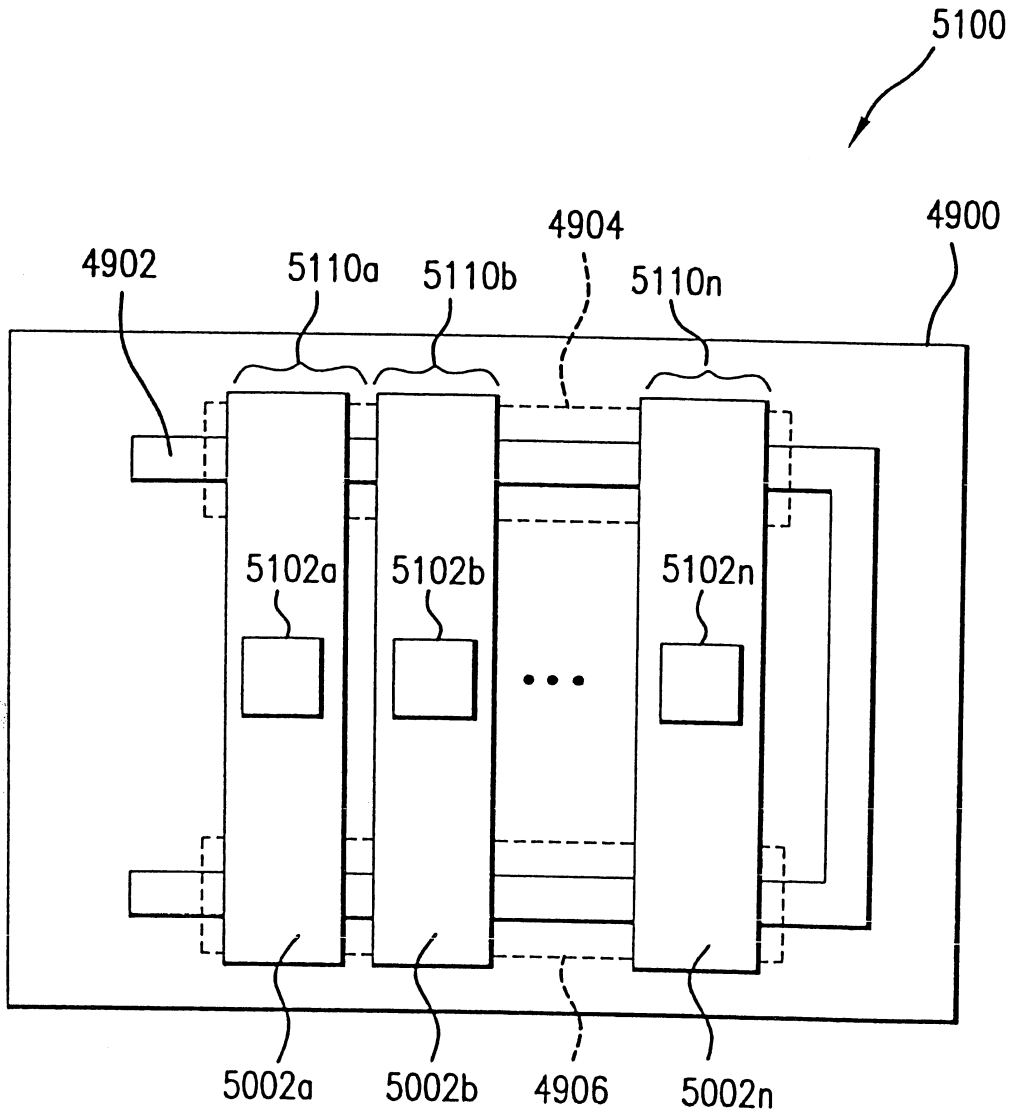




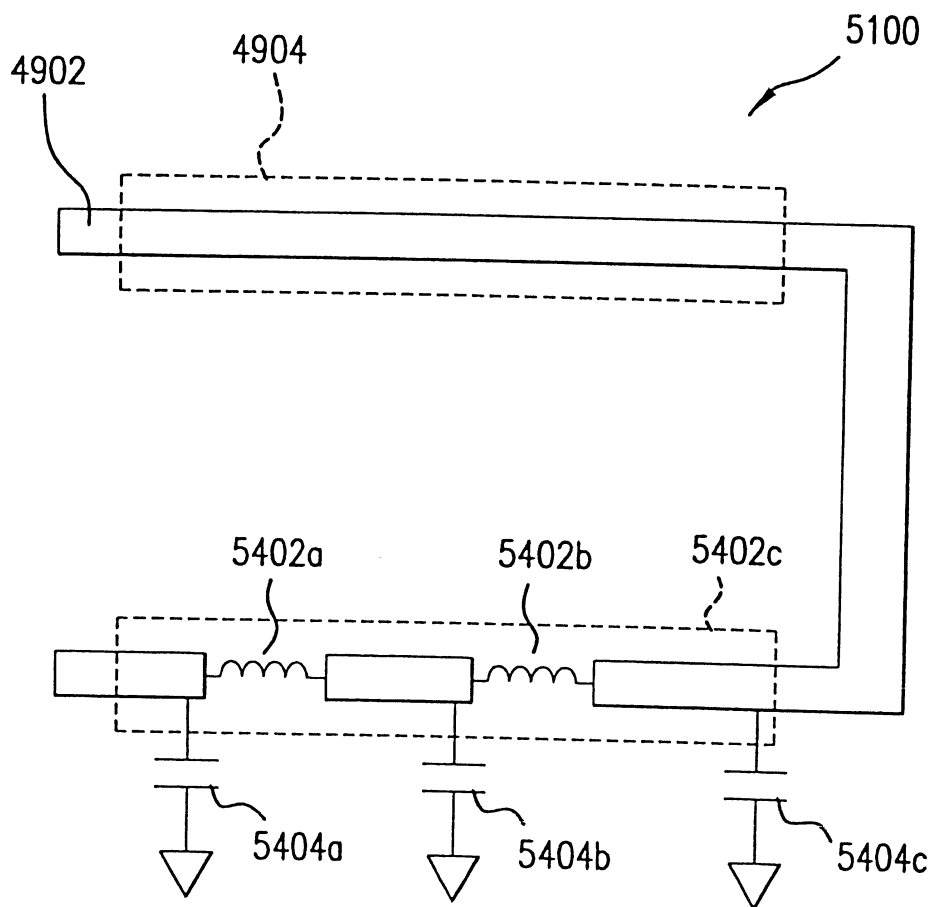
第52B圖



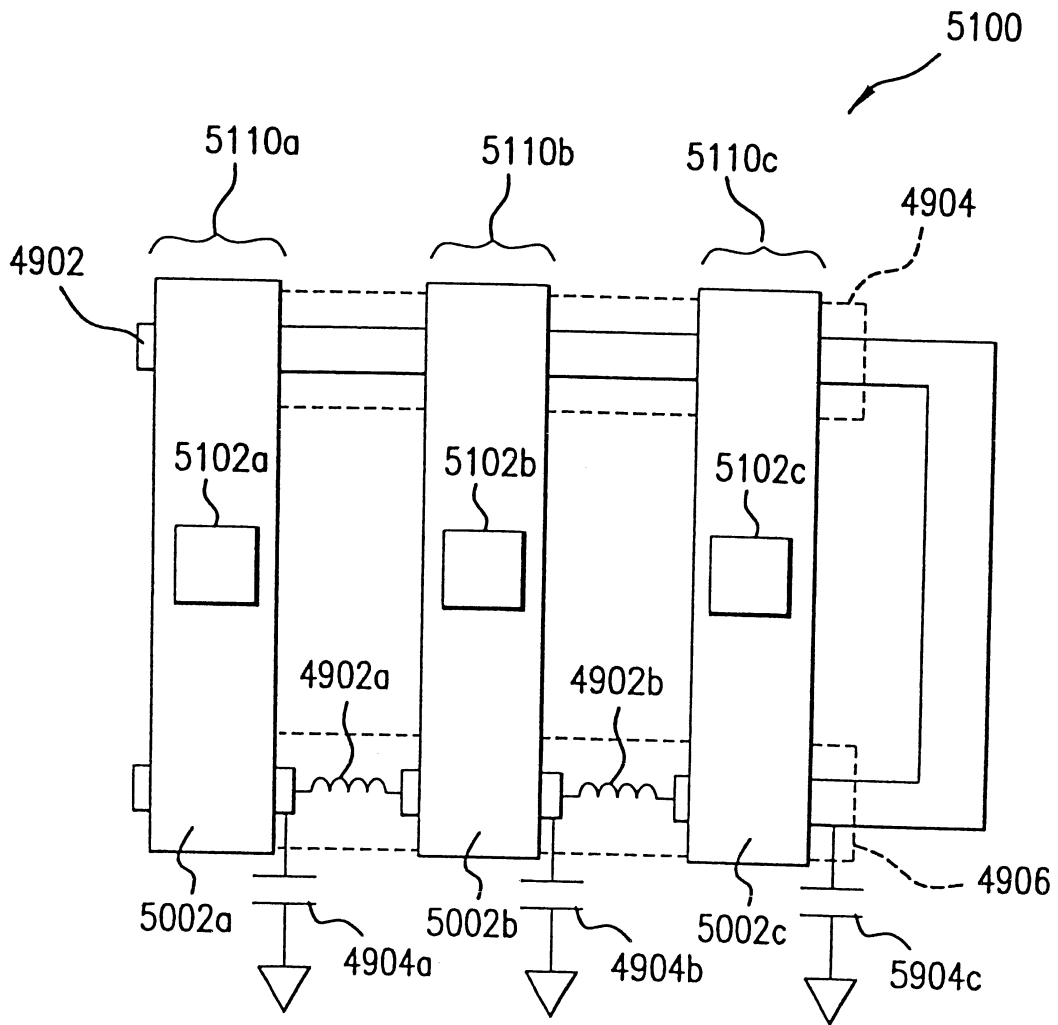
第53圖



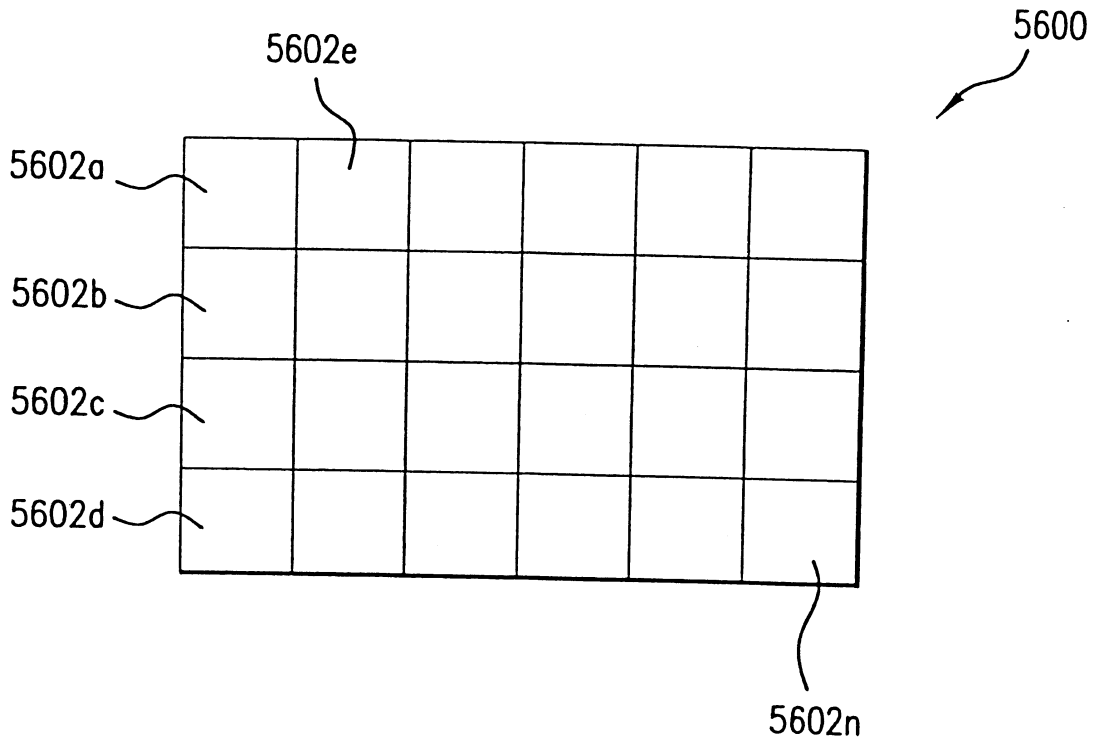
第54圖



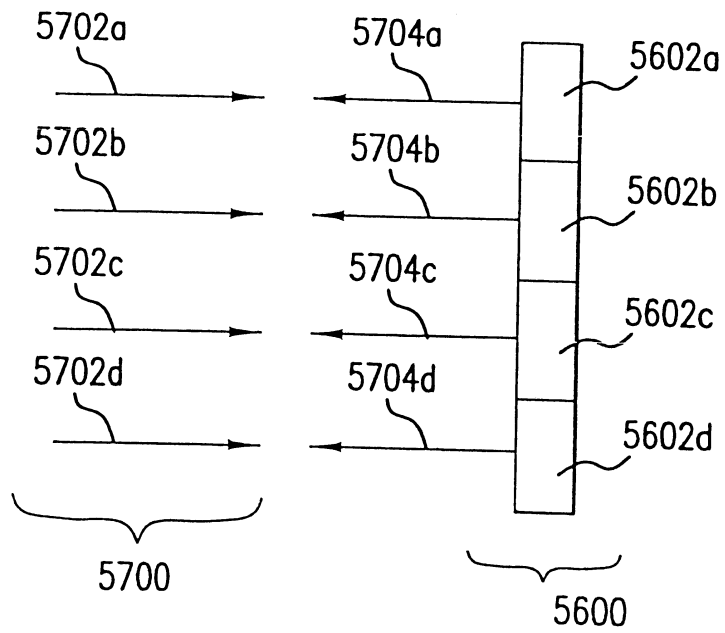
第55圖



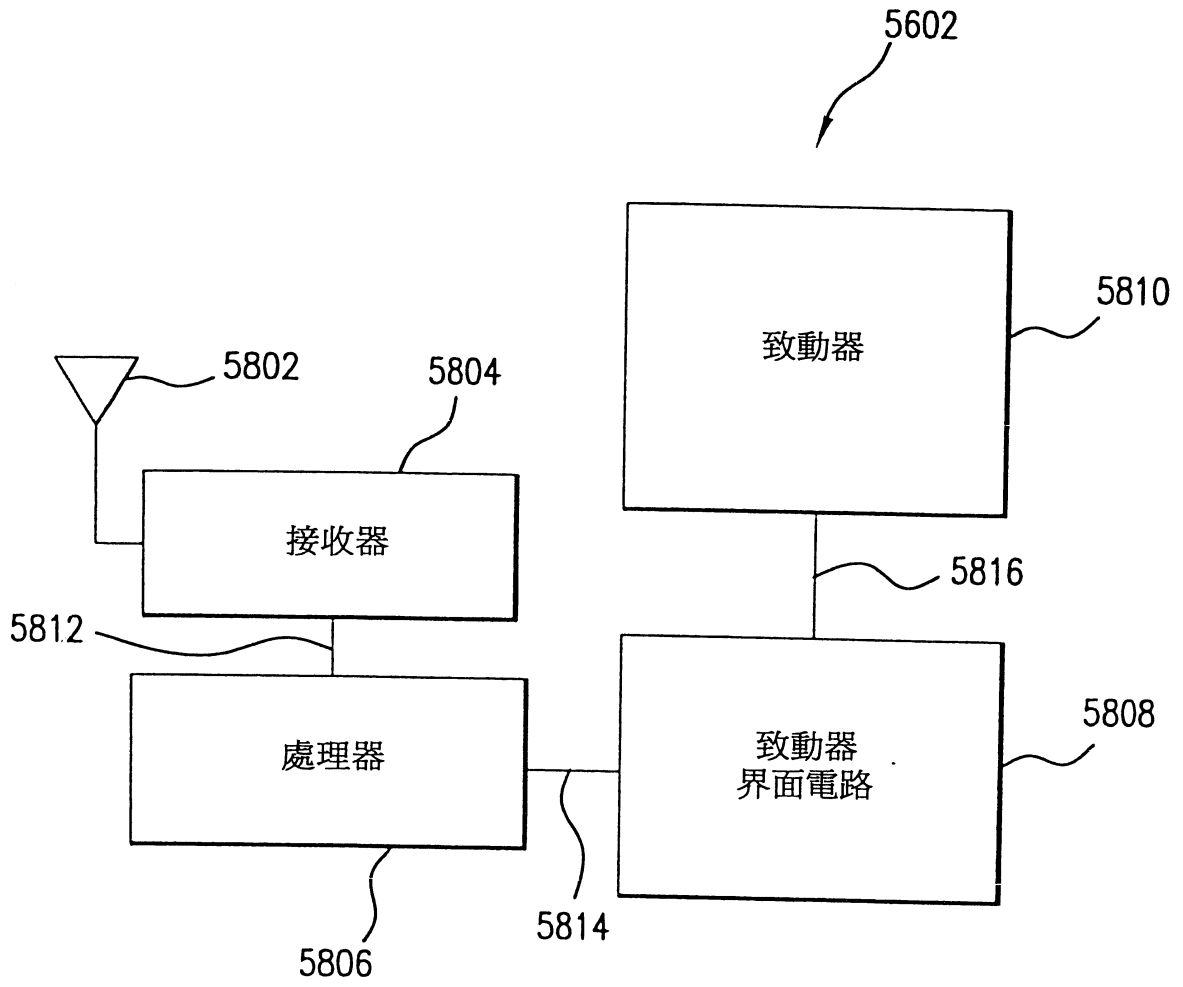
第56圖



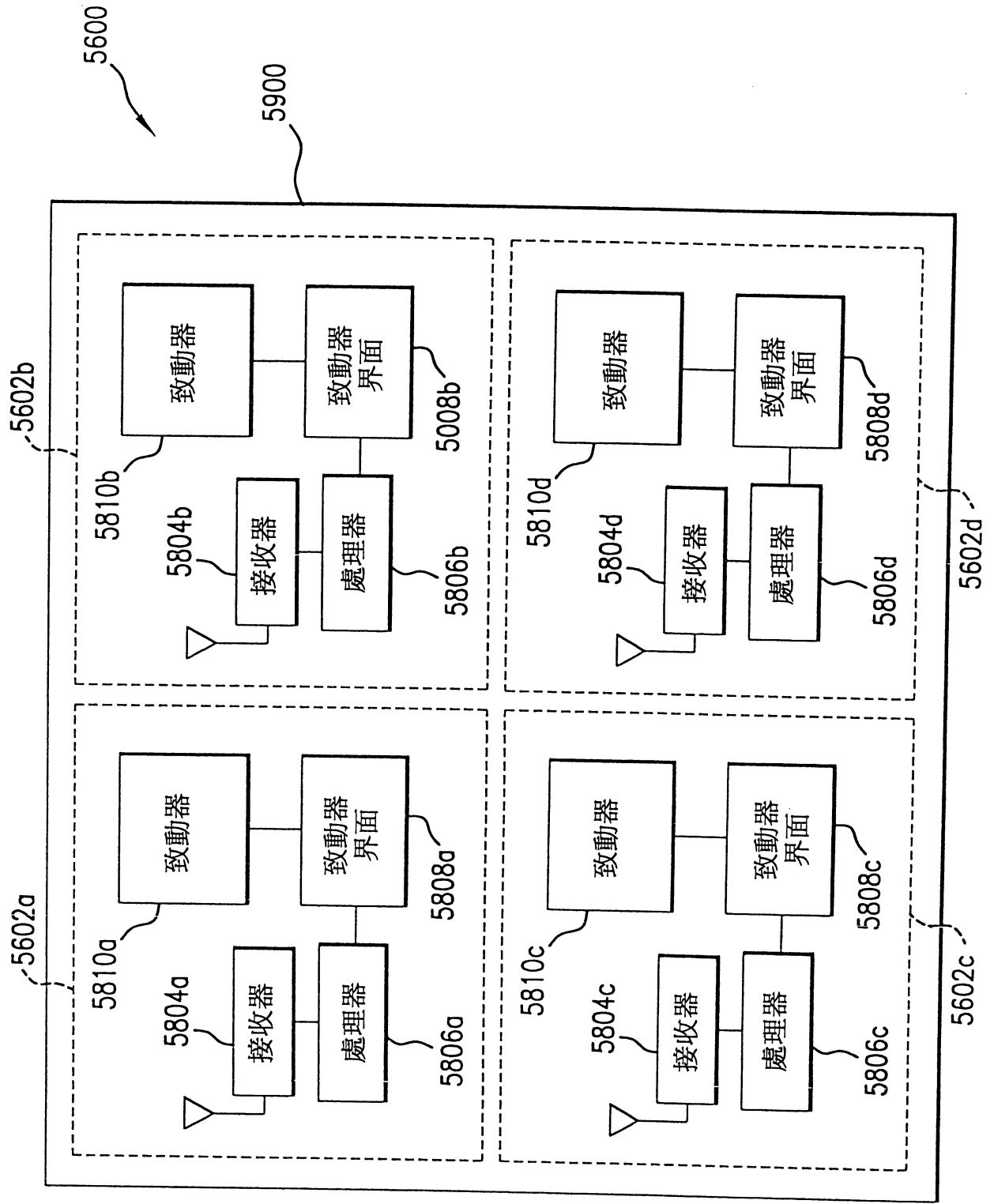
第57圖



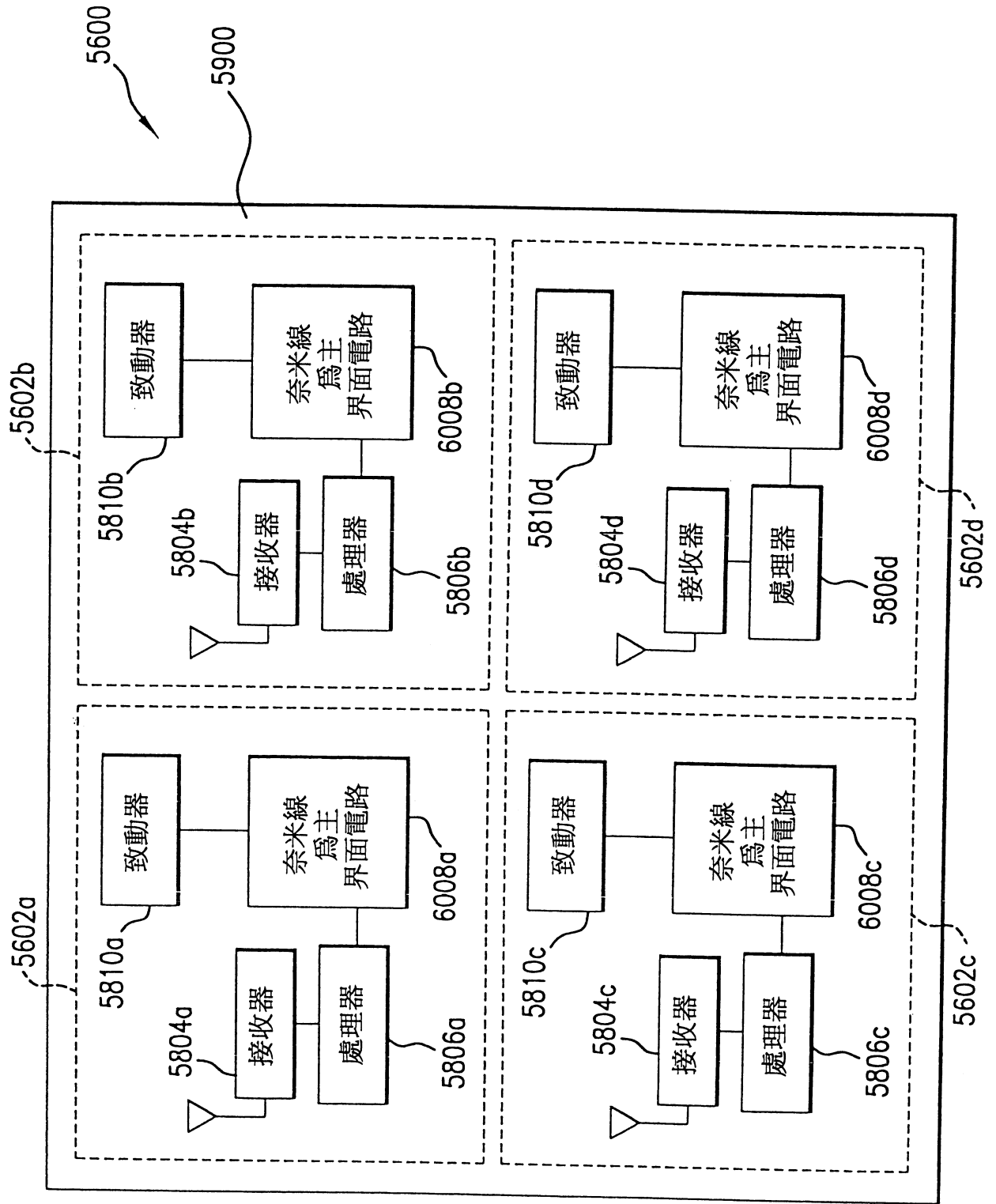
第58圖



第59圖

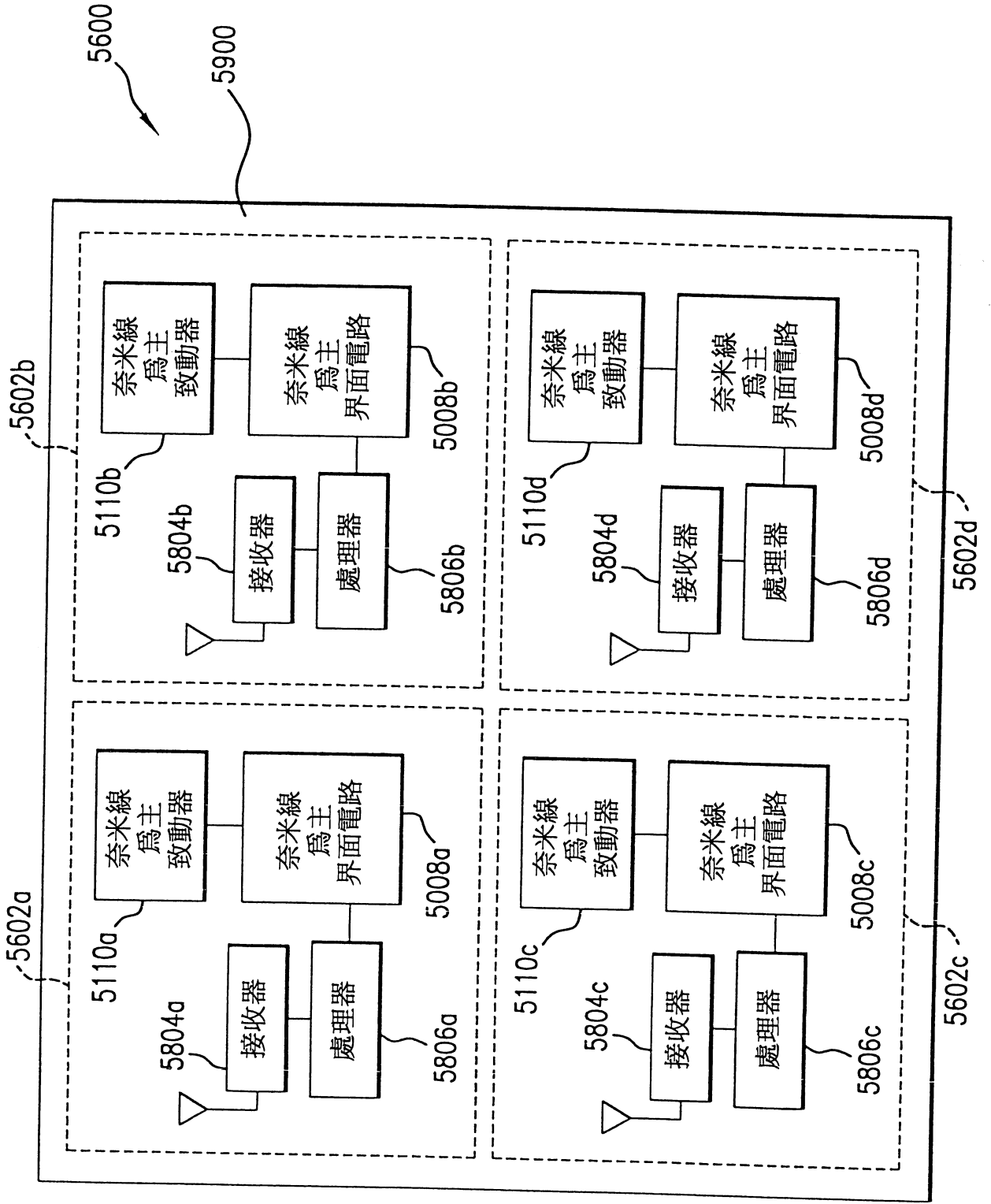


第60圖

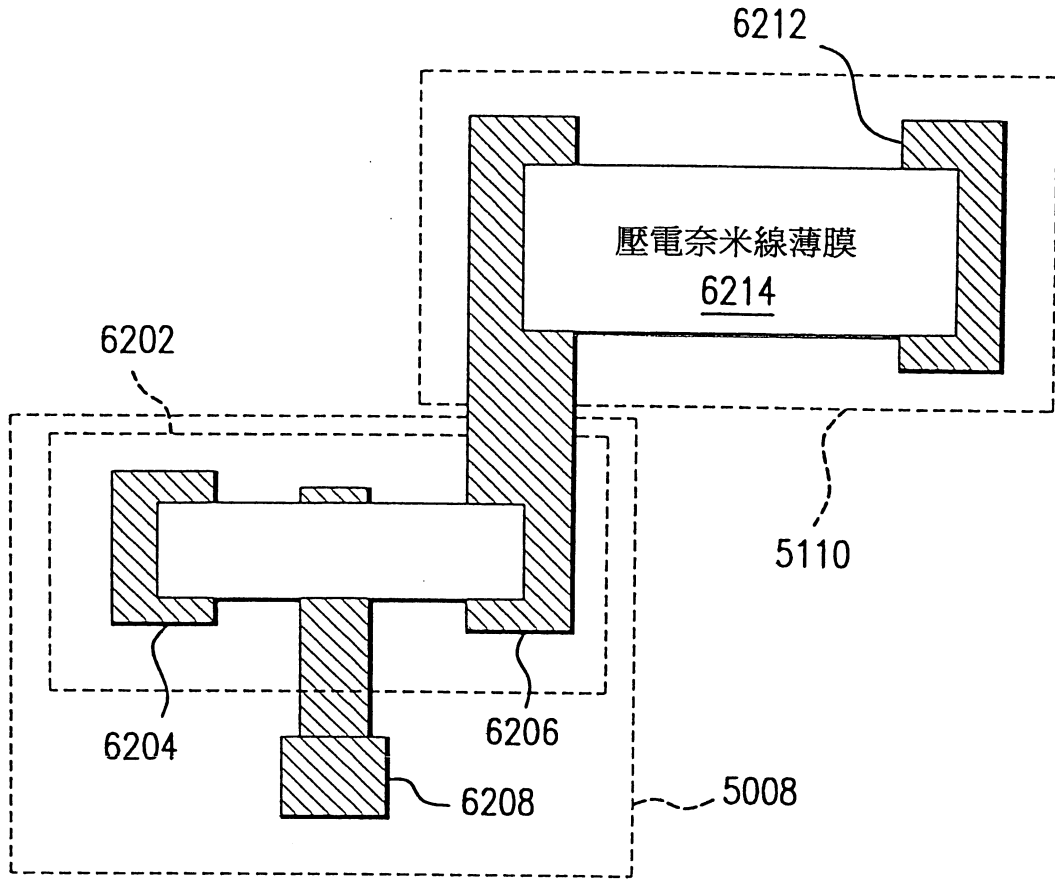




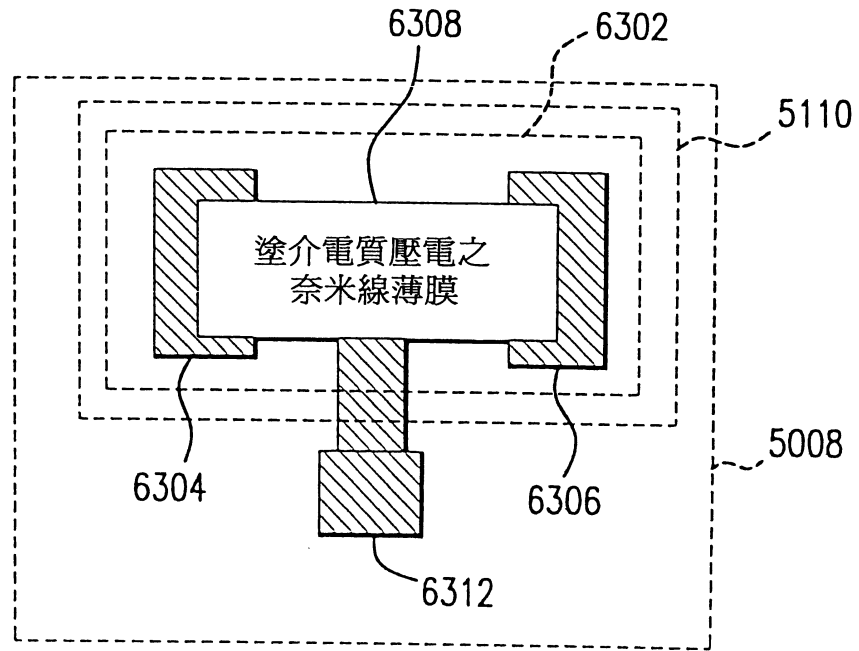
第61圖



第62圖



第63圖



柒、(一)、本案指定代表圖為：第 14 圖

(二)、本代表圖之元件代表符號簡單說明：

無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案指定代表化學式為：第      化學式