



(12) 发明专利

(10) 授权公告号 CN 111049503 B

(45) 授权公告日 2021.10.22

(21) 申请号 201911316279.3

CN 102522963 A, 2012.06.27

(22) 申请日 2019.12.19

CN 109062538 A, 2018.12.21

(65) 同一申请的已公布的文献号

CN 110069238 A, 2019.07.30

申请公布号 CN 111049503 A

CN 106019181 A, 2016.10.12

(43) 申请公布日 2020.04.21

CN 110268526 A, 2019.09.20

(73) 专利权人 中国科学院计算技术研究所

US 10447279 B1, 2019.10.15

地址 100080 北京市海淀区中关村科学院

JP 6410594 B2, 2018.10.24

南路6号

US 2003016069 A1, 2003.01.23

US 6420895 B1, 2002.07.16

(72) 发明人 张志敏 唐光明 轩伟 张阔中

轩伟等. Logic Design of a 16-bit Bit-Slice Shifter for 64-bit RSFQ

瞿佩瑶 杨佳洪

Microprocessors. 《2019 IEEE International Superconductive Electronics Conference (ISEC)》. 2019,

(74) 专利代理机构 北京律诚同业知识产权代理

南晓博, 官伯然. 超导RSFQ电路分支器和RS触发器. 《2003年全国微波毫米波会议》. 2003, 1141-1144.

有限公司 11006

代理人 祁建国

(51) Int. Cl.

H03K 3/38 (2006.01)

H03K 3/01 (2006.01)

(56) 对比文件

CN 109508303 A, 2019.03.22

方志华, 官伯然. 超导RSFQ数字逻辑电路分析. 《2001全国微波毫米波会议》. 2001, 850-852.

审查员 邱丹丹

权利要求书1页 说明书4页 附图3页

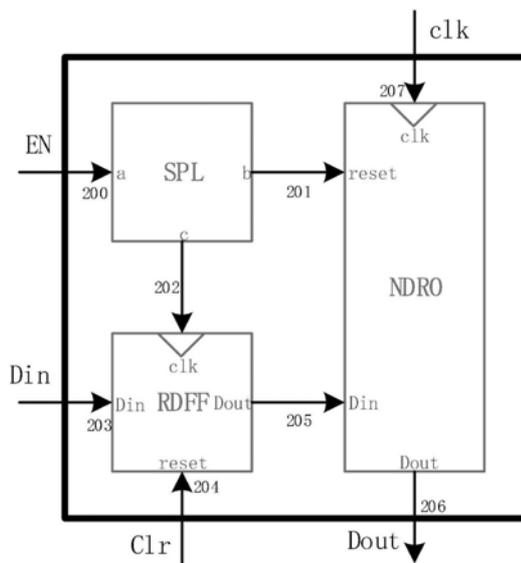
(54) 发明名称

一种超导触发器及其运行方法

(57) 摘要

本发明提出一种超导触发器及其运行方法, 包括: 磁通量子分离器件、可复位触发器和非破坏读出寄存器; 该磁通量子分离器件的输入端用于接收该超导触发器的使能信号, 该磁通量子分离器件的输出端与该非破坏读出寄存器的复位输入端相连, 该磁通量子分离器件的另一输出端与可复位触发器的时钟输入端相连; 该可复位触发器的输入端作为该超导触发器的输入端, 该可复位触发器的复位端用于接收该超导触发器的清空信号, 该可复位触发器的输出端与该非破坏读出寄存器的输入端相连; 该非破坏读出寄存器的时钟输入端作为该超导触发器的时钟输入端, 该非破坏读出寄存器的输出端作为该超导触发器的输出端。

CN 111049503 B



1. 一种超导触发器,其特征在于,包括:磁通量子分离器件、可复位触发器和非破坏读出寄存器;

该磁通量子分离器件的输入端用于接收该超导触发器的使能信号,该磁通量子分离器件的输出端与该非破坏读出寄存器的复位输入端相连,该磁通量子分离器件的另一输出端与可复位触发器的时钟输入端相连;该可复位触发器的输入端作为该超导触发器的输入端,该可复位触发器的复位端用于接收该超导触发器的清空信号,该可复位触发器的输出端与该非破坏读出寄存器的数据输入端相连;该非破坏读出寄存器的时钟输入端作为该超导触发器的时钟输入端,该非破坏读出寄存器的输出端作为该超导触发器的输出端;

其中,该使能信号到达该磁通量子分离器件的输入端的时刻是 t_{200} ,经过磁通量子分离器件时延 $t_{\text{SPL-delay}}$ 分别由该磁通量子分离器件的两个输出端输出,其中该磁通量子分离器件输出端至该非破坏读出寄存器的复位输入端的布线延迟是 t_{201} ,磁通量子分离器件的另一输出端至该可复位触发器的时钟输入端的布线延迟是 t_{202} ;

该超导触发器的输入端到达该可复位触发器输入端的时刻是 t_{203} ,该超导触发器的输入端到达该可复位触发器复位端的时刻是 t_{204} ,该可复位触发器的时延是 $t_{\text{RDFF-delay}}$,该可复位触发器的输出端至该非破坏读出寄存器的数据输入端Din的布线延迟是 t_{205} ;

该超导触发器时钟信号到达该非破坏读出寄存器时钟输入端的时刻是 t_{207} ,该非破坏读出寄存器的时延是 $t_{\text{NDRO-delay}}$,该非破坏读出寄存器的输出端至该超导触发器的输出端的布线延迟是 t_{206} ;

且信号到达该非破坏读出寄存器的复位端的时刻比信号到达该非破坏读出寄存器的信号输入端的时刻,至少早于 $t_{\text{NDRO-reset-Din}}$ 。

2. 如权利要求1所述的超导触发器,其特征在于, $t_{200}+t_{\text{SPL-delay}}+t_{201}+t_{\text{NDRO-reset-Din}} < t_{200}+t_{\text{SPL-delay}}+t_{202}+t_{\text{RDFF-delay}}+t_{205}$ 。

3. 一种如权利要求1或2所述的任意一种超导触发器的运行方法,其特征在于,包括:

步骤1、该超导触发器的清空信号到达,将该超导触发器内部的可复位触发器中数据清除;

步骤2、该超导触发器的输入端口Din接收到信号,并将其传输至其内部的可复位触发器的输入端口Din,并等待可复位触发器的输入端口clk信号的到来;

步骤3、该超导触发器的使能信号EN到达,其经过磁通量子分离器件后,分别从磁通量子分离器件的输出端口b、c输出,其中从磁通量子分离器件的输出端口b输出的信号经过布线延迟 t_{201} ,到达非破坏读出寄存器的输入端口reset,并执行清空非破坏读出寄存器内数据的操作;从磁通量子分离器件的输出端口c输出的信号经过布线延迟 t_{202} ,到达可复位触发器的输入端口clk,经时延 $t_{\text{RDFF-delay}}$,在可复位触发器的输出端口Dout输出信号,最后经布线延迟 t_{205} 到达非破坏读出寄存器的输入端口Din;

步骤4、该超导触发器的输入端口clk接收到时钟信号,经时延 $t_{\text{NDRO-delay}}$,从非破坏读出寄存器的输出端口Dout输出,最后,再经布线延迟 t_{206} 从该超导触发器的输出端口Dout输出。

一种超导触发器及其运行方法

技术领域

[0001] 本发明涉及超导快速单磁通量子技术,基于现有的超导器件CELL设计出一种超导触发器,它可高效地实现并行、同步操作。

背景技术

[0002] 超导快速单磁通量子 (RSFQ) 电路技术及其低功耗衍生物有望成为具有超低功耗和超高速计算的下一代电路技术。基于RSFQ技术的电路不同于传统的半导体电路,前者使用脉冲传输、表述信息,而后者则使用高低电平。学者们基于该RSFQ技术设计了全新的超导器件,比如AND、XOR、NOT、CB、DFF、SPL等,它们均由约瑟逊结构成。

[0003] 在进行体系结构的流水线设计时,触发器是必不可少的器件,它主要用于同步数据的处理。基于RSFQ电路技术实现的触发器基本上都如图1所示(忽略输入、输出的引脚位置及面积)。其中,100是数据输入端,101是时钟输入端,102是数据输出端。在RSFQ电路中,带时钟门的时间限制如图2所示,即需满足公式: $t_c + t_{hold} < t_{data} < t_c + t_{cycle} - t_{setup}$ 。 T_{hold} 是指保持时间, T_{setup} 是指建立时间; T_{data} 是指表示数据data的脉冲到来时刻, T_c 是指表示时钟clk的脉冲到来时刻, T_{cycle} 是指周期,也即两个脉冲时间间隔。

[0004] 但由于实际电路中布线延迟的存在,很难保证数据脉冲与时钟脉冲的同步,导致上述时间限制公式不满足,最终微处理器的功能异常。

[0005] 在进行8位超导微处理器体系结构的流水线设计时,行波流水很难实现流水线并发功能,现有的触发器未能很好的完成同步控制功能。

发明内容

[0006] 本发明的目的是解决上述现有技术无法较好的完成同步控制的问题,提出了一种超导触发器设计装置。

[0007] 针对现有技术的不足,本发明提出一种超导触发器,包括:磁通量子分离器件、可复位触发器和非破坏读出寄存器;

[0008] 该磁通量子分离器件的输入端用于接收该超导触发器的使能信号,该磁通量子分离器件的输出端与该非破坏读出寄存器的复位输入端相连,该磁通量子分离器件的另一输出端与可复位触发器的时钟输入端相连;该可复位触发器的输入端作为该超导触发器的输入端,该可复位触发器的复位端用于接收该超导触发器的清空信号,该可复位触发器的输出端与该非破坏读出寄存器的数据输入端相连;该非破坏读出寄存器的时钟输入端作为该超导触发器的时钟输入端,该非破坏读出寄存器的输出端作为该超导触发器的输出端。

[0009] 所述的超导触发器,该使能信号到达该磁通量子分离器件的输入端的时刻是 t_{200} ,经过磁通量子分离器件时延 $t_{SPL-delay}$ 分别由该磁通量子分离器件的两个输出端输出,其中该磁通量子分离器件输出端至该非破坏读出寄存器的复位输入端的布线延迟是 t_{201} ,磁通量子分离器件的另一输出端至该可复位触发器的时钟输入端的布线延时是 t_{202} ;

[0010] 该超导触发器的输入端到达该可复位触发器输入端的时刻是 t_{203} ,该超导触发器

的输入端到达该可复位触发器复位端的时刻是 t_{204} ，该可复位触发器的时延是 $t_{\text{RDFF-delay}}$ ，该可复位触发器的输出端至该非破坏读出寄存器的数据输入端Din的布线延迟是 t_{205} ；

[0011] 该超导触发器时钟信号到达该非破坏读出寄存器时钟输入端的时刻是 t_{207} ，该非破坏读出寄存器的时延是 $t_{\text{NDR0-delay}}$ ，该非破坏读出寄存器的输出端至该超导触发器的输出端的布线延迟是 t_{206} 。

[0012] 所述的超导触发器，其中信号到达该非破坏读出寄存器的复位端的时刻比信号到达该非破坏读出寄存器的信号输入端的时刻，至少早于 $t_{\text{NDR0-reset-Din}}$ 。

[0013] 所述的超导触发器，其中， $t_{200} + t_{\text{SPL-delay}} + t_{201} + t_{\text{NDR0-reset-Din}} < t_{200} + t_{\text{SPL-delay}} + t_{202} + t_{\text{RDFF-delay}} + t_{205}$ 。

[0014] 本发明还提出了一种超导触发器的运行方法，其特征在于，包括：

[0015] 步骤1、该超导触发器的清空信号到达，将该超导触发器内部的可复位触发器中数据清除；

[0016] 步骤2、该超导触发器的输入端口Din接收到信号，然后将该信息传输至其内部的可复位触发器的输入端口Din，并等待可复位触发器的输入端口clk信号的到来；

[0017] 步骤3、该超导触发器的使能信号EN到达，其经过磁通量子分离器件后，分别从磁通量子分离器件的输出端口b、c输出，其中从磁通量子分离器件的输出端口b输出的信号经过布线延迟 t_{201} ，到达非破坏读出寄存器的输入端口reset，并执行清空非破坏读出寄存器内数据的操作；从磁通量子分离器件的输出端口c输出的信号经过布线延迟 t_{202} ，到达可复位触发器的输入端口clk，经时延 $t_{\text{RDFF-delay}}$ ，在可复位触发器的输出端口Dout输出信号，最后经布线延迟 t_{205} 到达非破坏读出寄存器的输入端口Din；

[0018] 步骤4、该超导触发器的输入端口clk接收到时钟信号，经时延 $t_{\text{NDR0-delay}}$ ，从非破坏读出寄存器的输出端口Dout输出，最后，再经布线延迟 t_{206} 从该超导触发器的输出端口Dout输出。

[0019] 由以上方案可知，本发明的优点在于：本发明提出的超导触发器是由现有的超导器件组合而成，包括磁通量子分离器件Splitter (SPL)、非破坏读出寄存器Non-Destructive Read-Out (NDR0) 和可复位触发器Resettable DFF (RDFF)，新增了使能控制端口 (EN) 和清空控制端口 (Clr)，其中EN主要控制数据的输入，Clr用于清空RDFF的数据。

[0020] 本发明在现有的工艺上即可实现流水线设计所需的同步功能，同时减少了底层器件的研究开发工作难度。

附图说明

[0021] 图1为现有触发器的逻辑框图；

[0022] 图2 RSFQ门的时间限制；

[0023] 图3超导触发器的逻辑框图；

[0024] 图4基于超导触发器的四位操作逻辑框图。

具体实施方式

[0025] 图3是本发明提出的超导触发器的逻辑框图。该超导触发器由SPL、RDFF和NDR0组成。其中，SPL的输入端口a作为该超导触发器的使能输入端EN，SPL的输出端口b作为NDR0的

输入端口reset,SPL的输出端口c作为RDFF的输入端口clk;RDFF的输入端口Din作为该超导触发器的输入端口Din,RDFF的输入端口reset作为该超导触发器的输入端口Clr,RDFF的输出端口Dout作为NDRO的输入端口Din;NDRO的输入端口clk作为该超导触发器的输入端口clk,接受来自时钟发生器的时钟,NDRO的输出端口Dout作为该超导触发器的输出端口Dout,该超导触发器可以与任何其他CELL的输入相连,只要需要该超导触发器的功能。

[0026] 为确保该超导触发器的正常工作,需满足一定的时间限制。假定该超导触发器EN信号到达SPL的输入端口a的时刻是 t_{200} ,然后经过SPL时延 $t_{\text{SPL-delay}}$ 分别由输出端口a、b输出,其中SPL输出端口b至NDRO的输入端口reset的布线延迟是 t_{201} ,SPL输出端口c至RDFF的输入端口clk的布线延迟是 t_{202} ;该超导触发器的输入端口Din到达RDFF输入端口Din的时刻是 t_{203} ,该超导触发器的输入端口Clr到达RDFF输入端口reset的时刻是 t_{204} ,该RDFF的时延是 $t_{\text{RDFF-delay}}$,RDFF的输出端口至NDRO的数据输入端口Din的布线延迟是 t_{205} ;该超导触发器clk信号到达NDRO的输入端口clk的时刻是 t_{207} ,该NDRO的时延是 $t_{\text{NDRO-delay}}$,NDRO的输出端口Dout至该超导触发器的输出端口的布线延迟是 t_{206} 。因为RSFQ电路制作工艺的限制,信号到达NDRO的输入端口reset的时刻应比信号到达NDRO的输入端口Din的时刻,至少应早于 $t_{\text{NDRO-reset-Din}}$,也即

[0027] $t_{200} + t_{\text{SPL-delay}} + t_{201} + t_{\text{NDRO-reset-Din}}$

[0028] $< t_{200} + t_{\text{SPL-delay}} + t_{202} + t_{\text{RDFF-delay}} + t_{205}$

[0029] 本发明的工作原理可用以下步骤来描述:

[0030] 步骤1该超导触发器的清空信号Clr到达,此时,会将该超导触发器内部的RDFF中数据清除。

[0031] 步骤2该超导触发器的输入端口Din接收到信号,然后将该信息传输至其内部的RDFF的输入端口Din,并等待RDFF的输入端口clk信号的到来。

[0032] 步骤3该超导触发器的使能信号EN到达,其经过SPL后,分别从SPL的输出端口b、c输出。其中,从SPL的输出端口b输出的信号经过布线延迟 t_{201} ,到达NDRO的输入端口reset,并执行清空NDRO内数据的操作;从SPL的输出端口c输出的信号经过布线延迟 t_{202} ,到达RDFF的输入端口clk,经时延 $t_{\text{RDFF-delay}}$,在RDFF的输出端口Dout输出信号,最后经布线延迟 t_{205} 到达NDRO的输入端口Din。

[0033] 步骤4该超导触发器的输入端口clk接收到时钟信号,经时延 $t_{\text{NDRO-delay}}$,从NDRO的输出端口Dout输出,最后,再经布线延迟 t_{206} 从该超导触发器的输出端口Dout输出。

[0034] 下面举例详细说明其操作过程:

[0035] 假设该例是基于超导触发器的四位操作,如图4所示。

[0036] 步骤1清空信号gClr有效时,该图中的4个超导触发器接收到信号后,均会使各个超导触发器内部的RDFF中的内容清空。

[0037] 步骤2输入信号Din0、Din1、Din2和Din3有效时,该图中的4个超导触发器接收到信号后,均会到达各个超导触发器内部的RDFF的输入端口Din,并等待RDFF的输入端口clk的到来。

[0038] 步骤3使能信号gEN有效时,该图中的4个超导触发器接收到信号后,均会先经过SPL。其中,从SPL的输出端口b输出的信号传输至NDRO的输入端口reset,执行清空操作;从SPL的输出端口c输出的信号传输至RDFF的输入端口clk,然后,经过时延 $t_{\text{RDFF-delay}}$ 从RDFF的

输出端口Dout输出,再传输至NDRO的输入端口Din,并等待NDRO的输入端口clk的到来。

[0039] 步骤4时钟信号gclk有效时,该图中的4个超导触发器接收到信号后,经过时延 $t_{\text{NDRO-delay}}$ 后,分别从各个超导触发器的输出端口Dout输出Dout0、Dout1、Dout2和Dout3。

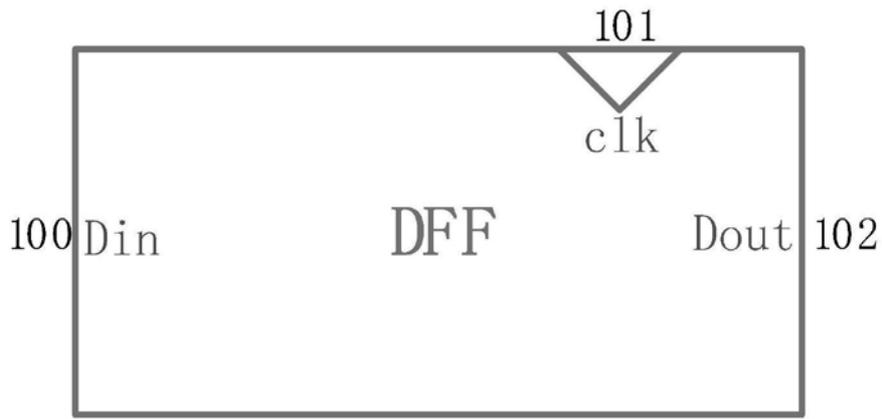


图1

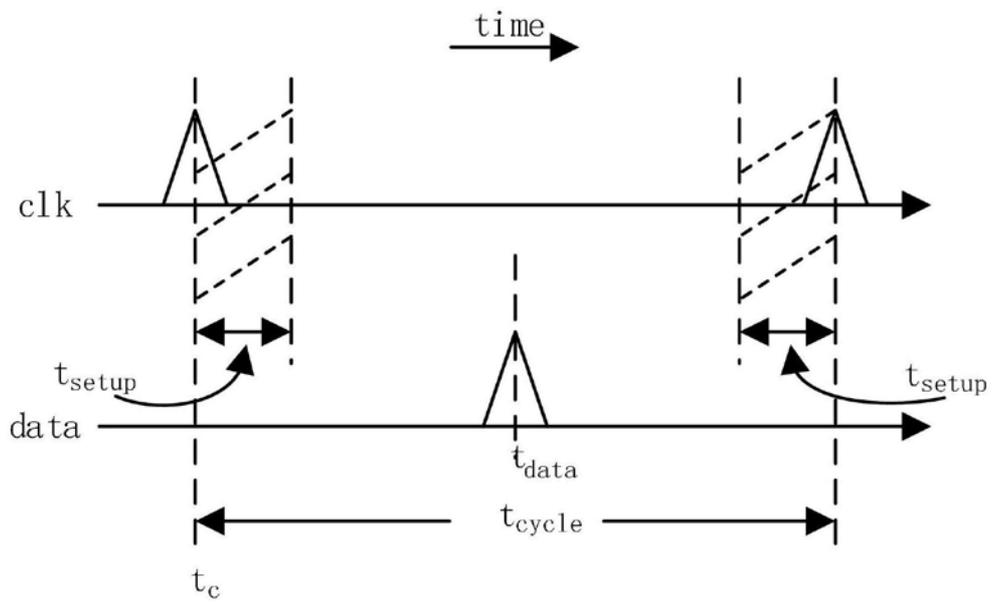


图2

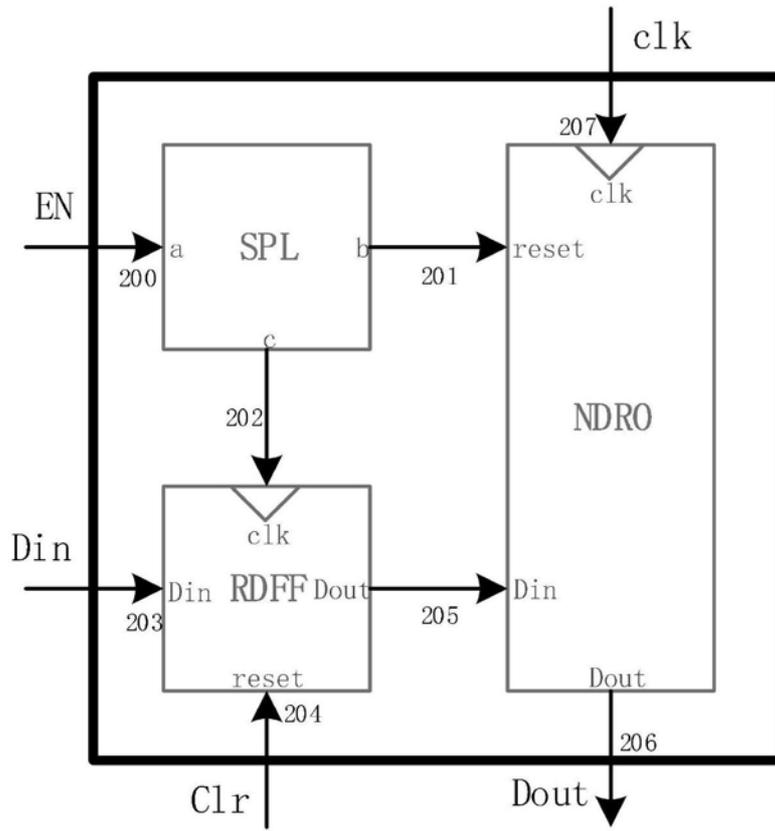


图3

