

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年10月10日(10.10.2024)



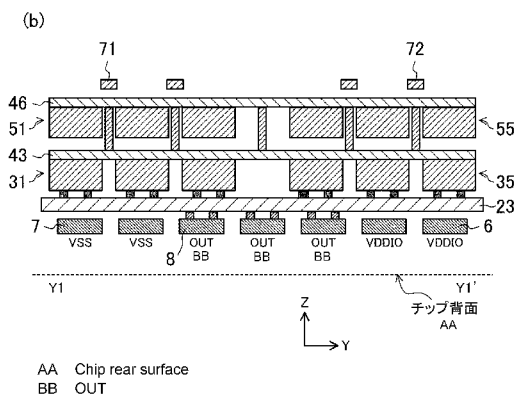
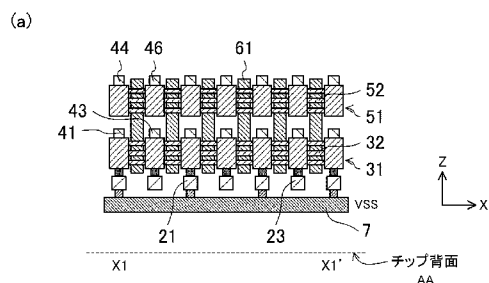
(10) 国際公開番号

WO 2024/210011 A1

- (51) 国際特許分類:  
H01L 27/04 (2006.01) H01L 27/092 (2006.01)  
H01L 21/8238 (2006.01) H01L 29/786 (2006.01)  
H01L 27/088 (2006.01)
- (21) 国際出願番号: PCT/JP2024/012187
- (22) 国際出願日: 2024年3月27日(27.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-061427 2023年4月5日(05.04.2023) JP
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:祖父江 功弥(SOBUE Isaya); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: OUTPUT CIRCUIT

(54) 発明の名称: 出力回路



(57) Abstract: In an output circuit of a semiconductor integrated circuit device, an output transistor unit (11) provided with a transistor (N1) connected between VSS and an output terminal (OUT) is provided with active regions (31, 51) that overlap in plan view. Power supply wiring (21) and output wiring (23) are disposed on a wiring layer on the rear-surface side so as to overlap the active regions (31, 51) in plan view. The power supply wiring (21) is connected to the lower surface of a portion serving as the source of the active region (31) via a via, and the output wiring (23) is connected to the lower surface of a portion serving as the drain of the active region (31) via a via.

(57) 要約: 半導体集積回路装置の出力回路において、VSSと出力端子(OUT)との間に接続されたトランジスタ(N1)を備える出力トランジスタ部(11)は、平面視で重なるアクティブ領域(31, 51)を備える。電源配線(21)および出力配線(23)は、背面側の配線層に、アクティブ領域(31, 51)と平面視で重なるように配置されている。電源配線(21)は、アクティブ領域(31)のソースとなる部分の下面にビアを介して接続されており、出力配線(23)は、アクティブ領域(31)のドレインとなる部分の下面にビアを介して接続されている。

WO 2024/210011 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,  
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,  
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,  
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,  
SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

## 明 細 書

**発明の名称**：出力回路

### 技術分野

[0001] 本開示は、半導体集積回路装置に関するものであり、特に、出力回路のレイアウト構造に関する。

### 背景技術

[0002] 半導体集積回路装置は、入出力パッドを介して外部との信号の入出力を行う入出力回路を備える。入出力回路における出力回路については、大電流を流すために、そのレイアウト構造に十分な注意が必要である。

[0003] 特許文献1では、半導体集積回路装置の高集積化のために、トランジスタを積層し、さらにトランジスタの直下に配線を設ける構成が提案されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：米国公開公報2022/0123023（図2A）

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、特許文献1には、トランジスタを積層し、さらにトランジスタの直下に配線を設ける構成において、入出力回路における出力回路のように大電流を流す回路に関する具体的なレイアウト構造の開示はない。

[0006] 本開示は、トランジスタを積層し、さらにトランジスタの直下に配線を設ける構成を備える半導体集積回路装置において、出力端子に大電流を流すことができる出力回路を実現することを目的とする。

#### 課題を解決するための手段

[0007] 本開示の第1態様では、半導体集積回路から信号を出力するための出力回路は、第1電源電圧を供給する第1電源と、出力端子との間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、前記第

1 電源電圧を供給する第1電源配線と、前記出力端子に接続された出力配線とを備え、前記第1出力トランジスタ部は、前記第1トランジスタのチャンネル、ソースおよびドレインを構成する第1アクティブ領域と、前記第1トランジスタのチャンネル、ソースおよびドレインを構成しており、前記第1アクティブ領域の上層に形成され、前記第1アクティブ領域と平面視で重なっている第2アクティブ領域とを備え、前記第1電源配線は、前記第1トランジスタの背面側に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、前記出力配線は、前記第1電源配線と同一の配線層に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の下面に、ビアを介して接続されている。

[0008] この態様によると、出力回路において、第1電源と出力端子との間に接続された第1トランジスタを備える第1出力トランジスタ部は、第1および第2アクティブ領域を備えている。第1および第2アクティブ領域は、平面視で重なっており、第1トランジスタを構成する。第1電源配線および出力配線は、第1トランジスタの背面側の配線層に、第1および第2アクティブ領域と平面視で重なるように配置されている。第1電源配線は、第1アクティブ領域における第1トランジスタのソースとなる部分の下面にビアを介して接続されており、出力配線は、第1アクティブ領域における第1トランジスタのドレインとなる部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる出力回路を実現することができる。

[0009] 本開示の第2態様では、半導体集積回路から信号を出力するための出力回路は、第1電源電圧を供給する第1電源と、出力端子との間に、直列に接続された第1導電型の第1および第2トランジスタを備える、第1出力トランジスタ部と、前記第1電源電圧を供給する第1電源配線と、前記出力端子に

接続された出力配線とを備え、前記第1出力トランジスタ部は、第1アクティブ領域と、前記第1アクティブ領域の上層に形成されており、前記第1アクティブ領域と平面視で重なっている第2アクティブ領域とを備え、前記第1および第2アクティブ領域の少なくとも一方が、前記第1および第2トランジスタのチャンネル、ソースおよびドレインを構成しており、前記第1電源配線は、前記第1および第2トランジスタの背面側に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、前記出力配線は、前記第1電源配線と同一の配線層に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第2トランジスタのドレインとなる部分の下面に、ビアを介して接続されている。

[0010] この態様によると、出力回路において、第1電源と出力端子との間に直列に接続された第1および第2トランジスタを備える第1出力トランジスタ部は、第1および第2アクティブ領域を備えている。第1および第2アクティブ領域は、平面視で重なっており、少なくとも一方が第1および第2トランジスタを構成する。第1電源配線および第1出力配線は、第1および第2トランジスタの背面側の配線層に、第1および第2アクティブ領域と平面視で重なるように配置されている。第1電源配線は、第1アクティブ領域における第1トランジスタのソースとなる部分の下面にビアを介して接続されており、出力配線は、第1アクティブ領域における第2トランジスタのドレインとなる部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる出力回路を実現することができる。

### 発明の効果

[0011] 本開示によると、トランジスタを積層し、さらにトランジスタの直下に配線を設ける構成を備える半導体集積回路装置において、出力端子に大電流を流すことができる出力回路を実現することができる。

## 図面の簡単な説明

- [0012] [図1]実施形態に係る半導体集積回路装置の全体構成  
[図2] I Oセルの簡易構成図  
[図3]第1実施形態における出力回路の回路図  
[図4]第1実施形態における I Oセルのレイアウトを示す平面図  
[図5]第1実施形態における I Oセルのレイアウトを示す平面図  
[図6]第1実施形態における I Oセルのレイアウトを示す平面図  
[図7] (a) , (b) は図4～図6のレイアウトの断面構造  
[図8] (a) は半導体集積回路装置の他の構成例、(b) は断面構造  
[図9]変形例に係る断面構造  
[図10]第2実施形態における出力回路の回路図  
[図11]第2実施形態における I Oセルのレイアウトを示す平面図  
[図12]第2実施形態における I Oセルのレイアウトを示す平面図  
[図13]第2実施形態における I Oセルのレイアウトを示す平面図

## 発明を実施するための形態

- [0013] 以下、実施の形態について、図面を参照して説明する。以下の説明では、「VSS」「VDD I O」は、電源自体、または電源電圧の両方を示すものとする。また、「OUT」は出力端子、または、出力信号の両方を示すものとする。

- [0014] (第1実施形態)

図1は実施形態に係る半導体集積回路装置(半導体チップ)の全体構成を模式的に示す平面図である。図1では、図面横方向をX方向とし、図面縦方向をY方向としている(以降の図も同様)。図1に示す半導体集積回路装置1は、内部コア回路が形成されたコア領域2と、コア領域2の周囲に設けられ、インターフェース回路(I O回路)が形成された I O領域3とを備えている。 I O領域3には、半導体集積回路装置1の周辺部においてコア領域2を囲むように、 I Oセル列5が設けられている。図1では図示を簡略化しているが、 I Oセル列5には、インターフェース回路を構成する複数の I Oセ

ル10が並んでいる。

[0015] ここで、IOセル10は、信号の入力、出力または入出力を行う信号IOセル、接地電位（電源電圧VSS）を供給するための電源IOセル、主にIO領域3に向けて電源（電源電圧VDDIO）を供給するための電源IOセルを含む。例えば、VDDIOは1.8Vである。図1では、コア領域2の図面上側に、信号入出力用のIOセル10Aが配置されている。

[0016] IO領域3には、IOセル10が並ぶ方向に延びる電源配線6, 7が設けられている。電源配線6, 7は、半導体集積回路装置1の周辺部にリング状に形成されている（リング電源配線ともいう）。電源配線6は、VDDIOを供給し、電源配線7はVSSを供給する。本実施形態では、電源配線6, 7は、トランジスタが形成される半導体チップの背面側にある配線層に形成されている。図1では図示を省略しているが、半導体集積回路装置1には、複数の外部接続パッドが配置されている。本実施形態では、複数の外部接続パッドは、半導体チップの背面側に設けられている。

[0017] 図2はIOセル10Aの簡易構成図である。図2に示すように、IOセル10Aには、X方向に延びる電源配線6, 7が配置されている。そしてIOセル10Aにおいて、電源配線7の上にN導電型出力トランジスタ部11が設けられ、電源配線6の上にP導電型出力トランジスタ部12が設けられている。N導電型出力トランジスタ部11、P導電型出力トランジスタ部12は、IOセル10Aにおいて、チップ外側よりの位置に設けられている。

[0018] 図3は本実施形態における出力回路の回路図である。本実施形態では、図2のIOセル10Aは、図3に示す出力回路を備える。図3の出力回路では、電源VDDIOと出力端子OUT（出力信号OUTを出力する）との間に、P導電型（以下、適宜、P型という）のトランジスタP1が設けられており、電源VSSと出力端子OUTとの間に、N導電型（以下、適宜、N型という）のトランジスタN1が設けられている。出力制御回路20は出力制御信号INP, INNを出力する。トランジスタP1はゲートに出力制御信号INPを受け、トランジスタN1はゲートに出力制御信号INNを受ける。

出力信号OUTは、外部接続パッドに供給される。出力制御信号INP, INNがローレベルのとき、出力信号OUTはハイレベル(VDDIO)になり、出力制御信号INP, INNがハイレベルのとき、出力信号OUTはローレベル(VSS)になる。

[0019] 本実施形態では、出力回路を構成するトランジスタは、トランジスタを積層する構造であるCFET (Complementary Field Effect Transistor) によって実現される。そして、CFETの背面に、配線層が設けられている。

[0020] 図4、図5および図6は本実施形態における、図2に示すIOセルIOAにおける出力トランジスタ部のレイアウトを示す平面図である。図4、図5および図6は、レイアウトを層別に分けて示している。図4は背面配線の構成を示し、図5は下部トランジスタ(図では「下部Tr.」と表記)の構成を示し、図6は上部トランジスタ(図では「上部Tr.」と表記)の構成を示す。図7は図4~図6のレイアウトの断面構造を示す断面図であり、(a)は線X1-X1'の断面構造、(b)は線Y1-Y1'の断面構造を示す。なお、基板面に垂直な方向をZ方向としている。

[0021] 図4~図6において、図面上側の部分が、トランジスタN1を構成するN導電型出力トランジスタ部11に相当し、図面下側の部分が、トランジスタP1を構成するP導電型出力トランジスタ部12に相当する。N導電型出力トランジスタ部11およびP導電型出力トランジスタ部12には、ナノシートFET (Field Effect Transistor) が形成されている。

[0022] N導電型出力トランジスタ部11は、下部トランジスタを構成する下層アクティブ領域31と、上部トランジスタを構成する上層アクティブ領域51とを備える。同様に、P導電型出力トランジスタ部12は、下部トランジスタを構成する下層アクティブ領域35と、上部トランジスタを構成する上層アクティブ領域55とを備える。アクティブ領域とは、トランジスタのチャネル、ソースおよびドレインを構成するものである。ナノシートFETを構成するアクティブ領域は、チャネルとしてナノシートを有している。アクティブ領域について、ナノシートの両側にあるソースおよびドレインとなる部



分は、例えば、当該ナノシートからエピタキシャル成長によって形成される。

[0023] 半導体チップの背面に、複数のパッド電極（図示せず）が設けられている。電源電圧VDDIO、VSSは、半導体チップの外部からパッド電極を介して供給される。また、出力信号OUTは、パッド電極を介して半導体チップの外部に接続される。

[0024] トランジスタが形成される半導体チップの背面に、配線層として、BM0（Backside metal 0）層およびBM1（Backside Metal 1）層が設けられている。BM1層は、BM0層の下層、すなわち、トランジスタからみて遠い方にある。

[0025] 図4に示すように、BM1層において、図2に示す電源配線6、7が形成されている。VDDIOを供給する電源配線6（図4では2本）はP導電型出力トランジスタ部12の下に設けられており、VSSを供給する電源配線7（図4では2本）はN導電型出力トランジスタ部11の下に設けられている。また、電源配線6と電源配線7との間に、出力信号OUTを伝送する出力配線8（図4では3本）が、X方向に延びるように配置されている。電源配線6、7および出力配線8は、製造プロセスの制約上における最小間隔をもって配置されている。

[0026] BM0層において、Y方向に延びる配線が形成されている。VSSを供給する電源配線21は、N導電型出力トランジスタ部11の下に設けられており、BM1層における電源配線7と平面視で重なっている。電源配線21と電源配線7は、ビアを介して接続されている。VDDIOを供給する電源配線22は、P導電型出力トランジスタ部12の下に設けられており、BM1層における電源配線6と平面視で重なっている。電源配線22と電源配線6は、ビアを介して接続されている。出力信号OUTを伝送する出力配線23は、N導電型出力トランジスタ部11およびP導電型出力トランジスタ部12の下に設けられており、BM1層における出力配線8と平面視で重なっている。出力配線23と出力配線8は、ビアを介して接続されている。

- [0027] N導電型出力トランジスタ部11において、下部トランジスタの構成部分に、トランジスタN1のチャンネル、ソースおよびドレインを構成するアクティブ領域31が、形成されている。図5では、アクティブ領域31は3個形成されており、各アクティブ領域31は6個のナノシート32を備えている。アクティブ領域31において、トランジスタN1のソースとなる部分は、ビアを介して、VSSを供給する電源配線21と接続されている。アクティブ領域31において、トランジスタN1のドレインとなる部分は、ビアを介して、出力配線23と接続されている。
- [0028] P導電型出力トランジスタ部12において、下部トランジスタの構成部分に、トランジスタP1のチャンネル、ソースおよびドレインを構成するアクティブ領域35が、形成されている。図5では、アクティブ領域35は3個形成されており、各アクティブ領域35は6個のナノシート36を備えている。アクティブ領域35において、トランジスタP1のソースとなる部分は、ビアを介して、VDDIOを供給する電源配線22と接続されている。アクティブ領域35において、トランジスタP1のドレインとなる部分は、ビアを介して、出力配線23と接続されている。
- [0029] N導電型出力トランジスタ部11において、アクティブ領域31においてトランジスタN1のソースとなる部分の上面に、Y方向に延びるローカル配線41が配置されている。P導電型出力トランジスタ部12において、アクティブ領域35においてトランジスタP1のソースとなる部分の上面に、Y方向に延びるローカル配線42が配置されている。また、N導電型出力トランジスタ部11からP導電型出力トランジスタ部12にかけて、アクティブ領域31においてトランジスタN1のドレインとなる部分、および、アクティブ領域35においてトランジスタP1のドレインとなる部分の上面に、Y方向に延びるローカル配線43が配置されている。
- [0030] N導電型出力トランジスタ部11において、上部トランジスタの構成部分に、トランジスタN1のチャンネル、ソースおよびドレインを構成するアクティブ領域51が、形成されている。図6では、アクティブ領域51は3個形

成されており、各アクティブ領域5 1は6個のナノシート5 2を備えている。

[0031] P導電型出力トランジスタ部1 2において、上部トランジスタの構成部分に、トランジスタP 1のチャネル、ソースおよびドレインを構成するアクティブ領域5 5が、形成されている。図6では、アクティブ領域5 5は3個形成されており、各アクティブ領域5 5は6個のナノシート5 6を備えている。

[0032] N導電型出力トランジスタ部1 1において、Y方向およびZ方向に延びるゲート配線6 1が形成されている。ゲート配線6 1は、アクティブ領域3 1が有するナノシート3 2、および、アクティブ領域5 1が有するナノシート5 2のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ゲート配線6 1は、トランジスタN 1のゲートに対応する。

[0033] P導電型出力トランジスタ部1 2において、Y方向およびZ方向に延びるゲート配線6 5が形成されている。ゲート配線6 5は、アクティブ領域3 5が有するナノシート3 6、および、アクティブ領域5 5が有するナノシート5 6のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ゲート配線6 5は、トランジスタP 1のゲートに対応する。

[0034] N導電型出力トランジスタ部1 1において、アクティブ領域5 1においてトランジスタN 1のソースとなる部分の上面に、Y方向に延びるローカル配線4 4が配置されている。P導電型出力トランジスタ部1 2において、アクティブ領域5 5においてトランジスタP 1のソースとなる部分の上面に、Y方向に延びるローカル配線4 5が配置されている。また、N導電型出力トランジスタ部1 1からP導電型出力トランジスタ部1 2にかけて、アクティブ領域5 1においてトランジスタN 1のドレインとなる部分、および、アクティブ領域5 5においてトランジスタP 1のドレインとなる部分の上面に、Y方向に延びるローカル配線4 6が配置されている。

- [0035] 平面視で重なるローカル配線4 1とローカル配線4 4とは、ビアを介して接続されている。すなわち、アクティブ領域3 1, 5 1においてトランジスタN 1のソースとなる部分が、接続されている。平面視で重なるローカル配線4 2とローカル配線4 5とは、ビアを介して接続されている。すなわち、アクティブ領域3 5, 5 5においてトランジスタP 1のソースとなる部分が、接続されている。平面視で重なるローカル配線4 3とローカル配線4 6とは、ビアを介して接続されている。すなわち、アクティブ領域3 1, 5 1においてトランジスタN 1のドレインとなる部分と、アクティブ領域3 5, 5 5においてトランジスタP 1のドレインとなる部分とが、接続されている。
- [0036] ローカル配線層の上層にあるメタル配線層であるM 0配線層において、X方向に延びるメタル配線7 1, 7 2が形成されている。メタル配線7 1（図6では2本）は、ゲート配線6 1にビアを介して接続されている。メタル配線7 2（図6では2本）は、ゲート配線6 5にビアを介して接続されている。メタル配線7 1は、出力制御信号I N Nを伝送する配線であり、メタル配線7 2は、出力制御信号I N Pを伝送する配線である。
- [0037] 以上のような構成によると、半導体チップの背面に形成される配線は、V D D I Oを供給する電源配線6, 2 2、V S Sを供給する電源配線7, 2 1、および、出力信号O U Tを伝送する出力配線8, 2 3のみである。そして、B M 1層では、電源配線6, 7および出力配線8が最大限に敷設されている。これにより、出力回路は大電流を流すことができる。
- [0038] また、下部トランジスタのアクティブ領域3 1, 3 5は、背面配線から、ビアのみを介して接続されている。これにより、抵抗値を削減することができるので、出力回路は大電流を流すことができる。
- [0039] また、N導電型出力トランジスタ部1 1では、上部トランジスタおよび下部トランジスタの両方とも、N型トランジスタを構成している。P導電型出力トランジスタ部1 2では、上部トランジスタおよび下部トランジスタの両方とも、P型トランジスタを構成している。これにより、出力回路から流れる電流を大きくすることができる。

- [0040] すなわち、本実施形態では、電源VSSと出力端子OUTとの間に接続されたトランジスタN1を備えるN導電型出力トランジスタ部11は、アクティブ領域31, 51を備えている。アクティブ領域31, 51は、平面視で重なっており、トランジスタN1を構成する。電源配線21および出力配線23は、トランジスタN1の背面側の配線層に、アクティブ領域31, 51と平面視で重なるように配置されている。電源配線21は、アクティブ領域31におけるトランジスタN1のソースとなる部分の下面にビアを介して接続されており、出力配線23は、アクティブ領域31におけるトランジスタN1のドレインとなる部分の下面にビアを介して接続されている。
- [0041] また、電源VDDと出力端子OUTとの間に接続されたトランジスタP1を備えるP導電型出力トランジスタ部12は、アクティブ領域35, 55を備えている。アクティブ領域35, 55は、平面視で重なっており、トランジスタP1を構成する。電源配線22および出力配線23は、トランジスタP1の背面側の配線層に、アクティブ領域35, 55と平面視で重なるように配置されている。電源配線22は、アクティブ領域35におけるトランジスタP1のソースとなる部分の下面にビアを介して接続されており、出力配線23は、アクティブ領域35におけるトランジスタP1のドレインとなる部分の下面にビアを介して接続されている。
- [0042] このような構成によって、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる出力回路を実現することができる。
- [0043] なお、電源配線6, 7, 21, 22および出力配線8, 23は、半導体チップの背面に設けられた配線層に形成されるものとしたが、これに限られるものではない。本開示において、電源配線および出力配線は、トランジスタの背面側に形成されていればよい。トランジスタの背面側とは、トランジスタに対して、トランジスタに接続されるローカル配線やメタル配線等が積層される側とは反対側のことをいう。
- [0044] また、電源配線6, 7, 21, 22および出力配線8, 23は、複数の配線層において形成されていてもよい。

[0045] さらに、BM1層よりもさらに下層に配線層を設けて、背面配線を形成してもよい。この場合、例えば、BM2層ではY方向、BM3層ではX方向、というように各配線層における配線方向は交互にすることが好ましい。

[0046] (他の構成例)

上述した、トランジスタの背面側に形成された電源配線および出力配線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。

[0047] 図8(a)は実施形態に係る半導体集積回路装置の他の構成例である。図8(a)に示す半導体集積回路装置100は、第1半導体チップ101(チップA)と、第2半導体チップ102(チップB)とが、積層されることによって構成されている。チップAは、上述したI/Oセルや、スタンダードセル等が配置されている。チップBは、表面に設けられた配線層に電源配線および出力配線が形成されている。チップBは、チップAの背面側に、 bumps等を用いて張り合わされている。

[0048] 図8(b)は本構成例における、図4~図6に示す出力回路の線Y1-Y1'の断面を示す。図8(b)に示すように、上述の実施形態においてBM0層およびBM1層に形成されていた電源配線および出力配線が、チップBの表面に設けられた配線層に、形成されている。

[0049] この構成例によっても、上述した出力回路と同様の作用効果を得ることができる。なお、本構成例においても、電源配線および出力配線は、複数の配線層において形成されていてもよい。また、本構成例では、BM1層よりもさらに下層の電源配線についても、チップBに形成される。

[0050] (変形例)

図9は変形例に係る出力回路における線Y1-Y1'の断面の構成を示す。図9の構成では、上部トランジスタのアクティブ領域51, 55の下部が、ビアを介して、下部トランジスタのアクティブ領域31, 35の上面に形成されたローカル配線43と接続されている。また図示は省略しているが、同様に、下部トランジスタのアクティブ領域31の上面に形成されたローカ

ル配線41は、ビアを介して、上部トランジスタのアクティブ領域51の下部に接続される。下部トランジスタのアクティブ領域35の上面に形成されたローカル配線42は、ビアを介して、上部トランジスタのアクティブ領域55の下部に接続される。また、上部トランジスタのアクティブ領域51, 55の上面には、ローカル配線は形成されていない。ただし、アクティブ領域51, 55の上面にローカル配線が形成されていてもよい。

[0051] このような構成により、上部トランジスタへの経路における抵抗値を抑制することができるので、出力回路はより大きな電流を流すことができる。

[0052] さらには、下部トランジスタのアクティブ領域31, 35の上面にもローカル配線を形成しないで、アクティブ領域31の上面とアクティブ領域51の下面を、ビアを介して接続し、アクティブ領域35の上面とアクティブ領域55の下面を、ビアを介して接続するようにしてもよい。

[0053] (第2実施形態)

図10は第2実施形態における出力回路の回路図である。本実施形態では、図2に示すIOセル10Aは、図10に示す出力回路を備える。図10の出力回路では、電源VDDIOと出力端子OUTとの間に、P型トランジスタP21, P22が直列に設けられており、電源VSSと出力端子OUTとの間に、N型トランジスタN21, N22が直列に配置されている。出力制御回路20Aは出力制御信号INP1, INP2, INN1, INN2を出力する。トランジスタP21はゲートに出力制御信号INP1を受け、トランジスタP22はゲートに出力制御信号INP2を受ける。トランジスタN21はゲートに出力制御信号INN1を受け、トランジスタN22はゲートに出力制御信号INN2を受ける。そして、出力信号OUTは、外部接続パッドに供給される。出力制御信号INP1, INP2, INN1, INN2がローレベルのとき、出力信号OUTはハイレベル(VDDIO)になり、出力制御信号INP1, INP2, INN1, INN2がハイレベルのとき、出力信号OUTはローレベル(VSS)になる。なお、出力制御信号INP1, INP2の一方が固定電位(VSS)であり、出力制御信号INN1

, INN2の一方が固定電位(VDDIO)であってもよい。

[0054] 図11、図12および図13は本実施形態における、図2に示すIOセル10Aにおける出力トランジスタ部のレイアウトを示す平面図である。図11、図12および図13は、レイアウトを層別に分けて示している。図11は背面配線の構成を示し、図12は下部トランジスタの構成を示し、図13は上部トランジスタの構成を示す。なお、断面構造に関しては、第1実施形態と同様であり、第1実施形態から容易に理解できるため、ここでは図示を省略している。

[0055] 図11～図13において、図面上側の部分が、トランジスタN21, N22を構成するN導電型出力トランジスタ部11に相当し、図面下側の部分が、トランジスタP21, P22を構成するP導電型出力トランジスタ部12に相当する。N導電型出力トランジスタ部11およびP導電型出力トランジスタ部12には、ナノシートFETが形成されている。

[0056] 図11～図13のレイアウトは、図4～図6のレイアウトと比較すると、トランジスタが2段直列になったため、電源VSS, VDDIOと出力端子OUTとの間に、ナノシートが2個ずつ形成されており、2本のゲート配線が配置されている。ただし、基本的な構成は第1実施形態と同様であり、第1実施形態の説明から容易に理解できる構成については、詳細な説明は省略する。

[0057] BM0層において、VSSを供給する電源配線121a, 121bは、N導電型出力トランジスタ部11の下に設けられており、BM1層における電源配線7と平面視で重なっている。電源配線121a, 121bと電源配線7は、ビアを介して接続されている。VDDIOを供給する電源配線122a, 122bは、P導電型出力トランジスタ部12の下に設けられており、BM1層における電源配線6と平面視で重なっている。電源配線122a, 122bと電源配線6は、ビアを介して接続されている。出力配線123a, 123bは、N導電型出力トランジスタ部11およびP導電型出力トランジスタ部12の下に設けられており、BM1層における出力配線8と平面視



で重なっている。出力配線 1 2 3 a, 1 2 3 b と出力配線 8 は、ビアを介して接続されている。

[0058] N 導電型出力トランジスタ部 1 1 において、下部トランジスタの構成部分に、トランジスタ N 2 1, N 2 2 のチャネル、ソースおよびドレインを構成するアクティブ領域 3 1 が、形成されている。アクティブ領域 3 1 において、トランジスタ N 2 1 のソースとなる部分は、ビアを介して、VSS を供給する電源配線 1 2 1 a, 1 2 1 b と接続されている。アクティブ領域 3 1 において、トランジスタ N 2 2 のドレインとなる部分は、ビアを介して、出力配線 1 2 3 a, 1 2 3 b と接続されている。

[0059] P 導電型出力トランジスタ部 1 2 において、下部トランジスタの構成部分に、トランジスタ P 2 1, P 2 2 のチャネル、ソースおよびドレインを構成するアクティブ領域 3 5 が、形成されている。アクティブ領域 3 5 において、トランジスタ P 2 1 のソースとなる部分は、ビアを介して、VDDIO を供給する電源配線 1 2 2 a, 1 2 2 b と接続されている。アクティブ領域 3 5 において、トランジスタ P 2 2 のドレインとなる部分は、ビアを介して、出力配線 1 2 3 a, 1 2 3 b と接続されている。

[0060] N 導電型出力トランジスタ部 1 1 において、アクティブ領域 3 1 においてトランジスタ N 2 1 のソースとなる部分の上面、および、トランジスタ N 2 1 のドレインかつトランジスタ N 2 2 のソースとなる部分の上面に、Y 方向に延びるローカル配線 1 4 1 が配置されている。P 導電型出力トランジスタ部 1 2 において、アクティブ領域 3 5 においてトランジスタ P 2 1 のソースとなる部分の上面、および、トランジスタ P 2 1 のドレインかつトランジスタ P 2 2 のソースとなる部分の上面に、Y 方向に延びるローカル配線 1 4 2 が配置されている。また、N 導電型出力トランジスタ部 1 1 から P 導電型出力トランジスタ部 1 2 にかけて、アクティブ領域 3 1 においてトランジスタ N 2 2 のドレインとなる部分、および、アクティブ領域 3 5 においてトランジスタ P 2 2 のドレインとなる部分の上面に、Y 方向に延びるローカル配線 1 4 3 が配置されている。

- [0061] N導電型出力トランジスタ部11において、上部トランジスタの構成部分に、トランジスタN21、N22のチャネル、ソースおよびドレインを構成するアクティブ領域51が、形成されている。
- [0062] P導電型出力トランジスタ部12において、上部トランジスタの構成部分に、トランジスタP21、P22のチャネル、ソースおよびドレインを構成するアクティブ領域55が、形成されている。
- [0063] N導電型出力トランジスタ部11において、Y方向およびZ方向に延びるゲート配線161、162が形成されている。ゲート配線161、162は、アクティブ領域31が有するナノシート32、および、アクティブ領域51が有するナノシート52のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ゲート配線161は、トランジスタN21のゲートに対応し、ゲート配線162は、トランジスタN22のゲートに対応する。
- [0064] P導電型出力トランジスタ部12において、Y方向およびZ方向に延びるゲート配線165、166が形成されている。ゲート配線165、166は、アクティブ領域35が有するナノシート36、および、アクティブ領域55が有するナノシート56のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ゲート配線165は、トランジスタP21のゲートに対応し、ゲート配線166は、トランジスタP22のゲートに対応する。
- [0065] N導電型出力トランジスタ部11において、アクティブ領域51においてトランジスタN21のソースとなる部分の上面、および、トランジスタN21のドレインかつトランジスタN22のソースとなる部分の上面に、Y方向に延びるローカル配線144が配置されている。P導電型出力トランジスタ部12において、アクティブ領域55においてトランジスタP21のソースとなる部分の上面、および、トランジスタP21のドレインかつトランジスタP22のソースとなる部分の上面に、Y方向に延びるローカル配線145が配置されている。また、N導電型出力トランジスタ部11からP導電型出

カトランジスタ部 1 2 にかけて、アクティブ領域 5 1 においてトランジスタ N 2 2 のドレインとなる部分、および、アクティブ領域 5 5 においてトランジスタ P 2 2 のドレインとなる部分の上面に、Y 方向に延びるローカル配線 1 4 6 が配置されている。

[0066] 平面視で重なるローカル配線 1 4 1 とローカル配線 1 4 4 とは、ビアを介して接続されている。すなわち、アクティブ領域 3 1, 5 1 においてトランジスタ N 2 1 のソースとなる部分が、接続されている。また、アクティブ領域 3 1, 5 1 においてトランジスタ N 2 1 のドレインかつトランジスタ N 2 2 のソースとなる部分が、接続されている。平面視で重なるローカル配線 1 4 2 とローカル配線 1 4 5 とは、ビアを介して接続されている。すなわち、アクティブ領域 3 5, 5 5 においてトランジスタ P 2 1 のソースとなる部分が、接続されている。また、アクティブ領域 3 5, 5 5 においてトランジスタ P 2 1 のドレインかつトランジスタ P 2 2 のソースとなる部分が、接続されている。平面視で重なるローカル配線 1 4 3 とローカル配線 1 4 6 とは、ビアを介して接続されている。すなわち、アクティブ領域 3 1, 5 1 においてトランジスタ N 2 2 のドレインとなる部分と、アクティブ領域 3 5, 5 5 においてトランジスタ P 2 2 のドレインとなる部分とが、接続されている。

[0067] ローカル配線層の上層にあるメタル配線層である M 0 配線層において、X 方向に延びるメタル配線 1 7 1, 1 7 2, 1 7 3, 1 7 4 が形成されている。メタル配線 1 7 1 は、ゲート配線 1 6 1 にビアを介して接続されている。メタル配線 1 7 2 は、ゲート配線 1 6 2 にビアを介して接続されている。メタル配線 1 7 3 は、ゲート配線 1 6 5 にビアを介して接続されている。メタル配線 1 7 4 は、ゲート配線 1 6 6 にビアを介して接続されている。メタル配線 1 7 1 は、出力制御信号 I N N 1 を伝送する配線であり、メタル配線 1 7 2 は、出力制御信号 I N N 2 を伝送する配線である。メタル配線 1 7 3 は、出力制御信号 I N P 1 を伝送する配線であり、メタル配線 1 7 4 は、出力制御信号 I N P 2 を伝送する配線である。

[0068] 以上のような構成によると、半導体チップの背面に形成される配線は、V

DDIOを供給する電源配線6, 122a, 122b、VSSを供給する電源配線7, 121a, 121b、および、出力信号OUTを伝送する出力配線8, 123a, 123bのみである。そして、BM1層では、電源配線6, 7および出力配線8が最大限に敷設されている。これにより、出力回路は大電流を流すことができる。

[0069] また、下部トランジスタのアクティブ領域31, 35は、背面配線から、ビアのみを介して接続されている。これにより、抵抗値を削減することができるので、出力回路は大電流を流すことができる。

[0070] また、N導電型出力トランジスタ部11では、上部トランジスタおよび下部トランジスタの両方とも、N型トランジスタを構成している。P導電型出力トランジスタ部12では、上部トランジスタおよび下部トランジスタの両方とも、P型トランジスタを構成している。これにより、出力回路から流れる電流を大きくすることができる。

[0071] すなわち、本実施形態では、電源VSSと出力端子OUTとの間に直列に接続されたトランジスタN21, N22を備えるN導電型出力トランジスタ部11は、アクティブ領域31, 51を備えている。アクティブ領域31, 51は、平面視で重なっており、トランジスタN21, N22を構成する。電源配線121a, 121bおよび出力配線123a, 123bは、トランジスタN21, N22の背面側の配線層に、アクティブ領域31, 51と平面視で重なるように配置されている。電源配線121a, 121bは、アクティブ領域31におけるトランジスタN21のソースとなる部分の下面にビアを介して接続されており、出力配線123a, 123bは、アクティブ領域31におけるトランジスタN22のドレインとなる部分の下面にビアを介して接続されている。

[0072] また、電源VDDIOと出力端子OUTとの間に直列に接続されたトランジスタP21, P22を備えるP導電型出力トランジスタ部12は、アクティブ領域35, 55を備えている。アクティブ領域35, 55は、平面視で重なっており、トランジスタP21, P22を構成する。電源配線122a

、122bおよび出力配線123a、123bは、トランジスタP21、P22の背面側の配線層に、アクティブ領域35、55と平面視で重なるように配置されている。電源配線122a、122bは、アクティブ領域35におけるトランジスタP21のソースとなる部分の下面にビアを介して接続されており、出力配線123a、123bは、アクティブ領域35におけるトランジスタP22のドレインとなる部分の下面にビアを介して接続されている。

[0073] このような構成によって、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる出力回路を実現することができる。

[0074] なお、第1実施形態と同様に、電源配線6、7、121a、121b、122a、122bおよび出力配線8、123a、123bは、複数の配線層において形成されていてもよい。

[0075] さらに、BM1層よりもさらに下層に配線層を設けて、背面配線を形成してもよい。この場合、例えば、BM2層ではY方向、BM3層ではX方向、というように各配線層における配線方向は交互にすることが好ましい。

[0076] また、第1実施形態における他の構成例や変形例についても、本実施形態に適用可能である。すなわち、トランジスタの背面側に形成された電源配線および出力配線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。また、上部トランジスタのアクティブ領域と下部トランジスタのアクティブ領域とは、第1実施形態の変形例のように、電氣的に接続してもかまわない。

[0077] なお、本実施形態では、上部トランジスタと下部トランジスタの導電型は、同一であるものとした。すなわち、N導電型出力トランジスタ部11では、上部および下部の両方のアクティブ領域をN型とし、P導電型出力トランジスタ部12では、上部および下部の両方のアクティブ領域をP型とした。これに代えて、出力トランジスタ部全体において、上部と下部とで、アクティブ領域の導電型を変えてもかまわない。例えば、上部のアクティブ領域をN型とし、下部のアクティブ領域をP型としてもよい。あるいは、上部のA

クティブ領域をP型とし、下部のアクティブ領域をN型としてもよい。これにより、出力回路全体の製造プロセスが簡単化されるので、半導体集積回路装置の製造が容易になる。

[0078] なお、上述の各実施形態における説明では、トランジスタ部にナノシートFETが形成されるものとしたが、トランジスタ部に形成されるトランジスタは、ナノシートFETに限られるものではない。例えば、トランジスタ部に形成されるトランジスタは、フィンFETであってもよい。

### 産業上の利用可能性

[0079] 本開示では、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる出力回路を実現できるので、例えば半導体チップの性能向上に有用である。

### 符号の説明

[0080] 1 半導体集積回路装置  
6, 7 電源配線  
8 出力配線  
10, 10A IOセル  
11 N導電型出力トランジスタ部  
12 P導電型出力トランジスタ部  
21, 22 電源配線  
23 出力配線  
31, 35, 51, 55 アクティブ領域  
41, 42, 43, 44, 45, 46 ローカル配線  
100 半導体集積回路装置  
101 第1半導体チップ  
102 第2半導体チップ  
121a, 121b, 122a, 122b 電源配線  
123a, 123b 出力配線  
141, 142, 143, 144, 145, 146 ローカル配線

P 1, N 1 トランジスタ

P 2 1, P 2 2, N 2 1, N 2 2 トランジスタ

O U T 出力端子、出力信号

V D D I O 電源、電源電圧

V S S 電源、電源電圧

## 請求の範囲

### [請求項1]

半導体集積回路から信号を出力するための出力回路であって、  
第1電源電圧を供給する第1電源と、出力端子との間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、  
前記第1電源電圧を供給する第1電源配線と、  
前記出力端子に接続された出力配線とを備え、  
前記第1出力トランジスタ部は、  
前記第1トランジスタのチャンネル、ソースおよびドレインを構成する第1アクティブ領域と、  
前記第1トランジスタのチャンネル、ソースおよびドレインを構成しており、前記第1アクティブ領域の上層に形成され、前記第1アクティブ領域と平面視で重なっている第2アクティブ領域とを備え、  
前記第1電源配線は、前記第1トランジスタの背面側に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、  
前記出力配線は、前記第1電源配線と同一の配線層に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の下面に、ビアを介して接続されている  
出力回路。

### [請求項2]

請求項1記載の出力回路において、  
前記第1アクティブ領域における前記第1トランジスタのソースとなる部分と、前記第2アクティブ領域における前記第1トランジスタのソースとなる部分とは、電氣的に接続されており、  
前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分と、前記第2アクティブ領域における前記第1トランジスタ



タのドレインとなる部分とは、電氣的に接続されている出力回路。

[請求項3]

請求項2記載の出力回路において、

前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第1ローカル配線と、

前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の上面に設けられた第2ローカル配線と、

前記第2アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第3ローカル配線と、

前記第2アクティブ領域における前記第1トランジスタのドレインとなる部分の上面に設けられた第4ローカル配線とを備え、

前記第1ローカル配線と前記第3ローカル配線とは、ビアを介して接続されており、前記第2ローカル配線と前記第4ローカル配線とは、ビアを介して接続されている

出力回路。

[請求項4]

請求項2記載の出力回路において、

前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第1ローカル配線と、

前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の上面に設けられた第2ローカル配線とを備え、

前記第1ローカル配線は、前記第2アクティブ領域における前記第1トランジスタのソースとなる部分の下面と、ビアを介して接続されており、前記第2ローカル配線は、前記第2アクティブ領域における前記第1トランジスタのドレインとなる部分の下面と、ビアを介して接続されている

出力回路。

[請求項5]

請求項1記載の出力回路において、

第2電源電圧を供給する第2電源と、前記出力端子との間に接続さ

れた第2導電型の第2トランジスタを備える、第2出力トランジスタ部と、

前記第2電源電圧を供給する第2電源配線とを備え、

前記第2出力トランジスタ部は、

前記第2トランジスタのチャンネル、ソースおよびドレインを構成する第3アクティブ領域と、

前記第2トランジスタのチャンネル、ソースおよびドレインを構成しており、前記第3アクティブ領域の上層に形成され、前記第3アクティブ領域と平面視で重なっている第4アクティブ領域とを備え、

前記第2電源配線は、前記第1電源配線と同一の配線層に、前記第3および第4アクティブ領域と平面視で重なるように配置されており、前記第3アクティブ領域における前記第2トランジスタのソースとなる部分の下面に、ビアを介して接続されており、

前記出力配線は、前記第3および第4アクティブ領域と平面視で重なるように配置されており、前記第3アクティブ領域における前記第2トランジスタのドレインとなる部分の下面に、ビアを介して接続されている

出力回路。

[請求項6]

請求項1記載の出力回路において、

前記第1電源配線および前記出力配線は、前記第1および第2アクティブ領域が形成された第1半導体チップに設けられた配線層に、形成されている

出力回路。

[請求項7]

請求項1記載の出力回路において、

前記第1電源配線および前記出力配線は、前記第1および第2アクティブ領域が形成された第1半導体チップの背面側に張り合わされた第2半導体チップに設けられた配線層に、形成されている

出力回路。

- [請求項8] 半導体集積回路から信号を出力するための出力回路であって、  
第1電源電圧を供給する第1電源と、出力端子との間に、直列に接続された第1導電型の第1および第2トランジスタを備える、第1出力トランジスタ部と、  
前記第1電源電圧を供給する第1電源配線と、  
前記出力端子に接続された出力配線とを備え、  
前記第1出力トランジスタ部は、  
第1アクティブ領域と、  
前記第1アクティブ領域の上層に形成されており、前記第1アクティブ領域と平面視で重なっている第2アクティブ領域とを備え、  
前記第1および第2アクティブ領域の少なくとも一方が、前記第1および第2トランジスタのチャンネル、ソースおよびドレインを構成しており、  
前記第1電源配線は、前記第1および第2トランジスタの背面側に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、  
前記出力配線は、前記第1電源配線と同一の配線層に、前記第1および第2アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第2トランジスタのドレインとなる部分の下面に、ビアを介して接続されている  
出力回路。
- [請求項9] 請求項8記載の出力回路において、  
前記第1および第2アクティブ領域の両方が、前記第1および第2トランジスタのチャンネル、ソースおよびドレインを構成している  
出力回路。
- [請求項10] 請求項9記載の出力回路において、  
前記第1アクティブ領域における前記第1トランジスタのソースと

なる部分と、前記第2アクティブ領域における前記第1トランジスタのソースとなる部分とは、電氣的に接続されており、

前記第1アクティブ領域における前記第2トランジスタのドレインとなる部分と、前記第2アクティブ領域における前記第2トランジスタのドレインとなる部分とは、電氣的に接続されている出力回路。

[請求項11]

請求項10記載の出力回路において、

前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第1ローカル配線と、

前記第1アクティブ領域における前記第2トランジスタのドレインとなる部分の上面に設けられた第2ローカル配線と、

前記第2アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第3ローカル配線と、

前記第2アクティブ領域における前記第2トランジスタのドレインとなる部分の上面に設けられた第4ローカル配線を備え、

前記第1ローカル配線と前記第3ローカル配線とは、ビアを介して接続されており、前記第2ローカル配線と前記第4ローカル配線とは、ビアを介して接続されている

出力回路。

[請求項12]

請求項10記載の出力回路において、

前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の上面に設けられた第1ローカル配線と、

前記第1アクティブ領域における前記第2トランジスタのドレインとなる部分の上面に設けられた第2ローカル配線を備え、

前記第1ローカル配線は、前記第2アクティブ領域における前記第1トランジスタのソースとなる部分の下面と、ビアを介して接続されており、前記第2ローカル配線は、前記第2アクティブ領域における前記第2トランジスタのドレインとなる部分の下面と、ビアを介して

接続されている

出力回路。

[請求項13]

請求項8記載の出力回路において、

第2電源電圧を供給する第2電源と、前記出力端子との間に、直列に接続された第2導電型の第3および第4トランジスタを備える、第2出力トランジスタ部と、

前記第2電源電圧を供給する第2電源配線とを備え、

前記第2出力トランジスタ部は、

第3アクティブ領域と、

前記第3アクティブ領域の上層に形成され、前記第3アクティブ領域と平面視で重なっている第4アクティブ領域とを備え、

前記第3および第4アクティブ領域の少なくとも一方が、前記第3および第4トランジスタのチャンネル、ソースおよびドレインを構成しており、

前記第2電源配線は、前記第1電源配線と同一の配線層に、前記第3および第4アクティブ領域と平面視で重なるように配置されており、前記第3アクティブ領域における前記第3トランジスタのソースとなる部分の下面に、ビアを介して接続されており、

前記出力配線は、前記第1電源配線と同一の配線層に、前記第3および第4アクティブ領域と平面視で重なるように配置されており、前記第3アクティブ領域における前記第4トランジスタのドレインとなる部分の下面に、ビアを介して接続されている

出力回路。

[請求項14]

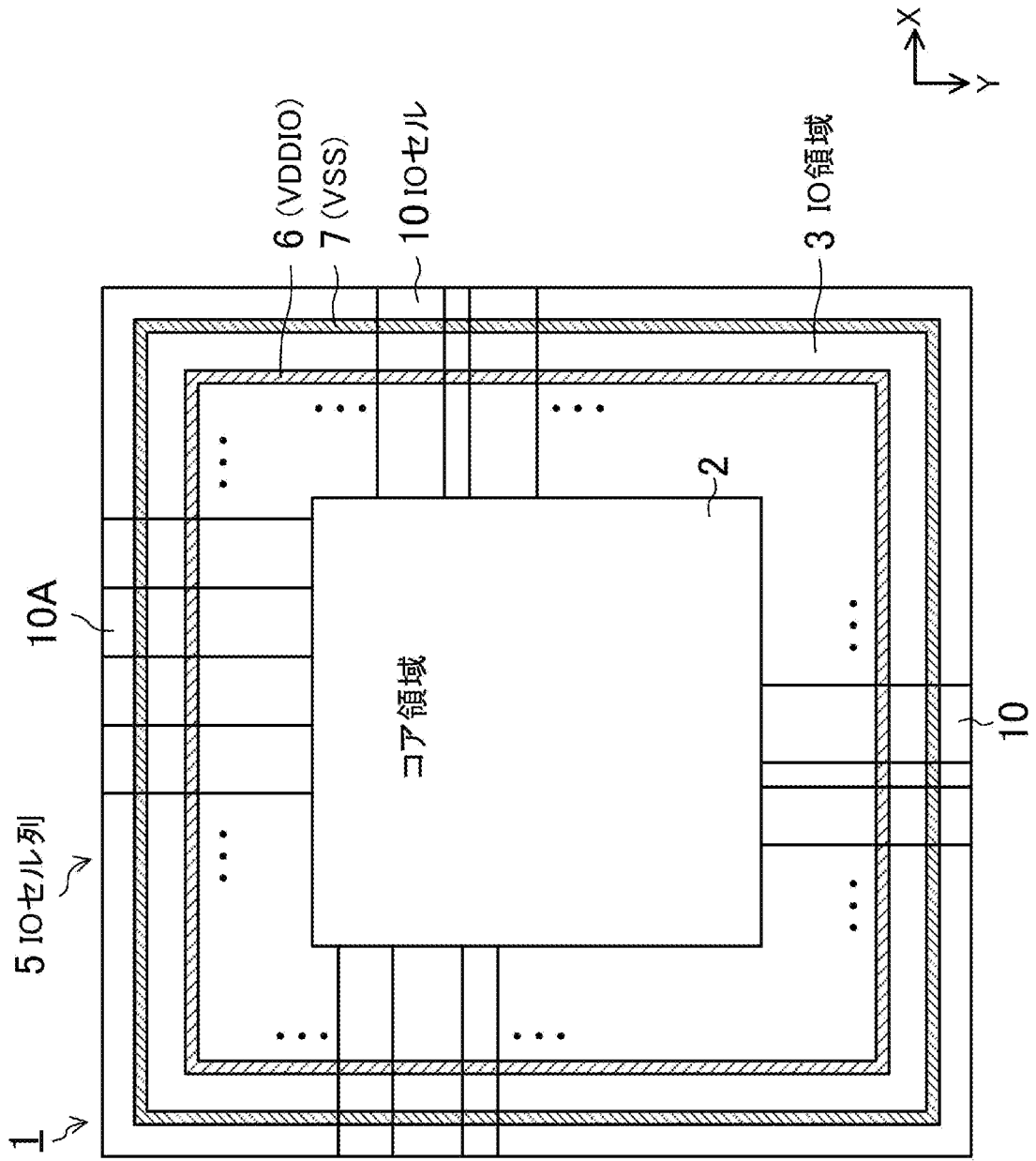
請求項8記載の出力回路において、

前記第1電源配線および前記出力配線は、前記第1および第2アクティブ領域が形成された第1半導体チップに設けられた配線層に、形成されている

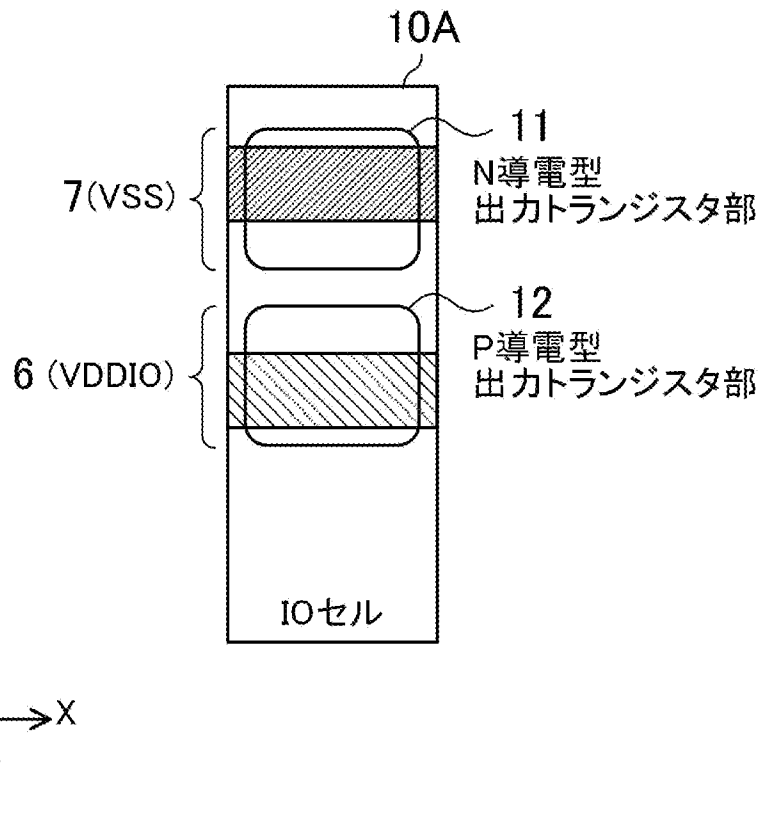
出力回路。

[請求項15]           請求項8記載の出力回路において、  
前記第1電源配線および前記出力配線は、前記第1および第2アクティブ領域が形成された第1半導体チップの背面側に張り合わされた第2半導体チップに設けられた配線層に、形成されている出力回路。

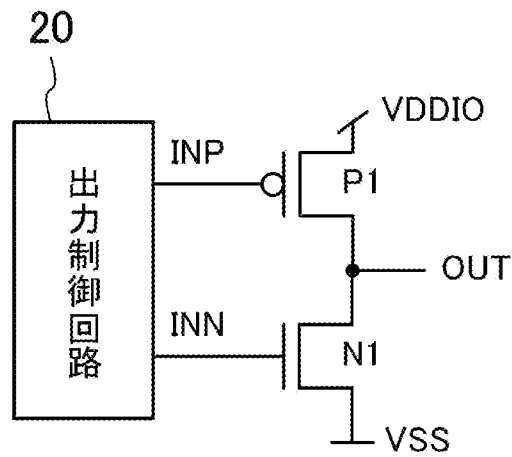
[図1]



[図2]

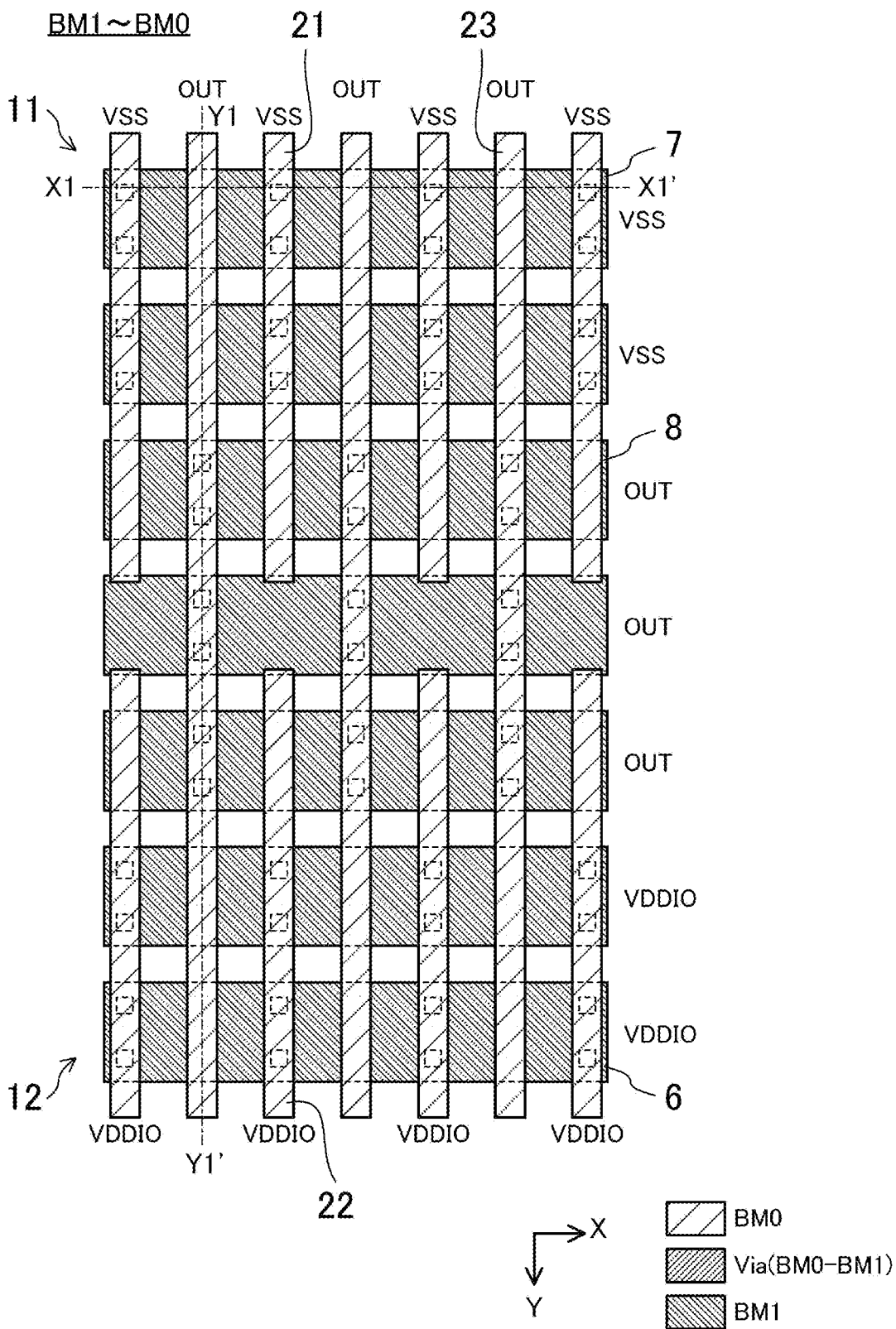


[図3]

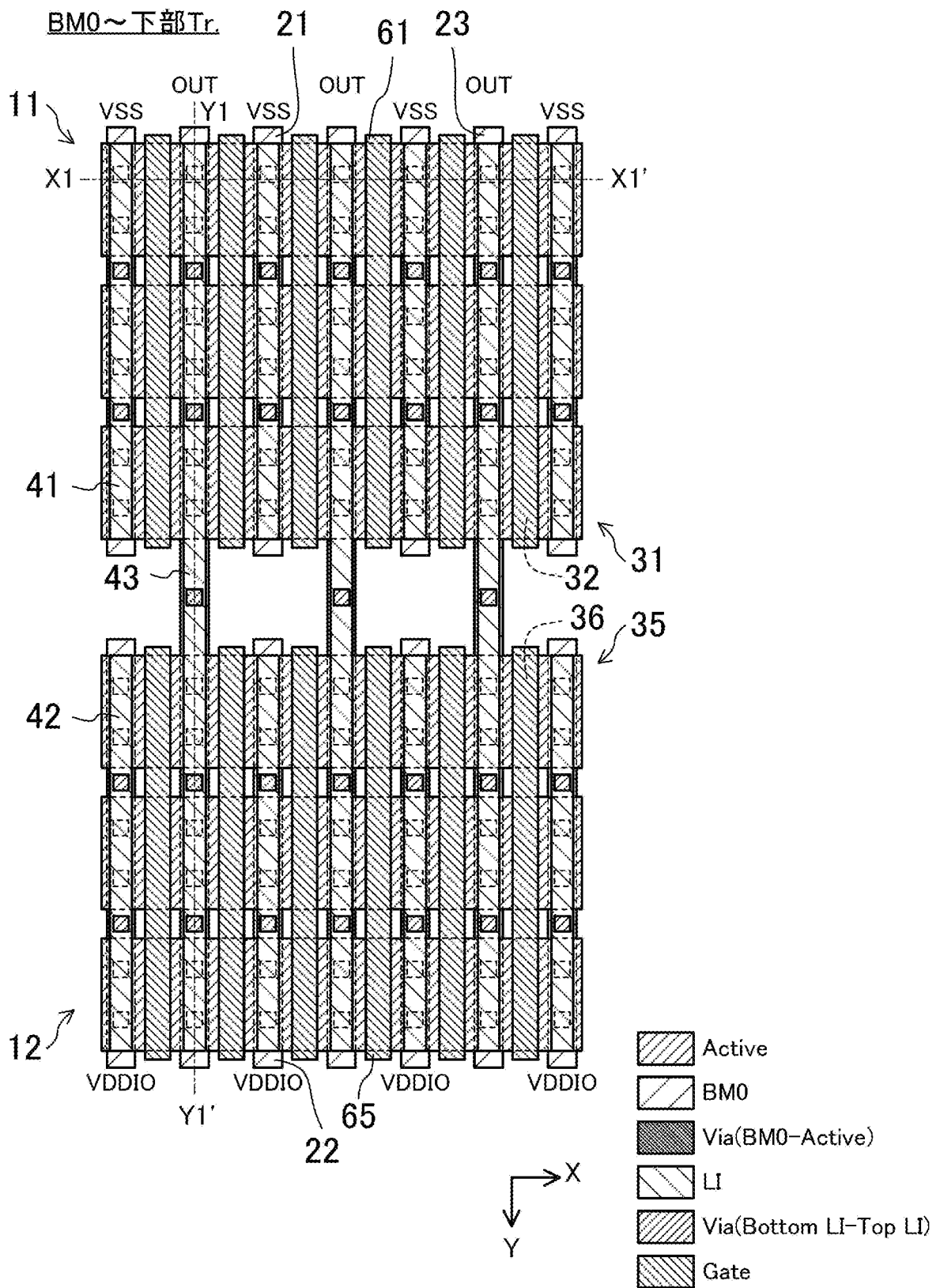




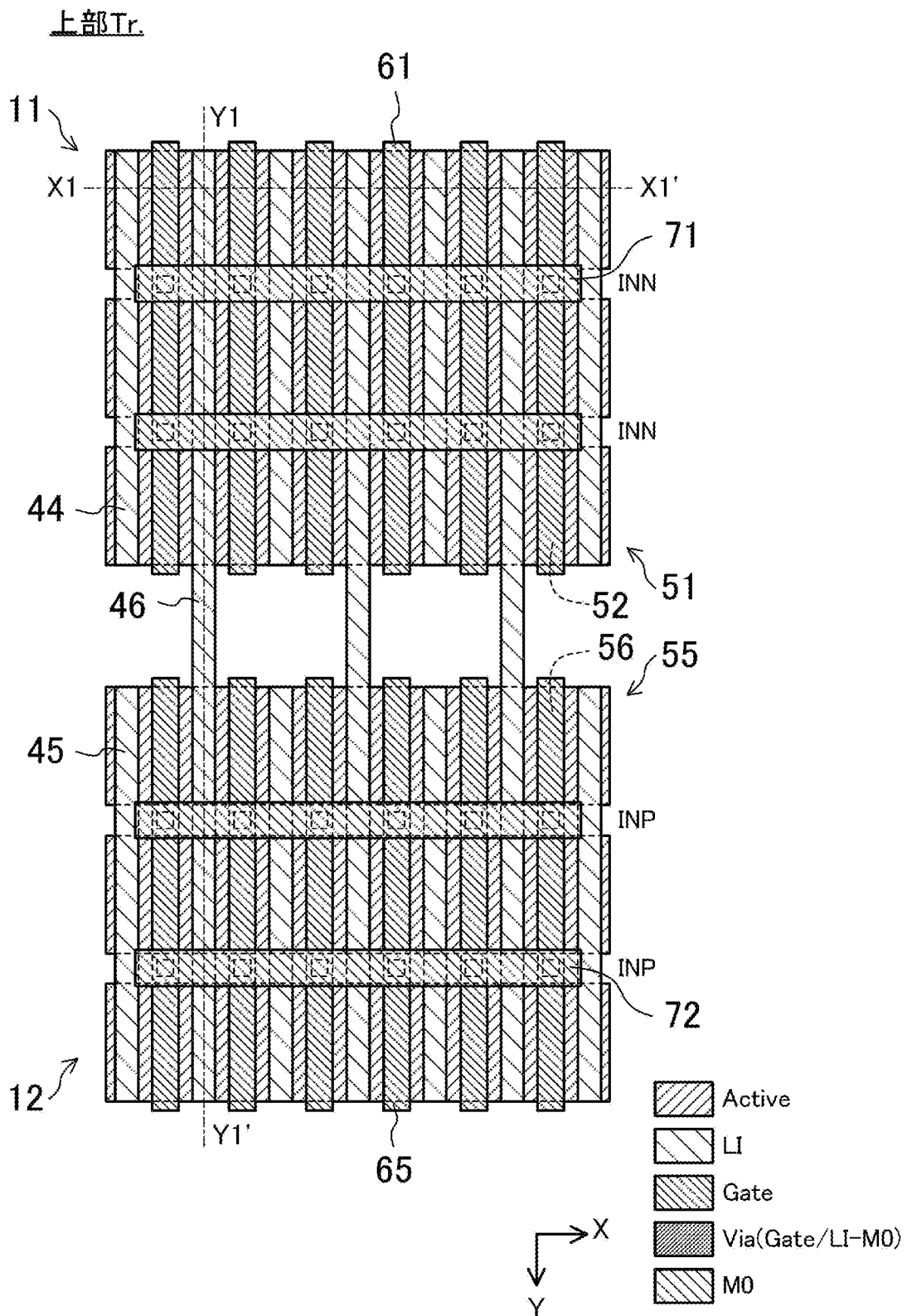
[図4]



[図5]

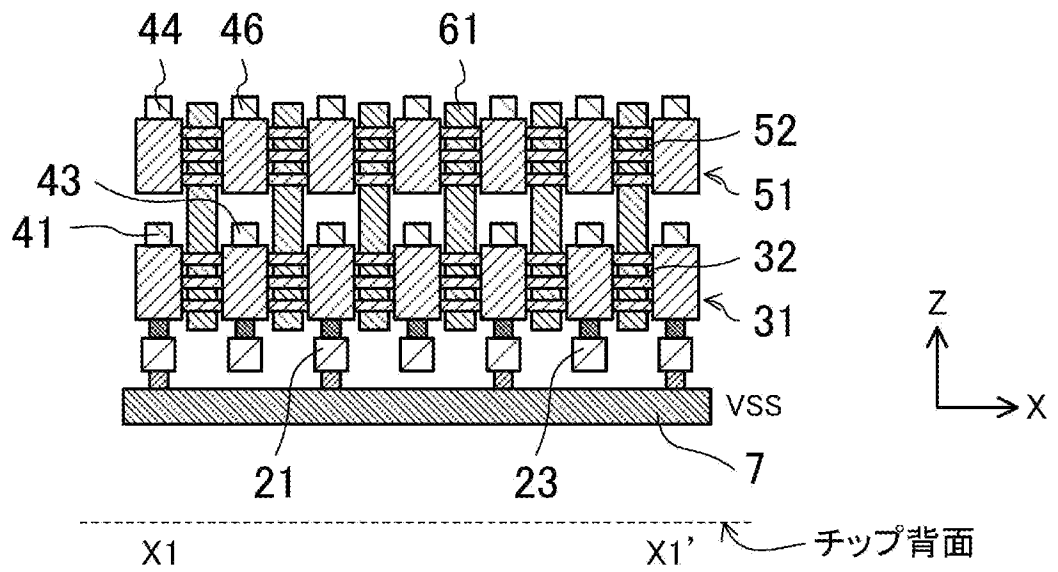


[図6]

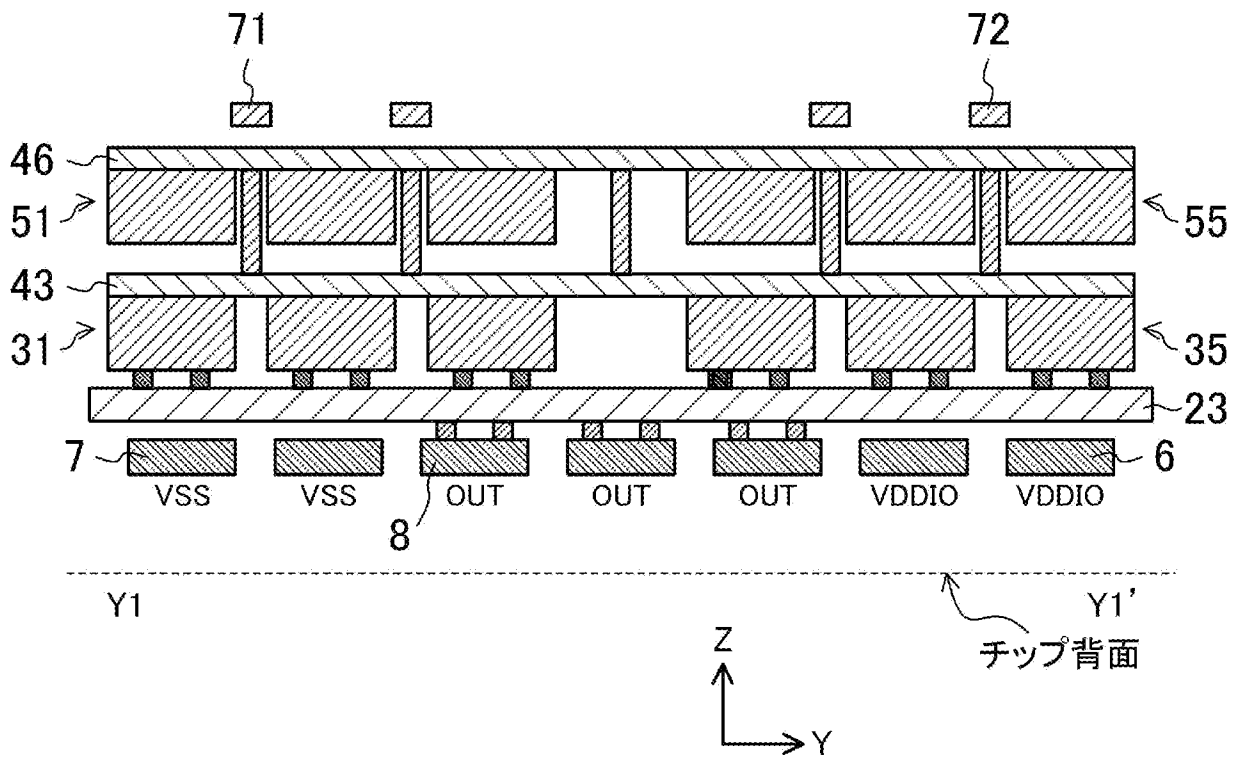


[図7]

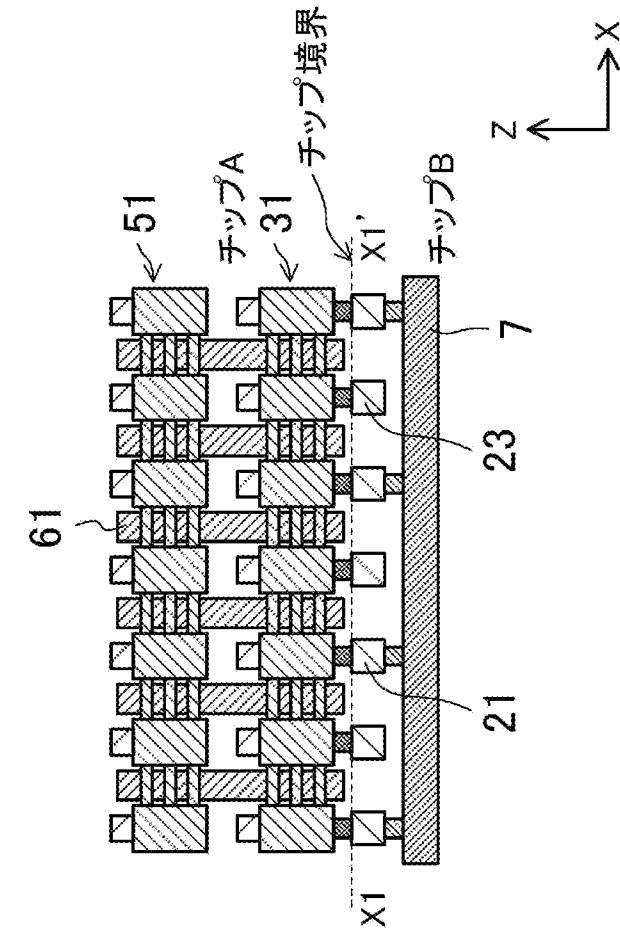
(a)



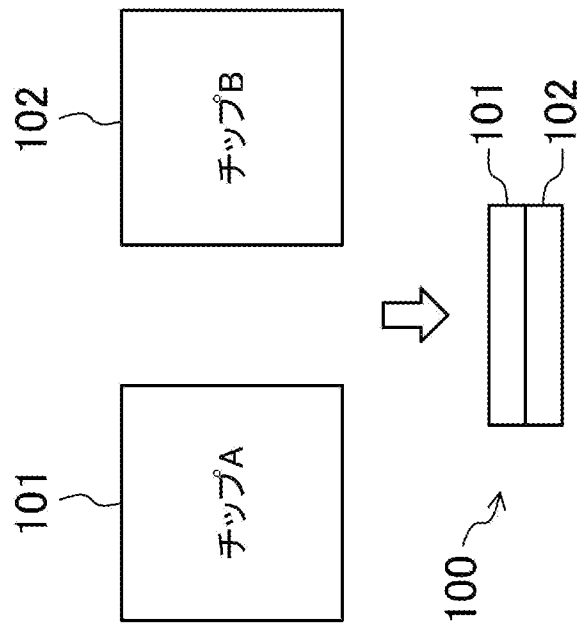
(b)



[図8]

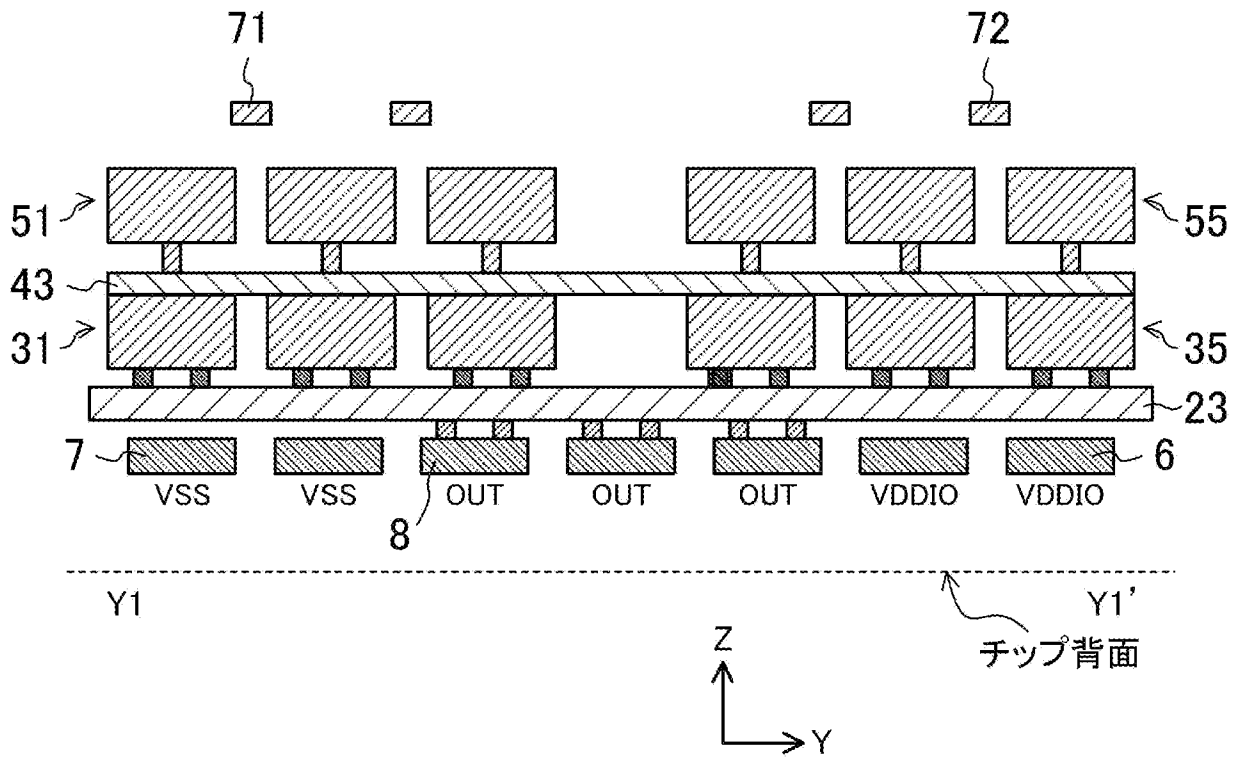


(b)

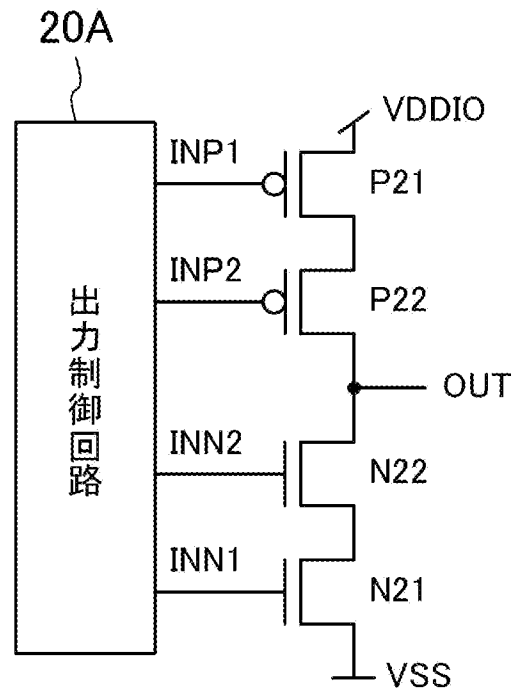


(a)

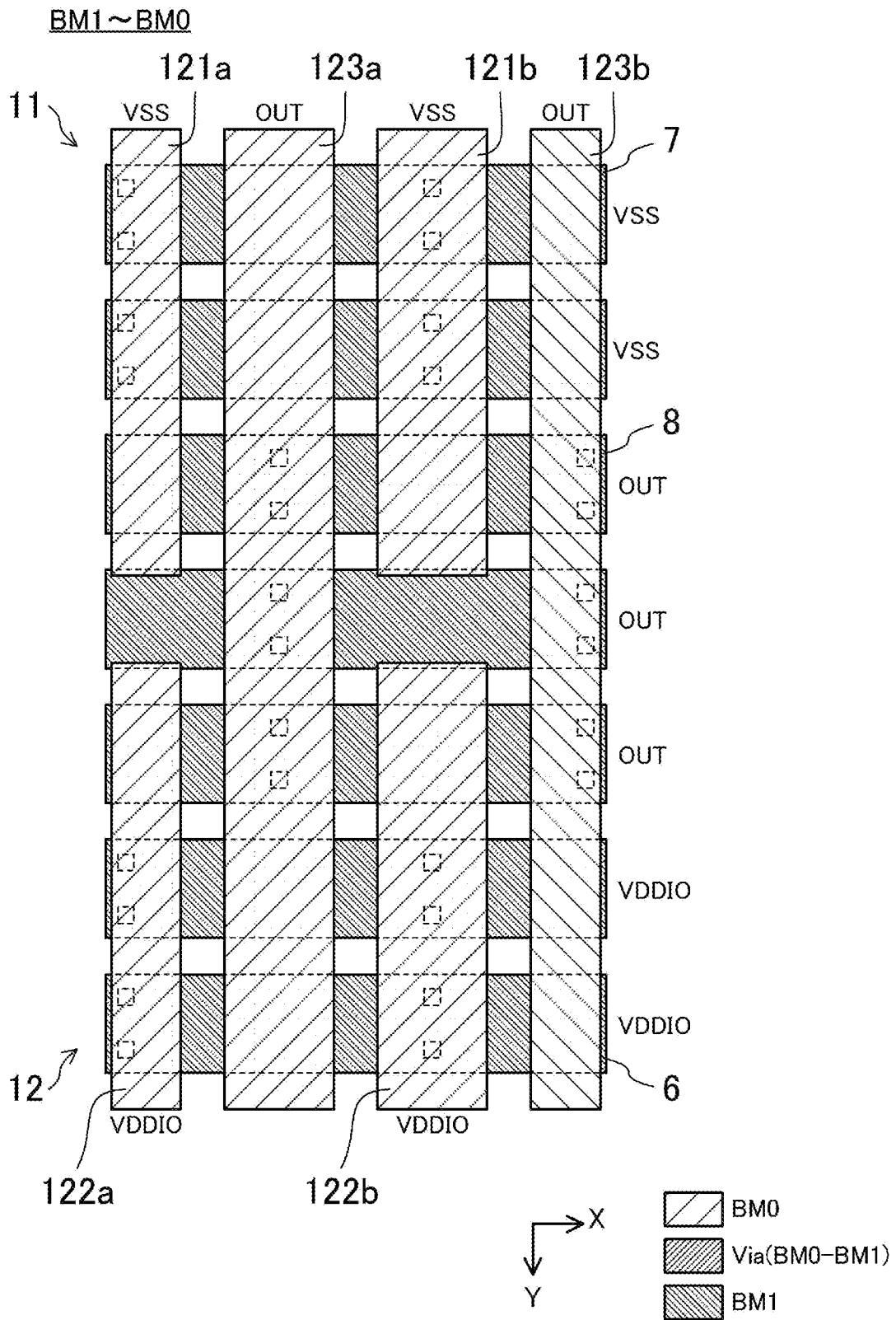
[図9]



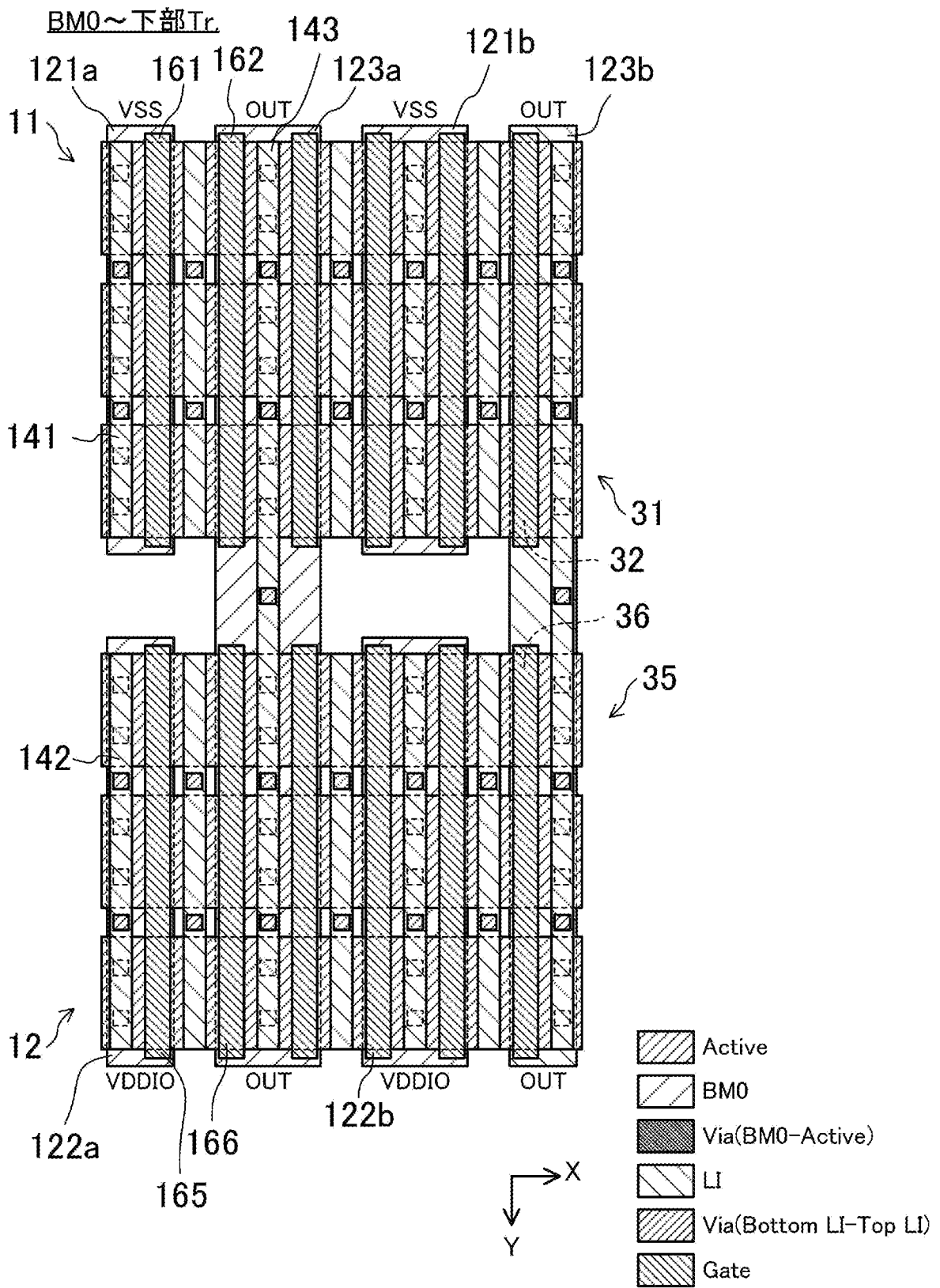
[図10]



[図11]

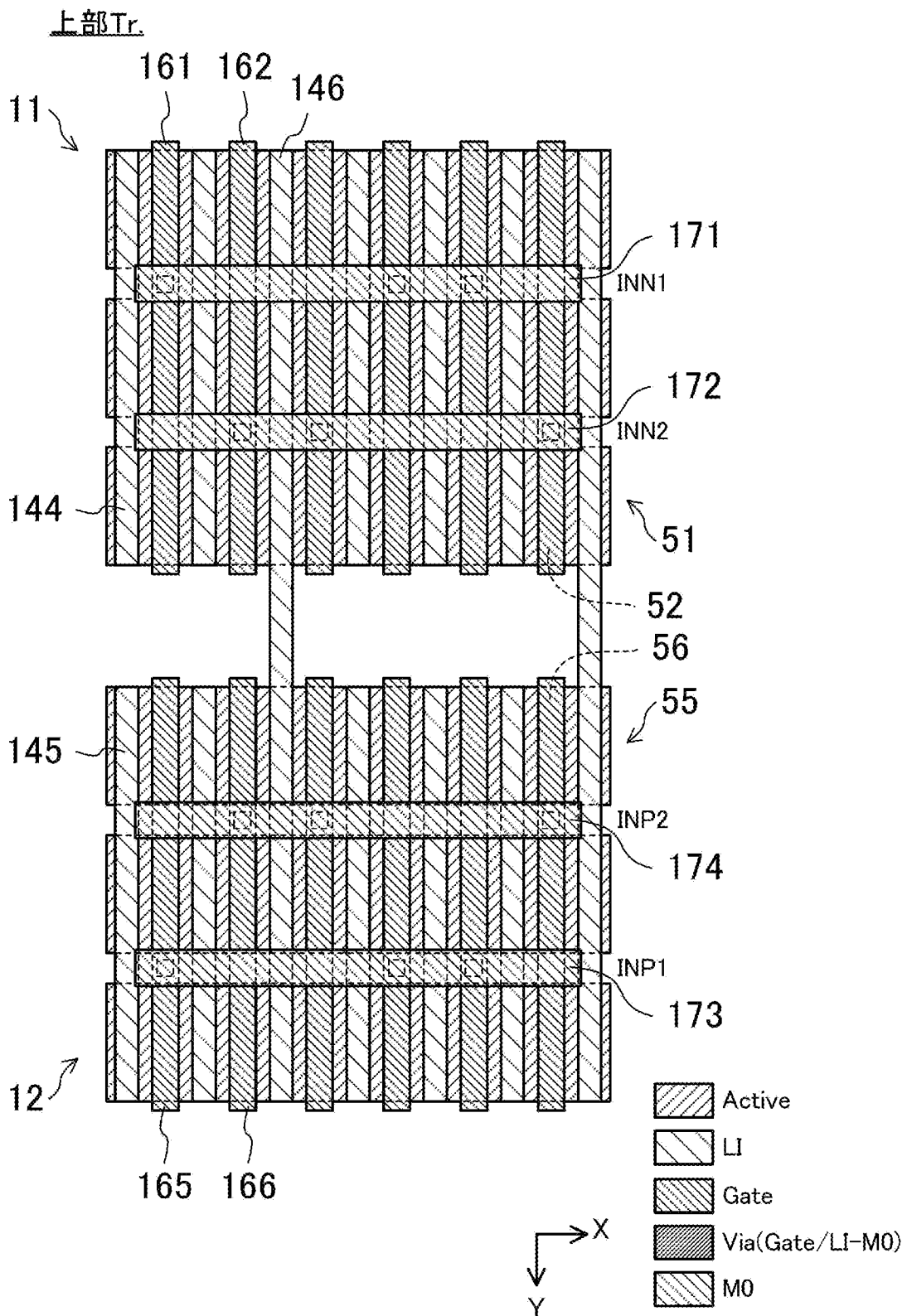


[図12]





[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012187

**A. CLASSIFICATION OF SUBJECT MATTER**

**H01L 27/04**(2006.01)i; **H01L 21/8238**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 27/092**(2006.01)i; **H01L 29/786**(2006.01)i  
 FI: H01L27/04 A; H01L27/092 C; H01L27/088 331E; H01L29/78 613Z

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L21/8238; H01L27/088; H01L27/092; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2024  
 Registered utility model specifications of Japan 1996-2024  
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/224847 A1 (SOCIONEXT INC.) 27 October 2022 (2022-10-27) entire text, all drawings	1-15
A	WO 2019/130965 A1 (SOCIONEXT INC.) 04 July 2019 (2019-07-04) entire text, all drawings	1-15
A	US 2022/0068921 A1 (TOKYO ELECTRON LIMITED) 03 March 2022 (2022-03-03) entire text, all drawings	1-15
A	WO 2021/075353 A1 (SOCIONEXT INC.) 22 April 2021 (2021-04-22) entire text, all drawings	1-15
A	US 2022/0181258 A1 (TOKYO ELECTRON LIMITED) 09 June 2022 (2022-06-09) entire text, all drawings	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “D” document cited by the applicant in the international application  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

**22 May 2024**

Date of mailing of the international search report

**18 June 2024**

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)  
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
 Japan**

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2024/012187</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/224847 A1	27 October 2022	(Family: none)	
WO 2019/130965 A1	04 July 2019	US 2020/0321254 A1	
US 2022/0068921 A1	03 March 2022	TW 202224100 A KR 10-2023-0058049 A	
WO 2021/075353 A1	22 April 2021	US 2022/0336499 A1 CN 114503256 A	
US 2022/0181258 A1	09 June 2022	TW 202236592 A KR 10-2023-0114267 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 21/8238(2006.01)i; H01L 27/088(2006.01)i; H01L 27/092(2006.01)i; H01L 29/786(2006.01)i FI: H01L27/04 A; H01L27/092 C; H01L27/088 331E; H01L29/78 613Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L21/8238; H01L27/088; H01L27/092; H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/224847 A1 (株式会社ソシオネクスト) 27.10.2022 (2022-10-27) 全文, 全図	1-15
A	WO 2019/130965 A1 (株式会社ソシオネクスト) 04.07.2019 (2019-07-04) 全文, 全図	1-15
A	US 2022/0068921 A1 (TOKYO ELECTRON LIMITED) 03.03.2022 (2022-03-03) 全文, 全図	1-15
A	WO 2021/075353 A1 (株式会社ソシオネクスト) 22.04.2021 (2021-04-22) 全文, 全図	1-15
A	US 2022/0181258 A1 (TOKYO ELECTRON LIMITED) 09.06.2022 (2022-06-09) 全文, 全図	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 22.05.2024	国際調査報告の発送日 18.06.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/012187

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/224847 A1	27.10.2022	(ファミリーなし)	
WO 2019/130965 A1	04.07.2019	US 2020/0321254 A1	
US 2022/0068921 A1	03.03.2022	TW 202224100 A	
		KR 10-2023-0058049 A	
WO 2021/075353 A1	22.04.2021	US 2022/0336499 A1	
		CN 114503256 A	
US 2022/0181258 A1	09.06.2022	TW 202236592 A	
		KR 10-2023-0114267 A	