

명세서

도면의 간단한 설명

도 1은 일반적인 원자층 증착법(ALD)의 피딩(feeding) 순서를 나타낸 모식도,
 도 2a 및 도 2b는 일반적인 플라즈마 원자층 증착법(PEALD)의 피딩 순서를 나타낸 모식도,
 도 3은 플라즈마 처리를 1 사이클 내에 추가한 원자층 증착 또는 플라즈마 원자층 증착법의 피딩 순서를 나타낸 모식도,
 도 4 내지 도 7은 본 발명의 다양한 실시예에 따른 박막의 증착 방법을 설명하기 위한 모식도,
 도 8a 내지 도 8e는 본 발명의 박막 증착 방법을 적용한 캐패시터 제조 방법을 나타낸 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

- 1 : 반도체 기판 2 : 층간절연막
- 3 : 스토리지노드콘택플러그 4 : 식각정지막
- 5 : SN 산화막 6 : 스토리지노드콘택홀
- 7 : 스토리지노드 8 : 유전막
- 9 : 플레이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 원자층 증착(Atomic Layer Deposition; ALD)을 이용한 박막의 형성 및 그를 이용한 캐패시터의 제조 방법에 관한 것이다.

최근 DRAM의 집적도가 증가함에 따라서 캐패시터의 면적이 작아지게 되어 요구되는 유전용량의 확보가 점점 어려워지게 되었다. 요구되는 유전용량을 확보하기 위해서는 유전박막의 두께를 낮추거나 유전상수가 큰 물질을 적용하여야 한다.

80nm 테크놀로지 이하의 DRAM에서는 누설전류 특성을 확보하면서 유전용량을 확보하기 위하여 HfO₂와 Al₂O₃를 적층하여 적용하는 기술이 개발되고 있다. 이러한 유전막 구조에서는 유전용량을 확보하는데 있어서 콘케이브(Concave) 구조로는 한계에 다다르고 있으며, 실린더(Cylinder) 구조를 적용하여 캐패시터의 면적을 확보해야 한다.

그러나, 스토리지노드로 TiN을 사용하여 실린더 구조를 만든다 하더라도, 유전막의 유효 두께는 11Å 정도가 한계이며, 65nm 테크놀로지 이하급 소자에서는 유전 용량을 확보하기 위해서는 10Å 이하의 유효 유전막 두께가 필요하다. 이를 위해서는 Ru, Pr, Ir 등의 메탈 전극의 도입이 필수적이다.

스토리지노드로 메탈 전극을 사용하려면 막의 밀도가 높아 후속 공정에서 응집(agglomeration)이 일어나지 않아야하고, 스텝 커버리지(Step Coverage)가 80% 이상이 되어야 한다.

종래의 CVD(Chemical Vapor Deposition) 방식을 사용하여 메탈 스토리지노드로 Ru를 적용한 경우 박막 내 불순물(carbon, hydrogen, oxygen)이 많이 포함되어 있고, 밀도가 낮아(~ 7 g/cm³, bulk Ru의 경우 12.2, PVD Ru의 경우

~11.9) 후속 공정에서 응집 현상에 의해서 안정한 캐패시턴스를 유지할 수 없는 단점이 있었다. 스텝 커버리지 관점에서 도 65nm 테크놀로지 이하의 소자에서는 스토리지노드를 형성하기 위한 콘택의 선폭(CD)이 100nm 이하, 종횡비(Aspect Ratio) 20:1 이상의 어려운 조건이 예상된다.

이러한 높은 종횡비를 갖는 콘택에서 스텝 커버리지를 극복하고 불순물이 거의 없는 메탈을 증착하기 위해, 표면 반응을 이용한 ALD 공정이 적용되고 있다.

도 1은 일반적인 ALD 공정의 피딩(feeding) 순서를 나타낸 모식도이다.

도 1에 도시된 바와 같이, ALD는 자기 표면 반응 제한 메카니즘(Self-surface reaction limited mechanism)을 이용한다.

먼저, 제 1단계에서 챔버 내에 웨이퍼를 로딩(loading)시킨 후 챔버 내에 소스가스를 공급(Feeding)하여 웨이퍼 표면에 소스가스의 화학 흡착(Chemical absorption)을 유도하고, 제 2단계인 퍼지 스텝(Purge step)에서 퍼지가스를 주입하여(예컨대 불활성 가스(inert gas)) 여분의 미흡착/반응한 소스가스 혹은 반응 부가물을 제거한다.

이어서, 제 3단계에서 반응가스를 공급하여 웨이퍼 표면에 화학 흡착된 물질과 반응을 유도하여 원자층을 증착하는 과정을 수행한다. 계속해서, 제 4단계로 다시 퍼지가스를 공급하여 여분의 반응가스 및 반응 부가물을 배출시키는 과정을 수행한다.

상술한 네 단계의 과정들을 1 사이클로 하여 사이클을 반복 진행하므로써, 원하는 두께의 박막을 증착한다.

ALD 공정은 표면 반응 제한 방법을 이용하기 때문에 원자층 단위로 박막의 두께 제어가 가능하고, 마지막의 토폴로지(topology)에 무관하게 증착 가능하여 컨포멀(conformal)하고 균일(uniformity)한 박막을 얻을 수 있다. 뿐만 아니라, 소스가스와 반응가스를 불활성가스로 서로 분리하여 챔버에 공급하기 때문에 CVD 공정에 비하여 가스 위상 반응(gas phase reaction)에 의한 파티클 생성을 억제할 수 있다. 또한, 소스가스와 웨이퍼의 다중 충돌에 의해 소스가스의 사용 효율을 개선시키고 주기를 줄일 수 있다.

도 2a 및 도 2b는 플라즈마 원자층 증착법(Plasma Enhanced Atomic Layer Deposition; PEALD)을 나타낸 그래프이다.

도 2a에 도시된 바와 같이, 먼저, 제 1단계에서 챔버 내에 웨이퍼를 로딩(loading)시킨 후 챔버 내에 소스가스를 공급(Feeding)하여 웨이퍼 표면에 소스가스의 화학 흡착(Chemical absorption)을 유도하고, 제 2단계인 퍼지 스텝에서 퍼지가스를 주입하여 여분의 미흡착/반응한 소스가스 혹은 반응 부가물을 제거한다.

계속해서, 제 3단계에서 반응가스를 공급하여 웨이퍼 표면에 화학 흡착된 물질과 반응을 유도하여 박막을 증착하는 과정을 수행한다. 이 때, 반응가스를 공급하는 사이클에 플라즈마를 인가 하는 것을 특징으로 한다. 이어서, 제 4단계로서, 퍼지가스를 공급하여 여분의 반응가스 및 반응 부가물을 배출시키는 과정을 수행하여 1 사이클을 완료한다.

이어서, 도 2b는 PEALD 공정을 실시하는 중 반응가스와 소스가스가 반응성이 없는 경우에는 퍼지가스 대신 반응가스를 공급하며, 반응시키고자 하는 시간에 플라즈마를 공급하는 방법을 나타낸 것이다.

도 2b에 도시한 방법은 도 2a에 도시된 방법에 비해 퍼지에 들어가는 시간을 단축할 수 있다.

도 3은 ALD 공정 또는 PEALD 공정의 1 사이클 마지막 단계로서, 플라즈마 처리를 실시하는 방법을 나타낸 것이다.

도 3에 도시된 바와 같이, 먼저, 제 1단계에서 챔버 내에 웨이퍼를 로딩(loading)시킨 후 챔버 내에 소스가스를 공급(Feeding)하여 웨이퍼 표면에 소스가스의 화학 흡착(Chemical absorption)을 유도한다.

이어서 2 단계로서, 퍼지가스를 주입하여 퍼지를 실시하고 계속해서 제 3단계로서 반응가스를 공급하여 웨이퍼 표면에 화학 흡착된 물질과 반응을 유도하여 박막을 증착하는 과정을 수행한다. 반응가스를 공급할 때, 플라즈마를 동시에 인가할 수 있다.

계속해서, 제 4단계로서 퍼지를 수행한 후, 제 5단계로서 플라즈마 처리용 가스를 주입하는 단계를 진행한다. 플라즈마 처리는 불순물 없는 순수한 막을 얻고, 스텝 커버리지를 향상시키기 위한 것이다. NH₃, H₂ 등의 가스를 이용하여 진행하고, C, O등을 제거하고 표면 막질의 개선을 목적으로 한다.

상술한 바와 같은 플라즈마 처리를 부가한 ALD 공정은 막질 개선의 효과가 있지만, 1 사이클이 길어지므로 박막의 증착율이 늦어지는 단점이 발생한다.

상술한 바와 같이, ALD 공정 또는 PEALD 공정은 소스가스, 퍼지가스, 반응가스를 교대로 공급하여 박막을 증착하는 방법으로, 고중형비를 갖고 저압에서도 균일하게 박막을 형성할 수 있다.

현재 ALD 공정의 경우 원하는 스텝 커버리지를 얻기 위하여 플라즈마를 이용한 PEALD(Plasma Enhanced Atomic Layer Deposition; 'PEALD')를 사용하거나 증착 사이클 내에 수소나 NH₃ 플라즈마를 사용하여 남아있는 불순물을 제거하는 공정이 도입되고 있다.

이러한 ALD 공정은 현재 사이클 당 증착율은 0.5Å~1Å 수준이며 한 사이클당 소요시간도 1~10초 정도로 분당 6Å 내외의 증착 속도를 보이고 있으며, 싱글 웨이퍼 타입 기준으로 보면 Ru를 200Å 두께로 증착할 경우 1 시간당 2장을 증착하기 어렵다는 단점이 있고 이는 양산성(Throughput) 관점에서 심각한 문제가 될 것으로 판단된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 박막의 증착율을 개선하고 박막의 특성 열화를 방지하는데 적합한 박막의 증착 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 일 특징적인 본 발명의 박막의 형성 방법은 소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며, 상기 한 사이클의 피딩 순서는, 소스가스와 반응가스를 동시에 공급하는 제 1 단계, 상기 소스가스와 반응가스의 공급 없이 퍼지가스를 공급하는 제 2 단계, 상기 소스가스와 퍼지가스의 공급 없이 상기 반응가스를 공급하는 제 3 단계, 및 상기 소스가스와 반응가스의 공급 없이 퍼지가스를 공급하는 제 4 단계를 포함한다.

또한, 본 발명은 소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며, 상기 한 사이클의 피딩 순서는, 퍼지가스를 지속적으로 공급하면서, 반응가스 없이 소스가스를 공급하는 제 1 단계와, 소스가스 없이 반응가스를 공급하는 제 2 단계를 포함하며, 상기 반복 수행되는 때 사이클의 마지막 단계로서, 증착된 박막을 플라즈마 처리하는 단계를 포함한다.

또한, 본 발명은 소정의 피딩순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며, 상기 한 사이클의 피딩 순서는, 소스가스, 반응가스 및 퍼지가스가 공급되는 제 1 단계, 및 소스가스의 공급 없이 반응가스 및 퍼지가스를 공급하는 제 2 단계를 포함한다.

또한, 본 발명은 소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며, 상기 한 사이클의 피딩 순서는, 소스가스, 반응가스 및 퍼지가스가 공급되는 제 1 단계, 및 반응가스의 공급 없이 소스가스 및 퍼지가스를 공급하는 제 2 단계를 포함한다.

이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 4는 본 발명의 제 1 실시예에 따른 박막 증착 방법에서의 피딩(feeding) 순서를 나타낸 모식도로서, 주기적 CVD(Cyclic CVD) 메카니즘을 이용한 것이다.

도 4에 도시된 바와 같이, 제 1 단계로서 챔버 내에 웨이퍼를 로딩시킨 후 챔버 내에 소스가스와 반응가스를 동시에 공급한다. 소스가스와 반응가스가 동시에 공급되는 짧은 시간 동안 CVD 반응이 일어나므로 박막의 증착율이 증가된다.

계속해서 제 2단계로서 소스가스와 반응가스 공급을 멈추고 퍼지가스를 주입하여 여분의 반응 부산물을 제거한다. 이어서, 반응가스만 공급하는 제 3단계를 수행하며 이 때 어닐링(annealing) 효과에 의해서 박막이 치밀화된다

이후, 제 4단계로서 다시 퍼지를 수행한다.

이와 같이, 제 1단계 내지 제 4단계에 의해 1 사이클이 진행되며, 이러한 사이클을 반복 진행하므로써, 원하는 두께의 박막을 증착한다.

도 5는 본 발명의 제 2실시예에 따른 박막 증착 방법에서의 피딩 순서를 나타낸 모식도로서, ALD 공정 또는 PEALD 공정의 공급 시간을 변형한 방법을 이용한 것이다.

도 5에 도시된 바와 같이, 먼저, 챔버 내에 웨이퍼를 로딩시킨 후 제 1단계로서 챔버 내에 소스가스와 퍼지가스를 동시에 공급하고, 제 2단계로서 퍼지가스는 계속 공급하고 소스가스의 공급은 멈춘 상태에서, 반응가스를 공급한다. 반응가스의 공급시 플라즈마를 인가할 수 있다. 도 5에 도시된 실시예는 상술한 제 1단계 및 제 2단계에 의해서 1 사이클이 진행되는 바, 일반적인 ALD 공정과 달리 퍼지를 위한 스텝을 따로 마련하지 않고 반응이 진행되는 동안 퍼지를 지속적으로 진행한다.

여기서, 퍼지 스텝이 생략되었기 때문에 CVD 또는 PECVD가 부분적으로 일어날 수 있고, 사이클이 짧아지고 CVD가 부분적으로 적용되었기 때문에 박막 증착 속도가 향상된다.

도 6은 본 발명의 제 3실시예에 따른 박막 증착 방법에서의 피딩 순서를 나타낸 것으로, 역시 주기적 CVD 공정(Cyclic CVD)을 이용한 것이다.

도 6에 도시된 바와 같이, 챔버 내에 웨이퍼를 로딩시킨 후, 소스가스만을 단속적으로 공급하고 퍼지가스와 반응가스는 지속적으로 공급하는 방식이다.

즉, 소스가스, 퍼지가스 및 반응가스가 한꺼번에 일정 시간 공급되는 제 1단계와, 소스가스 공급을 멈추고 퍼지가스와 반응가스가 동시에 일정 시간 공급되는 제 2단계에 의해 1 사이클이 이루어진다.

반응가스와 소스가스가 동시에 공급되는 동안 CVD가 일어나고, 반응가스만 공급할 때 어닐링 효과를 기대하여 박막의 치밀화 및 박막대비 우수한 막 특성을 얻을 수 있다. 퍼지 스텝은 소스가스와 반응가스가 공급되는 시점부터 계속 진행된다.

상술한 과정들을 1 사이클로 하여 반복 진행하므로써, 원하는 두께의 박막을 증착한다.

도 7은 본 발명의 제 4실시예에 따른 박막 증착 방법에서의 피딩 순서를 나타낸 것으로, 역시 주기적 CVD 공정(Cyclic CVD)을 이용한다.

도 7에 도시된 바와 같이, 챔버 내에 웨이퍼를 로딩시킨 후, 반응가스만을 단속적으로 공급하고, 퍼지가스와 공급가스는 지속적으로 공급하는 방식이다.

즉, 소스가스, 퍼지가스 및 반응가스가 한꺼번에 일정 시간 공급되는 제 1 단계와, 반응가스 공급을 멈추고 퍼지가스와 공급가스가 동시에 일정 시간 공급되는 제 2단계에 의해 1 사이클이 이루어진다.

소스가스와 반응가스가 동시에 공급되는 동안 CVD가 일어나고, 반응가스만 공급될 때 어닐링 효과를 기대하여 박막의 치밀화 및 박막 대비 우수한 막 특성을 얻을 수 있다. 퍼지 스텝은 소스가스와 반응가스가 공급되는 시점부터 계속 진행된다.

상술한 과정들을 1 사이클로 하여 반복 진행하므로써, 원하는 두께의 박막을 증착한다.

한편, 상술한 제 1내지 제 4 실시예에서, 매 사이클마다 마지막 단계로서 막질 개선을 위한 플라즈마 처리 단계를 부가할 수 있다. 플라즈마 처리시에는 그 반응가스로서 O_2 , NH_3 , H_2O , N_2H_4 (하드라진), $Me_2N_2H_2$ (디메틸하드라진), H_2 및 이들의 혼합가스를 사용한다. 또한, 플라즈마 파워는 10W~1500W를 갖는다.

또한, 플라즈마 처리 단계는 매 싸이클마다 실시하지 않고, 수~수십 싸이클마다 한번 씩 실시할 수도 있다.

도 8a 내지 도 8e는 상기 도 4~도 7에서 설명한 박막 증착 방법을 적용한 캐패시터 제조 방법을 나타낸 공정 단면도이다.

도 8a에 도시된 바와 같이, 반도체 기판(1) 상부에 증간절연막(2)을 형성한 후, 증간절연막(2)을 관통하여 반도체 기판(1)의 일부와 연결되는 스토리지노드콘택플러그(3)를 형성한다. 이 때, 스토리지노드콘택플러그(3)를 에치 백하여 일정 깊이로 리세스(recess) 시키고, 티타늄실리사이드(a), 티타늄나이트라이드(b)를 적층 형성하고 화학적 기계적 연마(Chemical Mechanical Polishing; CMP)를 진행한다.

이 때, 스토리지노드콘택플러그(3)로 폴리실리콘플러그(Poly Plug)를 사용할 경우, 티타늄실리사이드(a)를 형성하고, 텅스텐 플러그(W Plug)를 사용할 경우, 티타늄실리사이드(a)는 생략 가능하다. 또한, 티타늄나이트라이드를 플러그로 사용할 수 있고, 본 실시예에서는 티타늄나이트라이드플러그(TiN Plug)를 적용한다.

한편, 스토리지노드콘택플러그(3) 형성 전에 소자분리, 워드라인 및 비트라인 등의 DRAM 구성에 필요한 공정이 진행된다.

다음으로, 스토리지노드콘택플러그(3) 상부에 식각정지막(4)과 SN 산화막(5)을 적층 형성한다. 여기서, SN 산화막(5)은 실린더 구조의 스토리지노드가 형성될 홀을 제공하기 위한 산화막이고, 식각정지막(4)은 SN 산화막(5) 식각시 하부구조물이 식각되는 것을 방지하기 위한 식각베리어 역할을 한다. 바람직하게 식각정지막(5)은 저압화학기상증착법(LPCVD)의 실리콘산화막(Si_3N_4)으로 형성하며, SN 산화막(5)은 BPSG, USG, PETEOS 또는 HDP 산화막으로 형성한다.

다음으로, SN 산화막(5)과 식각정지막(4)을 순차적으로 식각하여 스토리지노드콘택플러그(3) 상부를 노출시키는 스토리지노드홀(6)을 형성한다.

이어서, 도 8b에 도시된 바와 같이, 스토리지노드홀(6)을 포함하는 SN 산화막(5) 표면 상에 스토리지노드(7)를 형성한다. 스토리지노드는 도 4~도 7을 통해서 설명한 ALD와 CVD의 혼합 방식 또는 주기성이 있는 CVD를 사용하여 형성한다.

이는 스토리지노드(7)의 증착 속도를 향상시키면서, 스텝 커버리지특성을 강화시킬 수 있기 때문이다. 스토리지노드(7)를 위한 전도성 박막으로 Ru, Pt, Ir, Rh, Pd, Hf, Ti, W 또는 Ta 중에서 선택된 금속막 또는 RuO_2 또는 IrO_2 중에서 선택된 전도성 금속 산화막으로 형성한다.

스토리지노드용 전극으로서 상기한 박막들을 형성할 때, 소스가스로는 상기 금속의 소스가스를 사용하며, 반응가스로는 O_2 , NH_3 , N_2O , N_2H_4 (하드라진), $\text{Me}_2\text{N}_2\text{H}_2$ (디메틸히드라진), H_2 및 이들의 혼합가스를 사용한다.

이어서, 도 8c에 도시된 바와 같이, 스토리지노드홀(6)의 내부에만 실린더형 스토리지노드(7)를 형성하는 스토리지노드 분리(Storage Node Isolation) 공정을 진행한다.

스토리지노드 분리 공정은, 스토리지노드홀(6)을 제외한 SN 산화막(5) 표면 상부에 형성된 스토리지노드를 CMP 또는 에치백으로 제거하여 실린더형 스토리지노드(7)를 형성하는 것이다. 여기서, CMP 또는 에치백 공정시에 연마재나 식각된 입자 등의 불순물이 스토리지노드(7) 내부에 부착되는 등의 우려가 있으므로, 스텝 커버리지 특성이 좋은 포토레지스트로 스토리지노드홀(6)의 내부를 모두 채운 후에, SN 산화막이 노출될 때까지 연마 또는 에치백을 수행하고, 포토레지스트를 애싱(Ashing)하여 제거하는 것이 좋다.

한편, 스토리지노드 분리 공정이 끝난 후, SN 산화막(5) 상에 유전막을 증착하면 콘케이브 구조이고, SN 산화막(5)을 제거한 후 유전막을 증착하면 실린더형 구조로서, 본 실시예에서는 실린더형 구조를 예로 들어 설명한다.

이어서, 도 8d에 도시된 바와 같이, SN 산화막(5)을 선택적으로 습식 딥아웃하여 스토리지노드(7)의 내벽 및 외벽을 모두 드러낸다.

이 때, 습식 딥아웃 공정은 주로 불산(HF) 용액을 이용하여 실시하는데, 산화막으로 형성한 SN 산화막(5)이 불산용액에 의해 식각된다. 한편, SN 산화막(5) 아래의 식각정지막(4)은 산화막의 습식 식각시 선택비를 갖는 실리콘질화막으로 형성했기 때문에 습식 케미컬에 의해 식각되지 않는다.

이어서, 도 8e에 도시된 바와 같이, 스토리지노드(7) 상에 유전막(8)과 플레이트 전극(9)을 차례로 형성한다. 유전막(8)은 스퍼터링법, CVD, ALD를 이용하여 형성하고, 후처리를 위한 분위기로 산소, 오존, 산소 플라즈마를 사용한다. 이 때, 오존 또는 산소 플라즈마를 사용할 경우 200℃ ~ 500℃의 온도 범위를 갖는다.

계속해서, 유전막(8)은 HfO_2 , Al_2O_3 , ZrO_2 , La_2O_3 , Ta_2O_5 , TiO_2 , $\text{BST}(\text{BaSrTiO}_3)$, SrTiO_3 , PZT, BLT, SPT, $\text{Bi}_2\text{Ti}_2\text{O}_7$ 단독 또는 복층막으로 형성한다. 복층막은 $\text{HfO}_2/\text{Al}_2\text{O}_3$, $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2$ 등 가능한 조합을 갖는 모든 경우를 사용한다.

이어서, 유전막(8) 상에 플레이트 전극(9)은 스토리지물질과 동일한 물질, As, P등을 도핑하여 전도성을 갖는 도핑된 실리콘 또는 TiN과 같은 전도성 박막 중에서 선택한 금속막을 ALD, CVD, PEALD 또는 스토리지노드를 형성한 방법 중에서 선택된 방법을 이용하여 형성한다.

상술한 바와 같이 본 발명은 스토리지노드의 낮은 증착율을 개선하기 위하여 ALD 공정 또는 PEALD 공정에 대하여 소스가스, 반응가스 및 퍼지가스의 공급 주기를 조절하여 박막의 특성 열화를 최소화하며 증착 속도를 향상시킬 수 있다.

본 발명은 DRAM 캐패시터의 저장 전극 제조 뿐만 아니라, 게이트 전극, 베리어메탈, 3차원 구조를 적용하는 고밀도 FeRAM의 강유전 캐패시터의 전극 제조 등 메탈 ALD 공정에 대체 적용할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은, 일반적인 ALD 공정과 CVD 공정의 소스가스, 반응가스의 공급 시간을 조절하므로써 ALD 공정과 PEALD 공정에 비해 단위사이클의 주기가 짧아 빠른 증착 속도로 박막을 형성할 수 있고, 단위사이클 동안 퍼지가 계속 진행되므로 순수한 박막을 얻을 수 있다.

또한, 65nm 테크놀로지 이하의 디자인 룰을 갖는 DRAM 소자의 캐패시터 제작시 메탈 스토리지노드 증착 공정의 양산성을 대폭적으로 개선할 수 있는 박막 형성기술로서 캐패시터를 안정적으로 제작할 수 있으며, 그에 따른 원가 절감 효과가 기대된다.

또한, 150nm 테크놀로지 이하의 디자인 룰을 갖는 FeRAM 소자의 캐패시터 제작시 하부전극 형성 공정으로 사용하여 강유전 특성 및 패티그 특성이 우수한 FeRAM을 제작할 수 있다.

(57) 청구의 범위

청구항 1.

소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며,

상기 한 사이클의 피딩 순서는,

소스가스와 반응가스를 동시에 공급하는 제 1 단계;

상기 소스가스와 반응가스의 공급 없이 퍼지가스를 공급하는 제 2 단계;

상기 소스가스와 퍼지가스의 공급 없이 상기 반응가스를 공급하는 제 3 단계; 및

상기 소스가스와 반응가스의 공급 없이 퍼지가스를 공급하는 제 4 단계를 포함하는

박막 증착 방법.

청구항 2.

소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며,

상기 한 사이클의 피딩 순서는,

퍼지가스를 지속적으로 공급하면서, 반응가스 없이 소스가스를 공급하는 제 1 단계와, 소스가스 없이 반응가스를 공급하는 제 2 단계를 포함하며, 상기 반복 수행되는 때 사이클의 마지막 단계로서, 증착된 박막을 플라즈마 처리하는 단계를 포함하는 박막 증착 방법.

청구항 3.

소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며,

상기 한 사이클의 피딩 순서는,

소스가스, 반응가스 및 퍼지가스가 공급되는 제 1 단계; 및

소스가스의 공급 없이 반응가스 및 퍼지가스를 공급하는 제 2 단계를 포함하는 박막 증착 방법.

청구항 4.

소정의 피딩 순서를 한 사이클로하여 상기 사이클을 반복 수행하므로써 원하는 박막을 증착하며,

상기 한 사이클의 피딩 순서는,

소스가스, 반응가스 및 퍼지가스가 공급되는 제 1 단계; 및

반응가스의 공급 없이 소스가스 및 퍼지가스를 공급하는 제 2 단계를 포함하는 박막 증착 방법.

청구항 5.

제1항, 제3항 및 제4항 중 어느 한 항에 있어서,

상기 반복 수행되는 때 사이클의 마지막 단계로서, 증착된 박막을 플라즈마 처리하는 단계를 더 포함하는 박막 증착 방법.

청구항 6.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 반복 수행되는 사이클 중에서 수~수십 사이클 마다 한 번씩 증착된 박막을 플라즈마 처리하는 단계를 더 포함하는 박막 증착 방법.

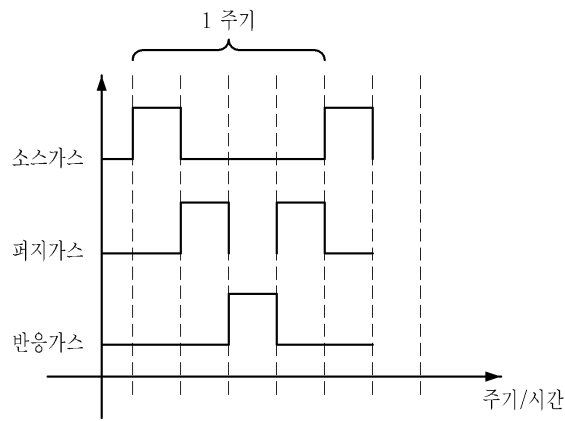
청구항 7.

제2항에 있어서,

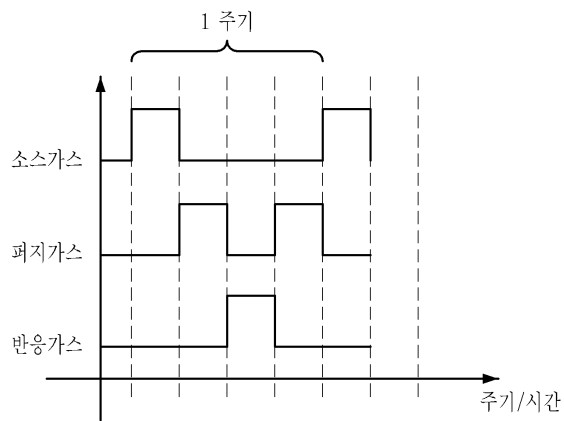
상기 소스가스 없이 반응가스를 공급하는 제2단계에서, 플라즈마를 인가하는 박막 증착 방법.

도면

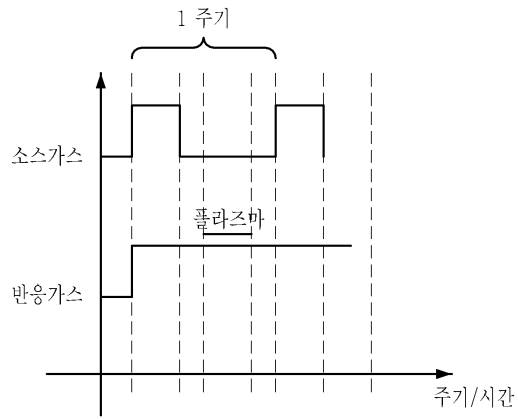
도면1



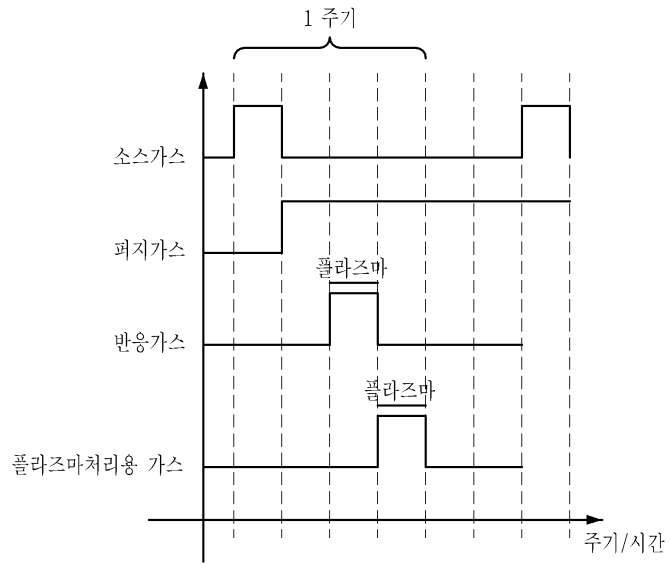
도면2a



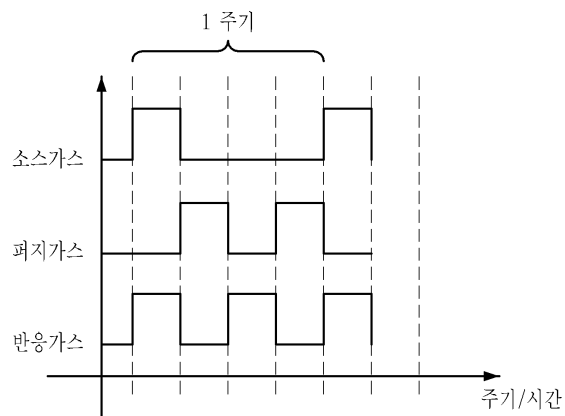
도면2b



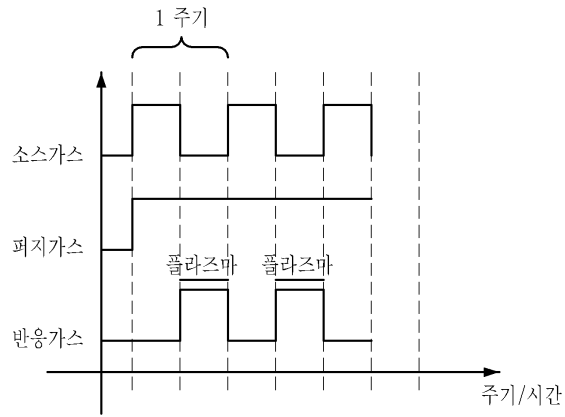
도면3



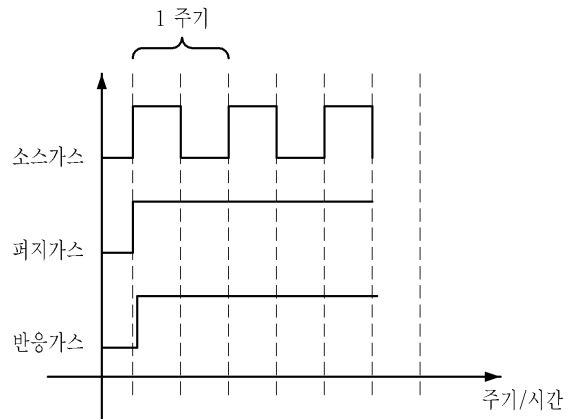
도면4



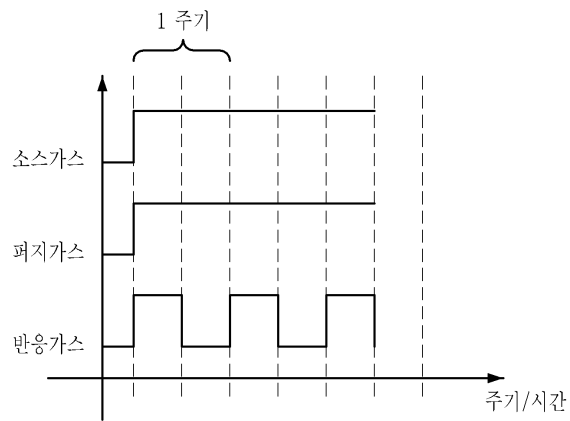
도면5



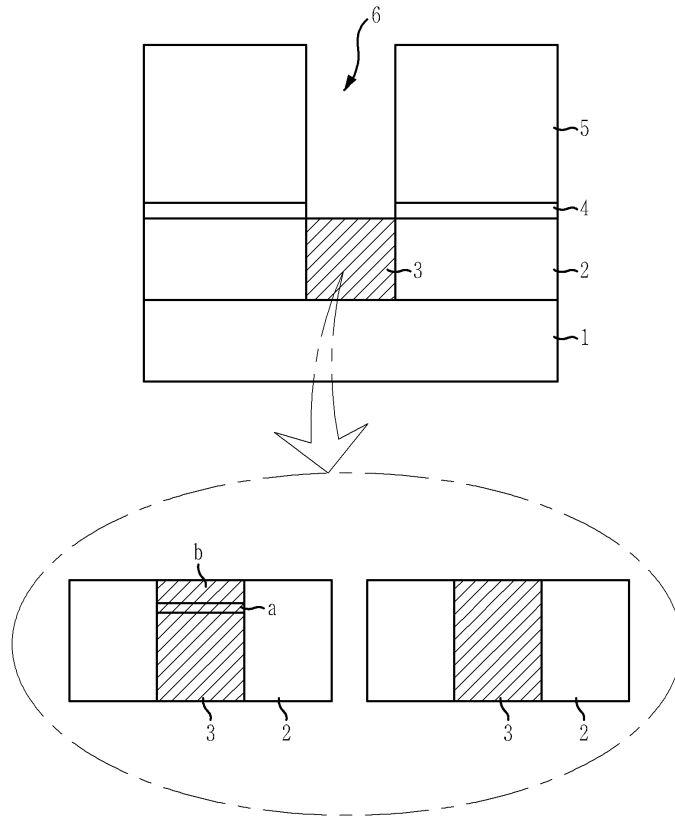
도면6



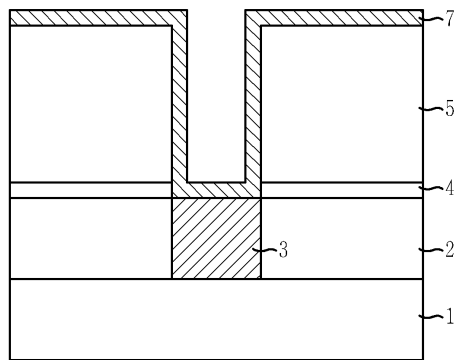
도면7



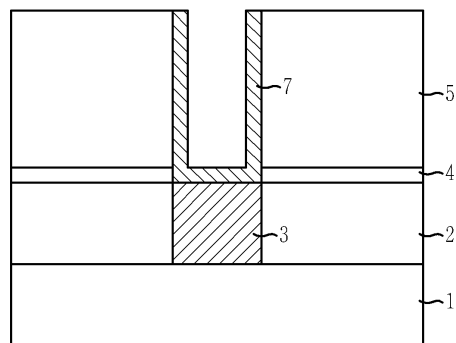
도면8a



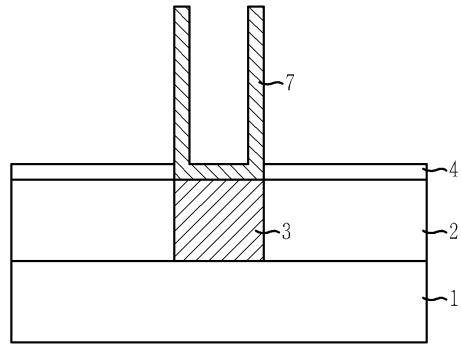
도면8b



도면8c



도면8d



도면8e

