



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I811128 B

(45)公告日：中華民國 112 (2023) 年 08 月 01 日

(21)申請案號：111137917

(22)申請日：中華民國 111 (2022) 年 10 月 05 日

(51)Int. Cl. : **H03K5/145 (2006.01)****H03K17/14 (2006.01)****H03L1/00 (2006.01)**

(71)申請人：國立中山大學(中華民國) NATIONAL SUN YAT-SEN UNIVERSITY (TW)

高雄市鼓山區蓮海路 70 號

(72)發明人：王朝欽 WANG, CHUA-CHIN (TW)；何詠媛 HO, YUNG-YUAN (TW)；樓邦彥

LOU, PANG-YEN (TW)；陳穎萱 CHEN, YING-XUAN (TW)

(74)代理人：張啟威

(56)參考文獻：

CN 101689071B

CN 105159374A

CN 109672441A

US 2008/0284530A1

US 2014/0266290A1

US 2020/0350893A1

US 2021/0226612A1

審查人員：蘇齊賢

申請專利範圍項數：9 項 圖式數：9 共 30 頁

(54)名稱

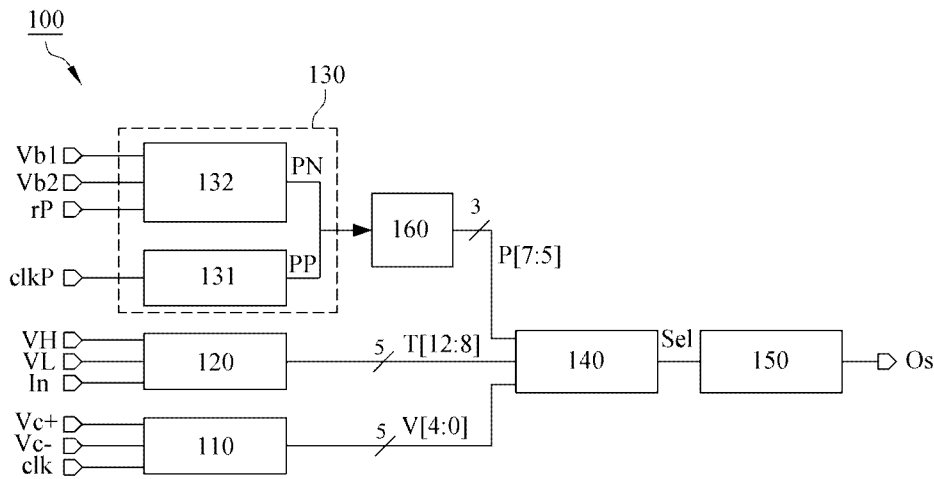
抑制製程、電壓、溫度變異之振盪器

(57)摘要

一種抑制製程、電壓、溫度變異之振盪器包含一電壓變異偵測電路、一溫度變異偵測電路、一製程變異偵測電路、一運算單元及一振盪器，該運算單元電性連接該電壓變異偵測電路、該溫度變異偵測電路及該製程變異偵測電路，且該運算單元根據該製程變異偵測訊號、該電壓變異偵測訊號及溫度變異偵測訊號輸出一輸出選擇控制訊號，該振盪器之複數個延遲單元相互串接，且各該延遲元件輸出一延遲訊號，該振盪器之複數個多工器電性連接各該延遲單元以接收各該延遲訊號，且該些多工器受該輸出選擇控制訊號控制而輸出其中之一該延遲訊號為一振盪訊號。

An oscillator with PVT variation suppression includes a voltage variation detection circuit, a temperature variation detection circuit, a process variation detection circuit, an operation unit and an oscillator. The operation unit is electrically connected to the voltage variation detection circuit, the temperature variation detection circuit and the process variation detection circuit, and the operation unit outputs an output selection control signal according to the process variation detection signal, the voltage variation detection signal and the temperature variation detection signal. A plurality of delay units of the oscillator are connected in series with each other, and each of the delay elements output a delay signal. A plurality of multiplexers of the oscillator are electrically connected to each of the delay units to receive each of the delay signals, and the multiplexers are controlled by the output selection control signal to output one of the delay signals as an oscillation signal.

指定代表圖：



第 1 圖

符號簡單說明：

100:抑制製程、電壓、溫度變異之振盪器

110:電壓變異偵測電路

120:溫度變異偵測電路

130:製程變異偵測電路

131:NMOS 製程變異偵測器

132:PMOS 製程變異偵測器

140:運算單元

150:振盪器

Os:振盪訊號

Vc+:正端控制電壓

Vc-:負端控制電壓

clk:時脈訊號

VH:高電位參考電壓

VL:低電位參考電壓

In:初始電壓控制訊號

clkP:製程時脈訊號

Vb1:第一門檻電壓

Vb2:第二門檻電壓

rP:重置訊號

PN:NMOS 製程變異偵測訊號

PP:PMOS 製程變異偵測訊號

P[7:5]:製程變異偵測訊號

T[12:8]:溫度變異偵測訊號

V[4:0]:電壓變異偵測訊號

Sel:輸出選擇控制訊號



I811128

【發明摘要】

【中文發明名稱】 抑制製程、電壓、溫度變異之振盪器

【英文發明名稱】 Oscillator with PVT variation suppression

【中文】

一種抑制製程、電壓、溫度變異之振盪器包含一電壓變異偵測電路、一溫度變異偵測電路、一製程變異偵測電路、一運算單元及一振盪器，該運算單元電性連接該電壓變異偵測電路、該溫度變異偵測電路及該製程變異偵測電路，且該運算單元根據該製程變異偵測訊號、該電壓變異偵測訊號及溫度變異偵測訊號輸出一輸出選擇控制訊號，該振盪器之複數個延遲單元相互串接，且各該延遲元件輸出一延遲訊號，該振盪器之複數個多工器電性連接各該延遲單元以接收各該延遲訊號，且該些多工器受該輸出選擇控制訊號控制而輸出其中之一該延遲訊號為一振盪訊號。

【英文】

An oscillator with PVT variation suppression includes a voltage variation detection circuit, a temperature variation detection circuit, a process variation detection circuit, an operation unit and an oscillator. The operation unit is electrically connected to the voltage variation detection circuit, the temperature variation detection circuit and the process variation detection circuit, and the operation unit outputs an output selection control signal according to the process variation detection signal, the voltage variation detection signal and the temperature variation detection signal. A plurality of delay units of the oscillator are connected in series with each other, and each of the delay

elements output a delay signal. A plurality of multiplexers of the oscillator are electrically connected to each of the delay units to receive each of the delay signals, and the multiplexers are controlled by the output selection control signal to output one of the delay signals as an oscillation signal.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100:抑制製程、電壓、溫度變異之振盪器

110:電壓變異偵測電路

120:溫度變異偵測電路

130:製程變異偵測電路

131:NMOS製程變異偵測器

132:PMOS製程變異偵測器

140:運算單元

150:振盪器

Os:振盪訊號

Vc+:正端控制電壓

Vc-:負端控制電壓

clk:時脈訊號

VH:高電位參考電壓

VL:低電位參考電壓

In:初始電壓控制訊號

clkP:製程時脈訊號

Vb1:第一門檻電壓

Vb2:第二門檻電壓

rP:重置訊號

PN:NMOS製程變異偵測訊號

PP:PMOS製程變異偵測訊號

P[7:5]:製程變異偵測訊號

T[12:8]:溫度變異偵測訊號

V[4:0]:電壓變異偵測訊號

Sel:輸出選擇控制訊號

【發明說明書】

【中文發明名稱】 抑制製程、電壓、溫度變異之振盪器

【英文發明名稱】 Oscillator with PVT variation suppression

【技術領域】

【0001】本發明是關於一種振盪器，特別是關於一種抑制製程、電壓、溫度變異之振盪器。

【先前技術】

【0002】許多電子電路中皆須設置有振盪器提供參考頻率，讓電子電路中的各個元件同步，例如處理器中將振盪器輸出之振盪訊號作為時脈訊號，以同步記憶體中資料的存取及運算，又例如在通訊系統中將振盪器作為本地振盪源，以利用本地振盪源輸出之固定頻率進行無線訊號的收發。但由於目前半導體製程不斷縮小，積體電路將多個系統整合於單一基板上，這使得先進整合製程容易產生溫度升高及電壓落差的問題，導致振盪器輸出之頻率受到電壓、溫度及製程變異的影響而無法輸出預期之頻率。

【發明內容】

【0003】本發明的主要目的在於藉由電壓變異偵測電路、溫度變異偵測電路及製程變異偵測電路分別偵測之電壓變異偵測訊號、溫度變異偵測訊號及製程變異偵測訊號調整振盪器輸出之振盪訊號的頻率，而可得到抑制電壓、溫度及製程變異，輸出頻率穩定之振盪器。

【0004】 本發明一種抑制製程、電壓、溫度變異之振盪器包含一電壓變異偵測電路、一溫度變異偵測電路、一製程變異偵測電路、一運算單元及一振盪器，該電壓變異偵測電路輸出一電壓變異偵測訊號，該溫度變異偵測電路輸出一溫度變異偵測訊號，該製程變異偵測電路輸出一製程變異偵測訊號，該運算單元電性連接該電壓變異偵測電路、該溫度變異偵測電路及該製程變異偵測電路以接收該電壓變異偵測訊號、該溫度變異偵測訊號及該製程變異偵測訊號，且該運算單元根據該製程變異偵測訊號、該電壓變異偵測訊號及溫度變異偵測訊號輸出一輸出選擇控制訊號，該振盪器具有複數個延遲元件及複數個多工器，該些延遲單元相互串接，且各該延遲元件輸出一延遲訊號，各該多工器電性連接各該延遲單元以接收各該延遲訊號，且該些多工器受該輸出選擇控制訊號控制而輸出其中之一該延遲訊號為一振盪訊號。

【0005】 本發明藉由該運算單元根據該電壓變異偵測電路之該電壓變異偵測訊號、該溫度變異偵測電路之該溫度變異偵測訊號及該製程變異偵測電路之該製程變異偵測訊號輸出該輸出選擇控制訊號Sel控制該振盪器，使該振盪器輸出能夠抑制電壓、溫度及製程變異。

【圖式簡單說明】

【0006】

第1圖：依據本發明之一實施例，一抑制製程、電壓、溫度變異之振盪器的功能方塊圖。

第2圖：依據本發明之一實施例，一電壓變異偵測電路的電路圖。

第3圖：依據本發明之一實施例，一可控制延遲電路的電路圖。

第4圖：依據本發明之一實施例，一溫度變異偵測電路的功能方塊圖。

第5圖：依據本發明之一實施例，該溫度變異偵測電路的電路圖。

第6圖：依據本發明之一實施例，一窗口型比較器的電路圖。

第7圖：依據本發明之一實施例，一NMOS製程變異偵測器的電路圖。

第8圖：依據本發明之一實施例，一PMOS製程變異偵測器的電路圖。

第9圖：依據本發明之一實施例，一振盪器的電路圖。

【實施方式】

【0007】請參閱第1圖，其為本發明之一實施例，一種抑制製程、電壓、溫度變異之振盪器100的功能方塊圖，抑制製程、電壓、溫度變異之振盪器100具有一電壓變異偵測電路110、一溫度變異偵測電路120、一製程變異偵測電路130、一運算單元140及一振盪器150。

【0008】請參閱第1及2圖，該電壓變異偵測電路110用以偵測電壓變異而輸出一電壓變異偵測訊號V[4:0]，在本實施例中，該電壓變異偵測電路110具有一延遲線111、一可控制延遲電路112、一暫存單元113及一邏輯閘組114。該延遲線111接收一時脈訊號clk，該延遲線111具有複數個延遲器111a，該些延遲器111a用以對該時脈訊號clk進行延遲，且該些延遲器111a輸出複數個延遲訊號D1~D6，該可控制延遲電路112接收一電源電壓VDD、一正端控制電壓Vc+、一負端控制電壓Vc-及其中之一該延遲器111a輸出之該延遲訊號D6，該可控制延遲電路112依據該電源電壓VDD、該正端控制電壓Vc+及該負端控制電壓Vc-延遲該延遲訊號clk而輸出一延遲時脈訊號Dclk，該暫存單元113電性該延遲線111及該可控制延遲電路112以接收該些延遲訊號D1~D6及該延遲時脈訊號Dclk，且該暫存單元

113被該延遲時脈訊號Dclk觸發而儲存該些延遲訊號D1~D6，該電壓變異偵測電路110將該些延遲訊號D1~D6輸出為一電壓變異偵測訊號V[4:0]。

【0009】請參閱第3圖，該可控制延遲電路112由複數個延遲單元112a串聯而成，各該延遲單元112a具有一正端負載112b、一負端負載112c及一反向器112d。該正端負載112b接收該電源電壓VDD及該正端控制電壓Vc+，該負端負載112c接收該負端控制電壓Vc-及接地，該反向器112d電性連接該正端負載112b及該負端負載112c並對輸入訊號進行反向。在本實施例中，該正端負載112b具有一第一PMOS高壓電晶體Mp1及一第二PMOS高壓電晶體Mp2，該第一、二PMOS高壓電晶體Mp1、Mp2之源極接收該電源電壓VDD，該第一PMOS高壓電晶體Mp1之閘極接收該正端控制電壓Vc+，該第一PMOS高壓電晶體Mp1之汲極、該第二PMOS高壓電晶體Mp2之閘極及汲極電性連接該反向器112d之一第三PMOS高壓電晶體Mp3。該負端負載112c具有一第一NMOS高壓電晶體Mn1及一第二NMOS高壓電晶體Mn2，該第一、二NMOS高壓電晶體Mn1、Mn2之源極接地，該第一NMOS高壓電晶體Mn1之閘極接收該負端控制電壓Vc-，該第一NMOS高壓電晶體Mn1之汲極、該第二NMOS高壓電晶體Mn2之閘極及汲極電性連接該反向器112d之一第三NMOS高壓電晶體Mn3。本實施例是由第一位元之該延遲單元112a接收該延遲訊號D6，再經由各該延遲單元112a的依序延遲後由最後一位元之該延遲單元112a輸出該延遲時脈訊號Dclk，此外，由於本實施例藉由該正端控制電壓Vc+及該負端控制電壓Vc-控制該正端負載112b及該負端負載112c的阻抗大小，可避免因為製程飄移導致該延遲時脈訊號Dclk的錯誤，讓電壓變異之偵測能夠更加準確。

【0010】請參閱第2圖，該暫存單元113電性該延遲線111及該可控制延遲電

路112以接收該些延遲訊號D1-D6及該延遲時脈訊號Dclk，且該暫存單元113被該延遲時脈訊號Dclk觸發而儲存該些延遲訊號D1-D6。在本實施例中，該暫存單元113具有複數個暫存器113a，各該暫存器113a電性連接各該緩衝器111a以接收並由該延遲時脈訊號Dclk的觸發暫存各該延遲訊號D1-D6。由於該電源電壓VDD的電壓變異會改變該可控制延遲電路112輸出之該延遲時脈訊號Dclk的觸發時間，因此，在不同電壓變異下之該些暫存器113a所儲存的該些延遲訊號D1-D6的電位並不相同，而可藉由該些暫存器113a儲存之該些延遲訊號D1-D6的電位判斷該電源電壓VDD的電壓變異。

【0011】該邏輯閘組114具有複數個邏輯閘114a，該些邏輯閘114a電性連接該些暫存器113a以接收暫存之該些延遲訊號D1-D6，且該些邏輯閘114a輸出該電壓變異偵測訊號V[4:0]，在本實施例中，該些邏輯閘114a皆為互斥或閘。雖然藉由該些邏輯閘114a儲存之該些延遲訊號D1-D6的電位可判斷該電源電壓VDD的電壓變異，但些邏輯閘114a儲存之該些延遲訊號D1-D6的電位變化可能較無規律性，較佳的，本實施例藉由該延遲線111及該可控制延遲電路112之延遲量的設計，讓該些邏輯閘114a輸出之該電壓變異偵測訊號V[4:0]在不同電壓變異下有著規律性的變化，以便於後端電路針對電壓變異進行控制。

【0012】請參閱第1圖，該溫度變異偵測電路120用以偵測溫度變異而輸出一溫度變異偵測訊號T[12:8]，請參閱第4圖，在本實施例中，該溫度變異偵測電路120具有一電流產生器121、一充放電電路122、一窗口型比較器123及一編碼器124，該電流產生器121用以輸出一輸出電流Io。該充放電電路122電性連接該電流產生器121以接收該輸出電流Io並輸出一充電電壓Vc。該窗口型比較器123電性連接該充放電電路122以接收該充電電壓Vc，且該窗口型比較器123輸出一輸

出電壓 V_o 至該充放電電路122，該充放電電路122依據該輸出電壓 V_o 進行充電或放電。該編碼器124電性連接該窗口型比較器123以接收該輸出電壓 V_o 並將該輸出電壓 V_o 輸出為該溫度變異偵測訊號 $T[12:8]$ 。

【0013】請參閱第5圖，該電流產生器121具有一第一電流鏡121a、一電阻121b及一第二電流鏡121c，該電阻121b電性連接該第一電流鏡121a及該第二電流鏡121c，該電阻121b用以產生該輸出電流 I_o ，該第二電流鏡121c電性連接該充放電電路122，該第二電流鏡121c用以將該輸出電流 I_o 映射至該充放電電路122，較佳的，該輸出電流 I_o 的電流值與溫度呈線性關係。

【0014】請參閱第5圖，該充放電電路122具有一充電電流鏡122a、一充放電電容122b、一充放電開關122c及一放電電流鏡122d。該充電電流鏡122a電性連接該第二電流鏡121c及該充放電電容122b，該充電電流鏡122a用以將該第二電流鏡121c的電流映射至該充放電電容122b。該充放電開關122c電性連接該充放電電容122b及該放電電流鏡122d，該充放電開關122c受該輸出電壓 V_o 的控制導通或截止該放電電流鏡122d與該充放電電容122b之間的電性連接，以切換該充電電流鏡122a對該充放電電容122b充電，或讓該充放電電容122b經由該放電電流鏡122d放電，該充放電電容122b的端電壓則輸出為該充電電壓 V_c 。在本實施例中，該輸出電壓 V_o 為高電位時，該充放電開關122c截止該放電電流鏡122d與該充放電電容122b之間的電性連接而進入充電模式，該輸出電壓 V_o 為低電位時，該充放電開關122c導通該放電電流鏡122d與該充放電電容122b之間的電性連接而進入放電模式。

【0015】其中，藉由該充電電流鏡122a及該放電電流鏡122d之電晶體尺寸差異的設計，可讓該放電電流鏡122d之電流大小為該充電電流鏡122a之電流大

小的兩倍，因此，當該輸出電壓 V_o 控制該充放電開關122c讓該放電電流鏡122d與該充放電電容122b之間截止時，該充電電流鏡122a之電流會對該充放電電容122b進行充電使該充電電壓 V_c 上升。反之，當該輸出電壓 V_o 控制該充放電開關122c讓該放電電流鏡122d與該充放電電容122b之間導通時，雖然該充電電流鏡122a會持續提供電流，但由於該放電電流鏡122d之電流大小為該充電電流鏡122a之電流大小的兩倍，使得該充電電流鏡122a的電流會流向該放電電流鏡122d，且該充放電電容122b也會朝該放電電流鏡122d放電而讓充電電壓 V_c 下降。

【0016】請參閱第5及6圖，該窗口型比較器123具有一第一比較器123a、一第二比較器123b、一比較器切換開關123c、一初始電壓開關123d及一VWC(voltage windows comparator)反向器123e。該第一比較器123a電性連接該充放電電容122b以接收該充電電壓 V_c 及該高電位參考電壓 V_H 進行比較而輸出一第一比較訊號op1。該第二比較器123b電性連接該充放電電容122b以接收該充電電壓 V_c 及該低電位參考電壓 V_L 進行比較而輸出一第二比較訊號op2。該比較器切換開關123c電性連接該第一、二比較器123a、123b及該VWC反向器123e，該比較器切換開關123c受該輸出電壓 V_o 的控制以選擇性地將該第一比較訊號op1或該第二比較訊號op2傳送至該VWC反向器123e進行反向，該初始電壓開關123d電性連接該VWC反向器123e及接地，該VWC反向器123e輸出該輸出電壓 V_o 。其中，該初始電壓開關123d受一初始電壓控制訊號 I_n 控制，用以在導通時將該VWC反向器123e接地，使該VWC反向器123e輸出之該輸出電壓 V_o 為高電位。其中，當該輸出電壓 V_o 為高電位時，該比較器切換開關123c切換至該第一比較器123a，以將該第一比較訊號op1傳送至該VWC反向器123e進行反向，相對地，當該輸出電壓 V_o 為低電位時，該比較器切換開關123c切換至該第二比較器123b，以將該

第二比較訊號op2傳送至該VWC反向器123e進行反向。

【0017】請參閱第4圖，該編碼器124電性連接該窗口型比較器123以接收該輸出電壓Vo，該編碼器124依據該輸出電壓Vo輸出該溫度變異偵測訊號T[12:8]。該編碼器124用以將該輸出電壓Vo的電位變化轉換為數位訊號，以利後端電路針對溫度變異進行控制。

【0018】該溫度變異偵測側電路120的電路作動為：該電流產生器121輸出之該輸出電流Io映射至該充放電電路122讓該充電電流鏡122a及該放電電流鏡122d產生電流；該初始電壓控制訊號In導通該初始電壓開關123d，使該輸出電壓Vo為高電位，此時進入充電模式，該充放電開關122c截止該充放電電容122b與該放電電流鏡122d之間的電性連接，該充電電流鏡122a對該充放電電容122b充電，使該充電電壓Vc上升，當該充電電壓Vc上升至大於該高電位參考電壓VH時，該第一比較訊號op1上升至高電位而讓該VWC反向器123e輸出之該輸出電壓Vo轉為低電位；此時進入放電模式，該充放電開關122c導通該充放電電容122b與該放電電流鏡122d之間的電性連接，該充放電電容122b放電，使該充電電壓Vc下降，當該充電電壓Vc下降至小於該低電位參考電壓VL時，該第二比較訊號op2上升至低電位而讓該VWC反向器123e輸出之該輸出電壓Vo轉為高電位，又重新進入充電模式。該充放電電容122b反覆的充放電使得該輸出電壓Vo在高低電位之間振盪，且由於輸出電流Io的大小能改變充放電的速度，讓該輸出電壓Vo的振盪頻率與該輸出電流Io的大小呈線性關係，也由於該輸出電流Io與溫度為線性關係，而可讓該輸出電壓Vo的頻率與溫度為線性關係並測得溫度變異。

【0019】請參閱第1圖，該製程變異偵測電路130用以偵測製程變異而輸出一製程變異偵測訊號P，在本實施例中，該製程變異偵測電路130具有一NMOS製

程變異偵測器131及PMOS製程變異偵測器132，該製程變異偵測訊號P包含一NMOS製程變異訊號PN及一PMOS製程變異訊號PP，該NMOS製程變異偵測器131用以偵測NMOS製程變異而輸出該NMOS製程變異偵測訊號PN，該PMOS製程變異偵測器132用以偵測PMOS製程變異而輸出該PMOS製程變異偵測訊號PP。

【0020】請參閱第7圖，該NMOS製程變異偵測器131具有複數個NMOS反向電路131a、複數個CMOS反向電路131b、一及閘131c及一計數器131d，該些NMOS反向電路131a及該些CMOS反向電路131b交叉串接為一環形振盪單元RO，該環形振盪單元RO輸出一製程變異振盪訊號POs，該及閘131c電性連接該環形振盪單元RO及該振盪器150以接收該製程變異振盪訊號POs及一製程時脈訊號clkP，該及閘131c輸出一及閘訊號and，該及閘訊號and並迴授為該環形振盪單元RO的輸入訊號，該計數器131d經由反向器電性連接該及閘以131c接收反向之該及閘訊號and，該計數器131d用以計數該及閘訊號and的突波次數而輸出一計數訊號。

【0021】其中，由於該環形振盪單元RO的該NMOS反向電路131a會受到製程變異的影響，使該環形振盪單元RO之該製程變異振盪訊號POs在該製程時脈訊號clkP之一週期中的振盪次數發生變化，且該製程時脈訊號clkP於訊號上緣會重置該計數器131d，讓該計數器131d所計數之該及閘訊號and的突波次數即為該製程變異振盪訊號POs在該製程時脈訊號clkP之一週期中的振盪次數，因此，本實施例可藉此測得NMOS的製程角落。

【0022】較佳的，在本實施例中，該計數訊號的最高兩位元Ct1、Ct2儲存於兩暫存器R1、R2中，該兩暫存器R1、R2所儲存之數據則輸出為該NMOS製程變異偵測訊號PN。

【0023】請參閱第8圖，該PMOS製程變異偵測器132具有一反向器132a、一第一PMOS串132b、一第二PMOS串132c、一第一比較器132d及一第二比較器132e。該反向器132a接收一重置訊號rP並輸出一反向重置訊號rPb。該第一PMOS串132b具有一第一PMOSMp11及一第二PMOSMp12，該第一PMOSMp11電性連接該反向器132a並受該反向重置訊號rPb控制，該第二PMOSMp12電性連接該第一PMOSMp11，且該第二PMOSMp12接收該重置訊號rP並受其控制，該第一PMOS串132b輸出一第一電位Vp1。該第二PMOS串132c具有一第三PMOSMp13及一第四PMOSMp14，該第三PMOSMp13電性連接該反向器132a並受該反向重置訊號rPb控制，該第四PMOSMp14電性連接該第一PMOS串132b，且該第四PMOSMp14接收該第一電位Vp1並受其控制，該第二PMOS串132c輸出一第二電位Vp2。該第一比較器132d及該第二比較器132e電性連接該第二PMOS串132c，該第一比較器132d接收該第二電位Vp2及一第一門檻電壓Vb1鏡進行比較而輸出一第一比較訊號C1，該第二比較器132e接收該第二電位Vp2及一第二門檻電壓Vb2並進行比較而輸出一第二比較訊號C2。

【0024】其中，當該重置訊號rP為高電位時，該反向重置訊號rPb為低電位，該第一PMOSMp11及該第三PMOSMp13導通，此時該第一電位Vp1及該第二電位Vp2上升至高電位。當該重置訊號rP為低電位時，該第二PMOSMp12及該第四PMOSMp14導通，該第一電位Vp1會放電至PMOS之臨界電壓，該第二電位Vp2會放電至兩倍之PMOS之臨界電壓，因此，藉由該第一比較器132d及該第二比較器132e將該第二電位Vp2與該第一門檻電壓Vb1及該第二門檻電壓Vb2比較後，即可藉由該第一比較訊號C1及該第二比較訊號C2判斷PMOS的製程角落。

【0025】較佳的，在本實施例中，該第一比較訊號C1及該第二比較訊號C2

暫存於兩暫存器R3、R4中，該兩暫存器R3、R4所儲存之數據則輸出為該PMOS製程變異偵測訊號PP。

【0026】請參閱第1圖，該NMOS製程變異偵測訊號PN及該PMOS製程變異偵測訊號PP送至一編碼器160中重新編碼為3位元之該製程變異偵測訊號P[7:5]。

【0027】請參閱第1圖，該運算單元140電性連接該電壓變異偵測電路110、該溫度變異偵測電路120及該製程變異偵測電路130以接收該電壓變異偵測訊號V[4:0]、該溫度變異偵測訊號T[12:8]及該製程變異偵測訊號，且該運算單元140根據該製程變異偵測訊號P[7:5]、該電壓變異偵測訊號V[4:0]及該溫度變異偵測訊號T[12:8]輸出一輸出選擇控制訊號Sel。在本實施例中，該運算單元140為一FPGA晶片，該輸出選擇控制訊號Sel為6位元之數位訊號，在其他實施例中，該運算單元140可為其他微處理器，本發明並不在此限。

【0028】請參閱第1及9圖，該振盪器150具有複數個延遲元件151、複數個多工器152及一解碼器153，該解碼器153接收6位元之該輸出選擇控制訊號Sel並將其解碼為64位元。該些延遲單元151相互串接，且各該延遲元件151輸出一延遲訊號。各該多工器152電性連接各該延遲單元151以接收各該延遲訊號，且該些多工器152受該解碼器153解碼之64位元的該輸出選擇控制訊號Sel控制而輸出其中之一該延遲訊號為一振盪訊號Os。在本實施例中，各該延遲元件151為雙輸入及雙輸出之延遲器，因此，該些多工器152為兩個為一組，同一組之該些多工器分別電性連接各該延遲元件之正端輸出及負端輸出，且同一組之該些多工器受同一位元之該輸出選擇控制訊號Sel控制。

【0029】本實施例共有64組之該些多工器152，由右至左分別為第0位元及第63位元，第63位元之該些多工器152分別接收高電位及低電位，當該64位元的

該輸出選擇控制訊號Sel選擇開啟第63位元之該些多工器152即可啟動該些延遲元件151進行振盪。其中，當該64位元的該輸出選擇控制訊號Sel的選擇碼越大時，參與振盪之該些延遲元件151越多，這將使得輸出之該振盪訊號Os的頻率越慢，反之，當該64位元的該輸出選擇控制訊號Sel的選擇碼越小時，參與振盪之該些延遲元件151越少，這將使得輸出之該振盪訊號Os的頻率越快，藉此可調整輸出之該振盪訊號Os的頻率。

【0030】本實施例預先測得在不同之電壓、溫度及製程變異下，參與振盪之該些延遲元件151的數量多寡能夠抑制電壓、溫度及製程變異，而決定該輸出選擇控制訊號Sel的編碼規則。因此在實際使用中，讓該運算單元140根據該製程變異偵測訊號P[7:5]、該電壓變異偵測訊號V[4:0]及該溫度變異偵測訊號T[12:8]輸出之該輸出選擇控制訊號Sel能夠使該振盪器150輸出之該振盪訊號Os抑制電壓、溫度及製程變異，而達到所設定之頻率大小。

【0031】本發明藉由該運算單元140根據該電壓變異偵測電路110之該電壓變異偵測訊號V[4:0]、該溫度變異偵測電路120之該溫度變異偵測訊號T[12:8]及該製程變異偵測電路130之該製程變異偵測訊號P[7:5]輸出該輸出選擇控制訊號Sel控制該振盪器150，使該振盪器150能夠抑制電壓、溫度及製程變異。

【0032】本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。

【符號說明】

【0033】

100:抑制製程、電壓、溫度變異之振盪器

110:電壓變異偵測電路

111:延遲線

111a:延遲器

112:可控制延遲電路

112a:延遲單元

112b:正端負載

112c:負端負載

112d:反向器

113:暫存單元

113a:暫存器

114:邏輯閘組

114a:邏輯閘

120:溫度變異偵測電路

In:初始電壓控制訊號

121:電流產生器

121a:第一電流鏡

121b:電阻

121c:第二電流鏡

122:充放電電路

122a:充電電流鏡

122b:充放電電容

122c:充放電開關

122d:放電電流鏡

123:窗口型比較器

123a:第一比較器

123b:第二比較器

123c:比較器切換開關

123d:初始電壓開關

123e:VWC 反向器

124:編碼器

130:製程變異偵測電路

131:NMOS 製程變異偵測器

131a:NMOS 反向電路

131b:CMOS 反向電路

131c:及閘

131d:計數器

132:PMOS 製程變異偵測器

132a:反向器

132b:第一 PMOS 串

132c:第二 PMOS 串

132d:第一比較器

132e:第二比較器

140:運算單元	150:振盪器
151:延遲元件	152:多工器
153:解碼器	160:編碼器
RO:環形振盪單元	VDD:電源電壓
P[7:5]:製程變異偵測訊號	PN:NMOS 製程變異偵測訊號
PP:PMOS 製程變異偵測訊號	V[4:0]:電壓變異偵測訊號
T[12:8]:溫度變異偵測訊號	Sel:輸出選擇控制訊號
Os:振盪訊號	Vb1:第一門檻電壓
Vb2:第二門檻電壓	clk:時脈訊號
D1~D6:延遲訊號	Vc+:正端控制電壓
Vc-:負端控制電壓	Dclk:延遲時脈訊號
Mp1:第一 PMOS 高壓電晶體	Mp2:第二 PMOS 高壓電晶體
Mp3:第三 PMOS 高壓電晶體	Mn1:第一 NMOS 高壓電晶體
Mn2:第二 NMOS 高壓電晶體	Mn3:第三 NMOS 高壓電晶體
Io:輸出電流	Vc:充電電壓
Vo:輸出電壓	VH:高電位參考電壓
op1:第一比較訊號	VL:低電位參考電壓
op2:第二比較訊號	clkP:製程時脈訊號
POs:製程變異振盪訊號	rP:重置訊號
rPb:反向重置訊號	Vp1:第一電位
Vp2:第二電位	C1:第一比較訊號
C2:第二比較訊號	and:及閘訊號

Mp11:第一 PMOS

Mp12:第二 PMOS

Mp13:第三 PMOS

Mp14:第四 PMOS

R1~R4:暫存器

【發明申請專利範圍】

【請求項1】 一種抑制製程、電壓、溫度變異之振盪器，其包含：

一電壓變異偵測電路，輸出一電壓變異偵測訊號；

一溫度變異偵測電路，輸出一溫度變異偵測訊號；

一製程變異偵測電路，輸出一製程變異偵測訊號，其中該製程變異偵測電路具有一NMOS製程變異偵測器及PMOS製程變異偵測器，該製程變異偵測訊號包含一NMOS製程變異訊號及一PMOS製程變異訊號，該NMOS製程變異偵測器用以偵測NMOS製程變異而輸出該NMOS製程變異偵測訊號，該PMOS製程變異偵測器用以偵測PMOS製程變異而輸出該PMOS製程變異偵測訊號；

一運算單元，電性連接該電壓變異偵測電路、該溫度變異偵測電路及該製程變異偵測電路以接收該電壓變異偵測訊號、該溫度變異偵測訊號及該製程變異偵測訊號，且該運算單元根據該製程變異偵測訊號、該電壓變異偵測訊號及溫度變異偵測訊號輸出一輸出選擇控制訊號；以及

一振盪器，具有複數個延遲元件及複數個多工器，該些延遲單元相互串接，且各該延遲元件輸出一延遲訊號，各該多工器電性連接各該延遲單元以接收各該延遲訊號，且該些多工器受該輸出選擇控制訊號控制而輸出其中之一該延遲訊號為一振盪訊號。

【請求項2】 如請求項1之抑制製程、電壓、溫度變異之振盪器，其中該溫度變異偵測電路具有一電流產生器、一充放電電路及一窗口型比較器，該電流產生器用以輸出一輸出電流，該充放電電路電性連接該電流產生器以接收該輸出電流並輸出一充電電壓，該窗口型比較器電性連接該充放電電路以接收該充電電壓，且該窗口型比較器輸出一輸出電壓至該充放電電路，該充放電電路依據該輸

出電壓進行充電或放電，其中該溫度變異偵測電路將該輸出電壓輸出為一溫度變異偵測訊號。

【請求項3】如請求項2之抑制製程、電壓、溫度變異之振盪器，其中該電流產生器具有一第一電流鏡、一電阻及一第二電流鏡，該電阻電性連接該第一電流鏡及該第二電流鏡，該電阻用以產生該輸出電流，該第二電流鏡電性連接該充放電電路，該第二電流鏡用以將該輸出電流映射至該充放電電路。

【請求項4】如請求項3之抑制製程、電壓、溫度變異之振盪器，其中該充放電電路具有一充電電流鏡、一充放電電容、一充放電開關及一放電電流鏡，該充電電流鏡電性連接該第二電流鏡，該充放電電容電性連接該充電電流鏡，該充放電開關電性連接該充放電電容及該放電電流鏡，該充放電開關受該輸出電壓的控制導通或截止該放電電流鏡與該充放電電容之間的電性連接，以切換該充電電流鏡對該充放電電容充電或讓該充放電電容經由該放電電流鏡放電，該充放電電容的端電壓為該充電電壓。

【請求項5】如請求項4之抑制製程、電壓、溫度變異之振盪器，其中該窗口型比較器具有一第一比較器、一第二比較器、一比較器切換開關、一初始電壓開關及一VWC(voltage windows comparator)反向器，該第一比較器電性連接該充放電電容以接收該充電電壓及一高電位參考電壓進行比較而輸出一第一比較訊號，該第二比較器電性連接該充放電電容以接收該充電電壓及一低電位參考電壓進行比較而輸出一第二比較訊號，該比較器切換開關電性連接該第一、二比較器及該VWC反向器，該比較器切換開關受該輸出電壓控制以選擇性地將該第一比較訊號或該第二比較訊號傳送至該VWC反向器，該初始電壓開關電性連接該VWC反向器及接地，該VWC反向器輸出該輸出電壓。

【請求項6】如請求項1之抑制製程、電壓、溫度變異之振盪器，其中該溫度變異偵測電路具有一編碼器，該編碼器電性連接該窗口型比較器以接收該輸出電壓，該編碼器依據該輸出電壓輸出該溫度變異偵測訊號。

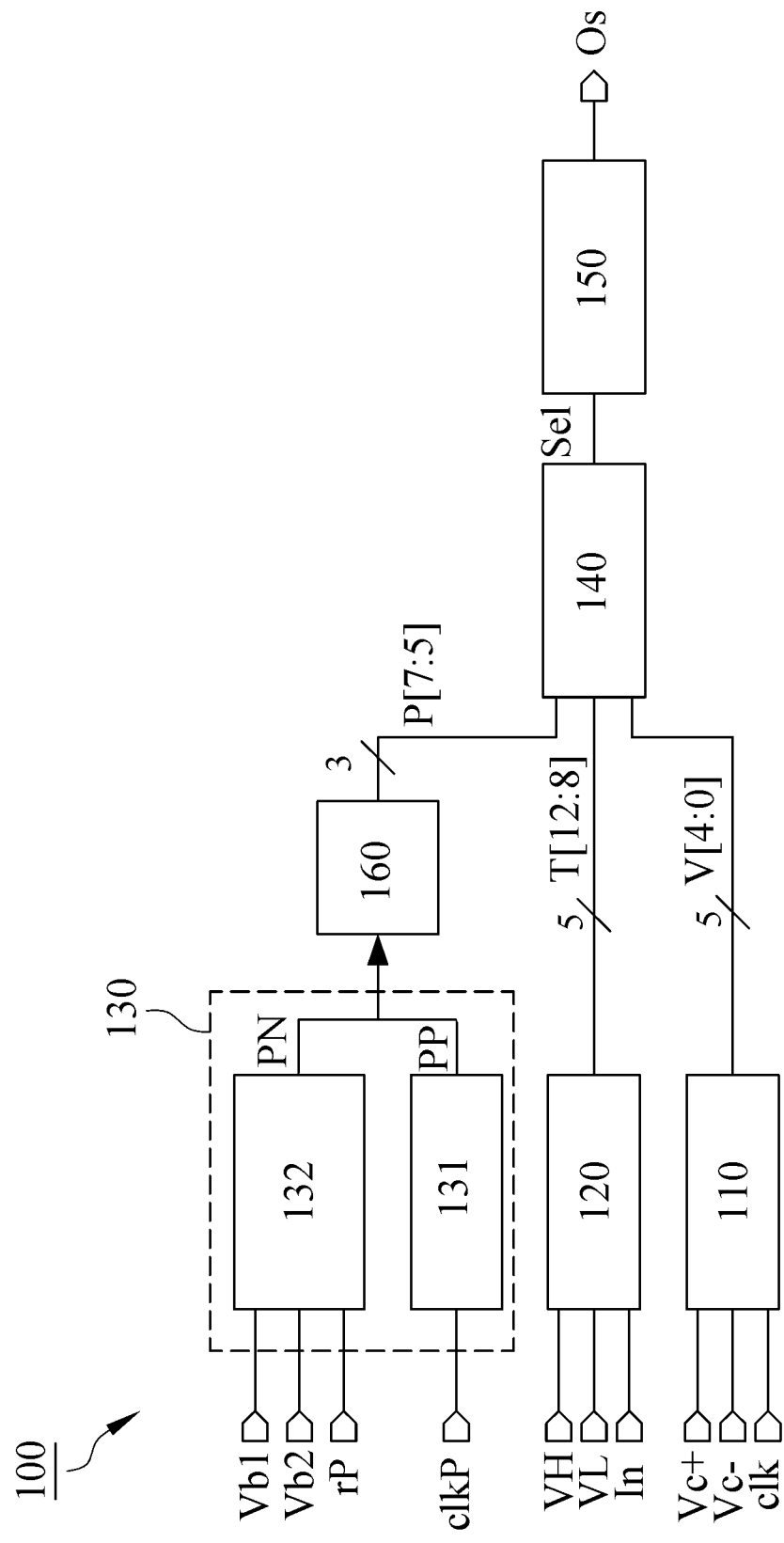
【請求項7】如請求項1之抑制製程、電壓、溫度變異之振盪器，其中該NMOS製程變異偵測器具有複數個NMOS反向電路、複數個CMOS反向電路、一及閘及一計數器，該些NMOS反向電路及該些CMOS反向電路交叉串接為一環形振盪單元，該環形振盪單元輸出一製程變異振盪訊號，該及閘電性連接該環形振盪單元以接收該製程變異振盪訊號及一製程時脈訊號，該及閘輸出一及閘訊號，該及閘訊號並迴授為該環形振盪單元的輸入訊號，該計數器電性連接該及閘以接收該及閘訊號，該計數器用以計數該及閘訊號的突波次數並輸出為該NMOS製程變異偵測訊號。

【請求項8】如請求項1之抑制製程、電壓、溫度變異之振盪器，其中該PMOS製程變異偵測器具有一反向器、一第一PMOS串、一第二PMOS串、一第一比較器及一第二比較器，該反向器接收一重置訊號並輸出一反向重置訊號，該第一PMOS串具有一第一PMOS及一第二PMOS，該第一PMOS電性連接該反向器並受該反向重置訊號控制，該第二PMOS電性連接該第一PMOS，且該第二PMOS接收該重置訊號並受其控制，該第一PMOS串輸出一第一電位，該第二PMOS串具有一第三PMOS及一第四PMOS，該第三PMOS電性連接該反向器並受該反向重置訊號控制，該第四PMOS電性連接該第一PMOS串，且該第四PMOS接收該第一電位並受其控制，該第二PMOS串輸出一第二電位，該第一比較器及該第二比較器電性連接該第二PMOS串，該第一比較器接收該第二電位及一第一門檻電壓近進行比較而輸出一第一比較訊號，該第二比較器接收該第二電位及一第二門

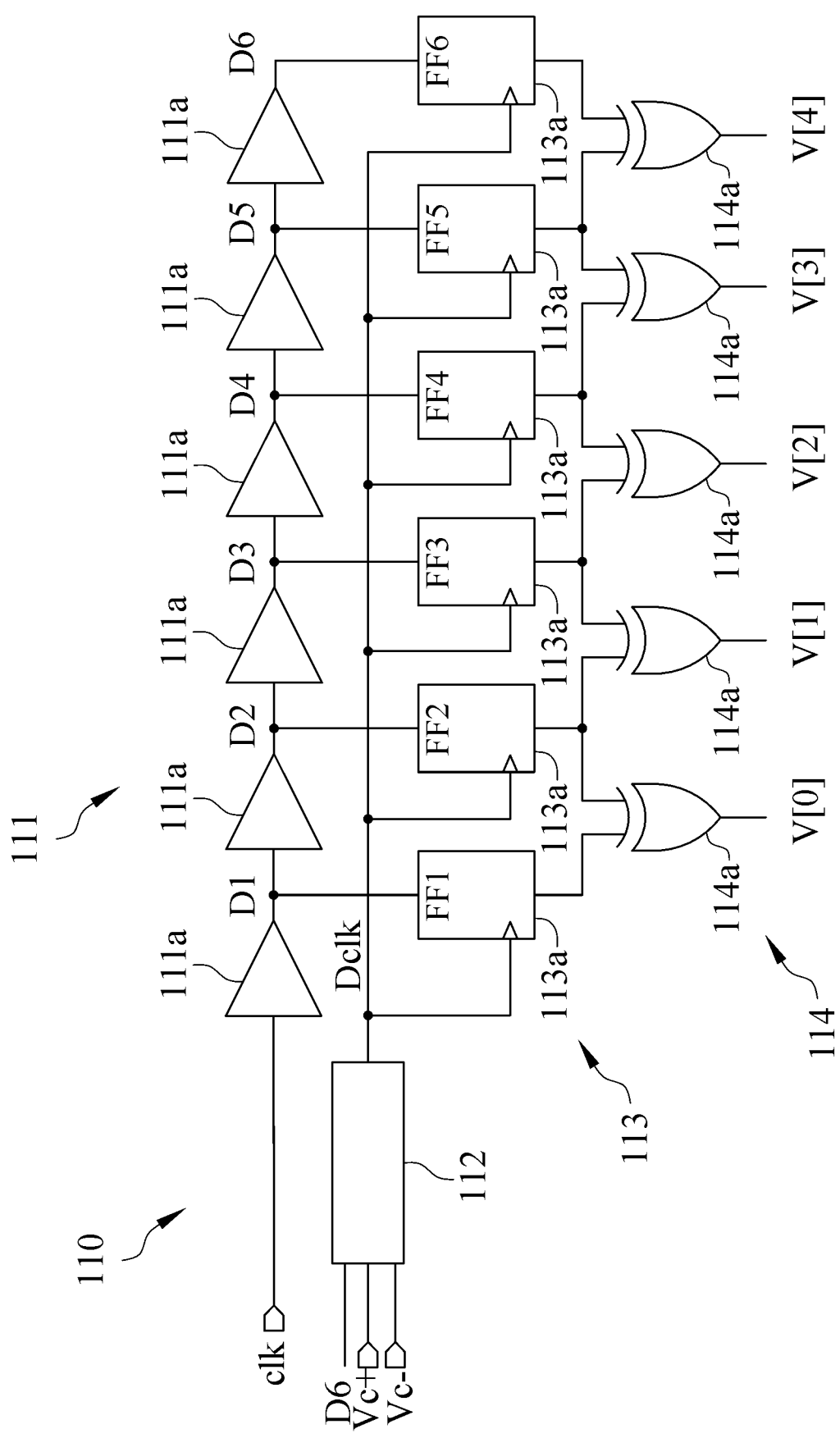
檻電壓並進行比較而輸出一第二比較訊號，該PMOS製程變異偵測器將該第一比較訊號及該第二比較訊號輸出為該PMOS製程變異偵測訊號。

【請求項9】如請求項1之抑制製程、電壓、溫度變異之振盪器，其中該電壓變異偵測電路具有一延遲線、一可控制延遲電路、一暫存單元及一邏輯閘組，該延遲線接收一時脈訊號，該延遲線具有複數個延遲器，該些延遲器用以對該時脈訊號進行延遲，且該些延遲器輸出複數個延遲訊號，該可控制延遲電路接收一電源電壓、一正端控制電壓、一負端控制電壓及其中之一該延遲器輸出之該延遲訊號，該可控制延遲電路依據該電源電壓、該正端控制電壓及該負端控制電壓延遲該延遲訊號而輸出一延遲時脈訊號，該暫存單元電性該延遲線及該可控制延遲電路以接收該些延遲訊號及該延遲時脈訊號，且該暫存單元被該延遲時脈訊號觸發而儲存該些延遲訊號，該邏輯閘組電性連接該暫存單元以接收暫存之該些延遲訊號，且該邏輯閘組將暫存之該些延遲訊號輸出為該電壓變異偵測訊號。

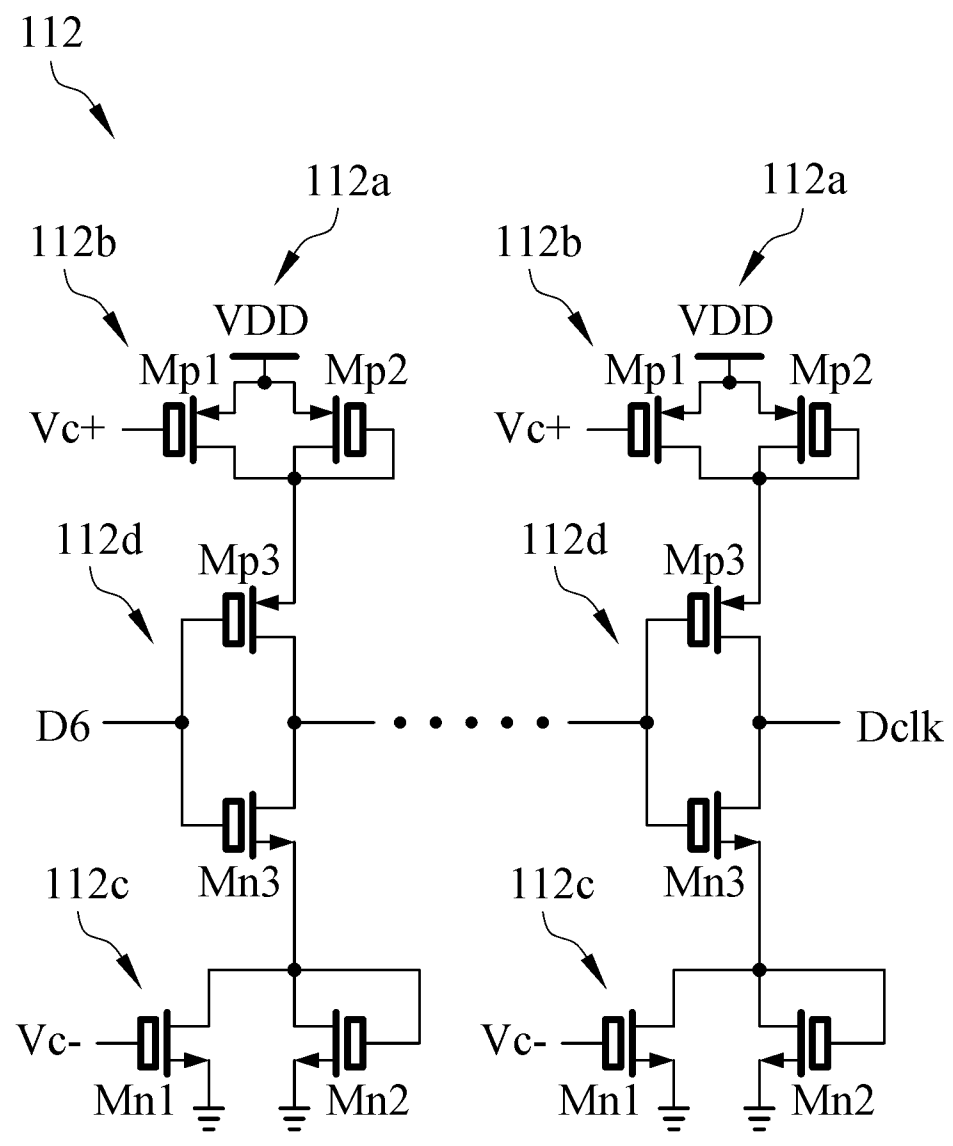
【發明圖式】



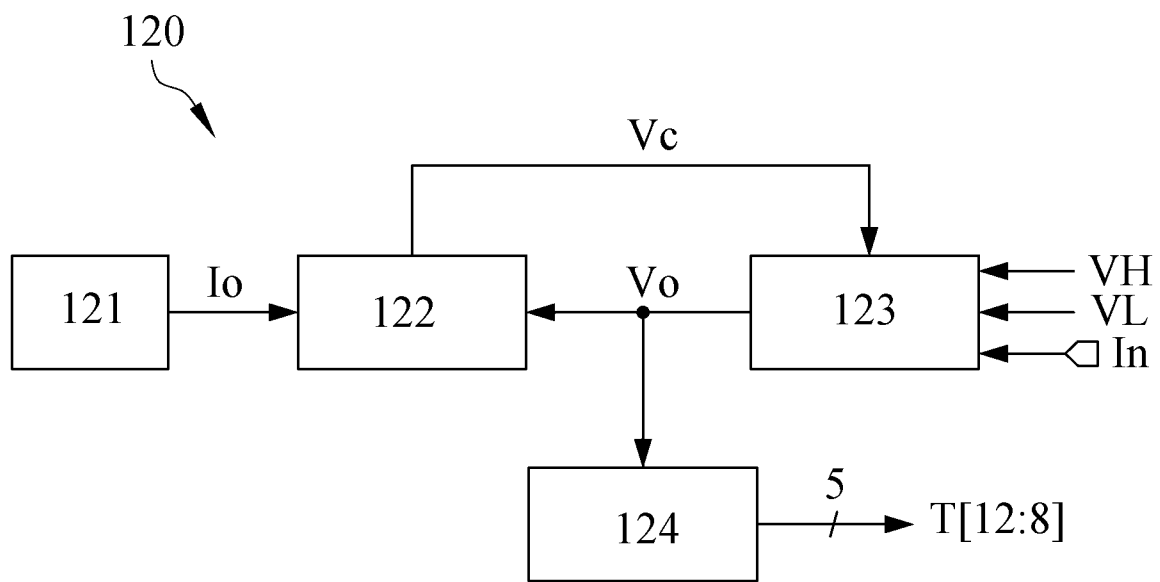
第 1 圖



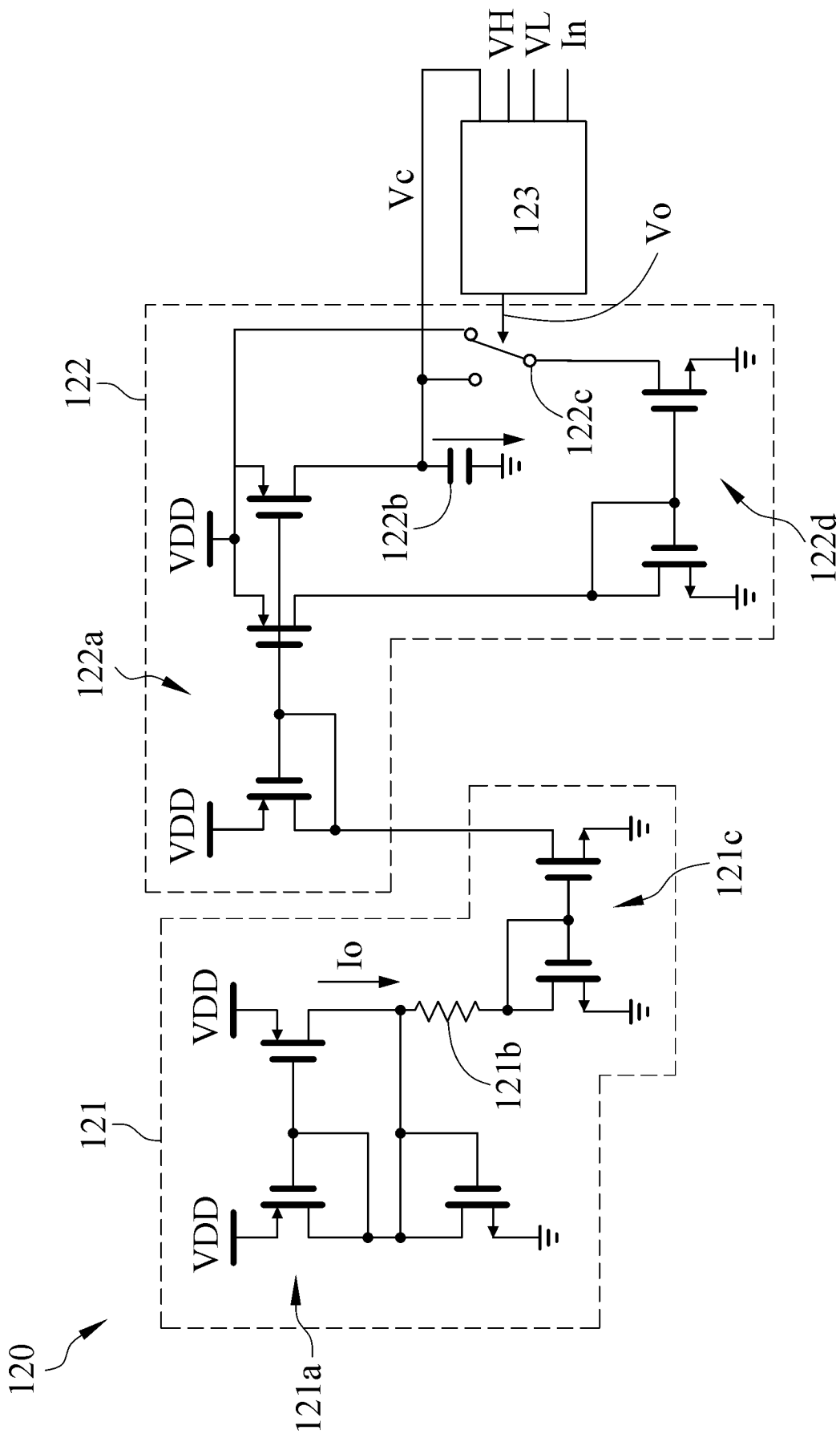
第 2 圖



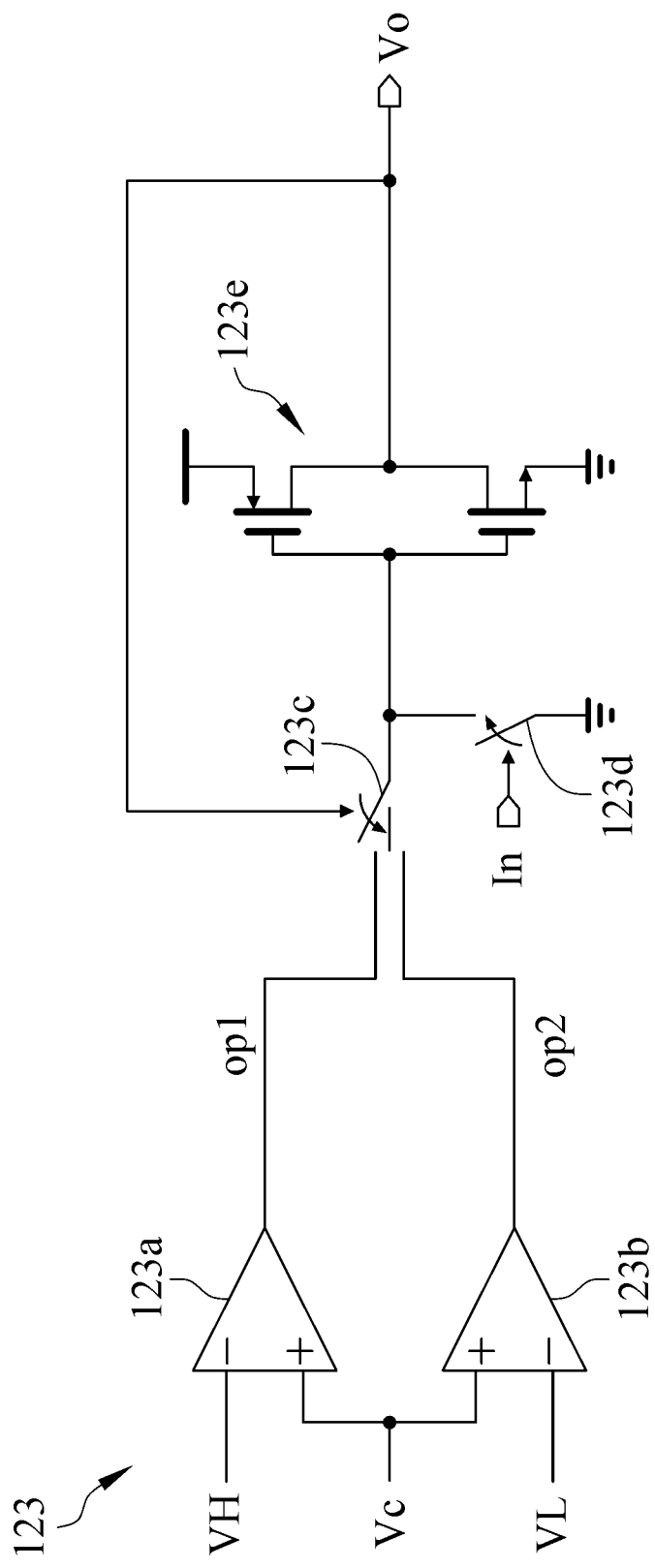
第 3 圖



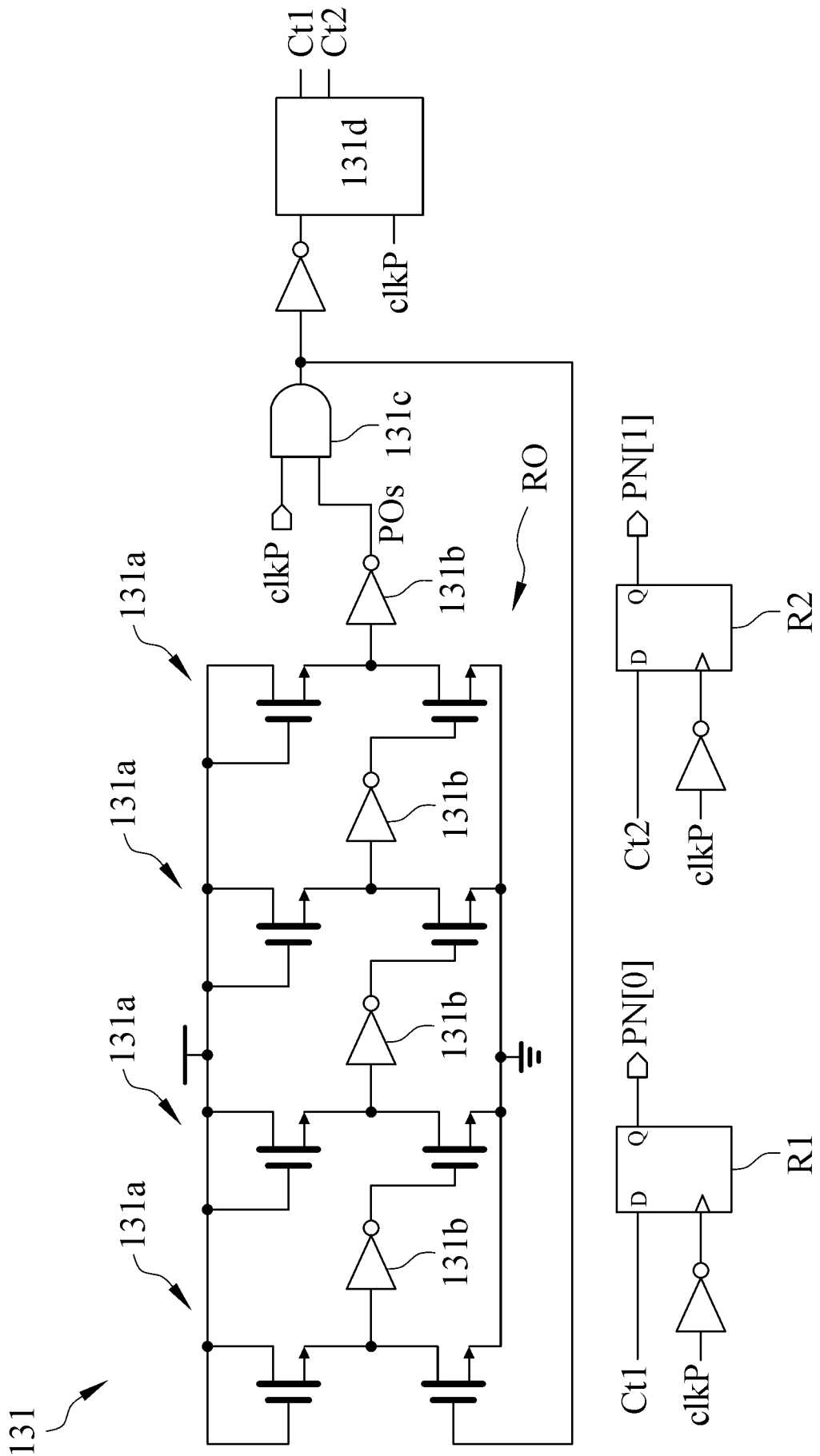
第 4 圖



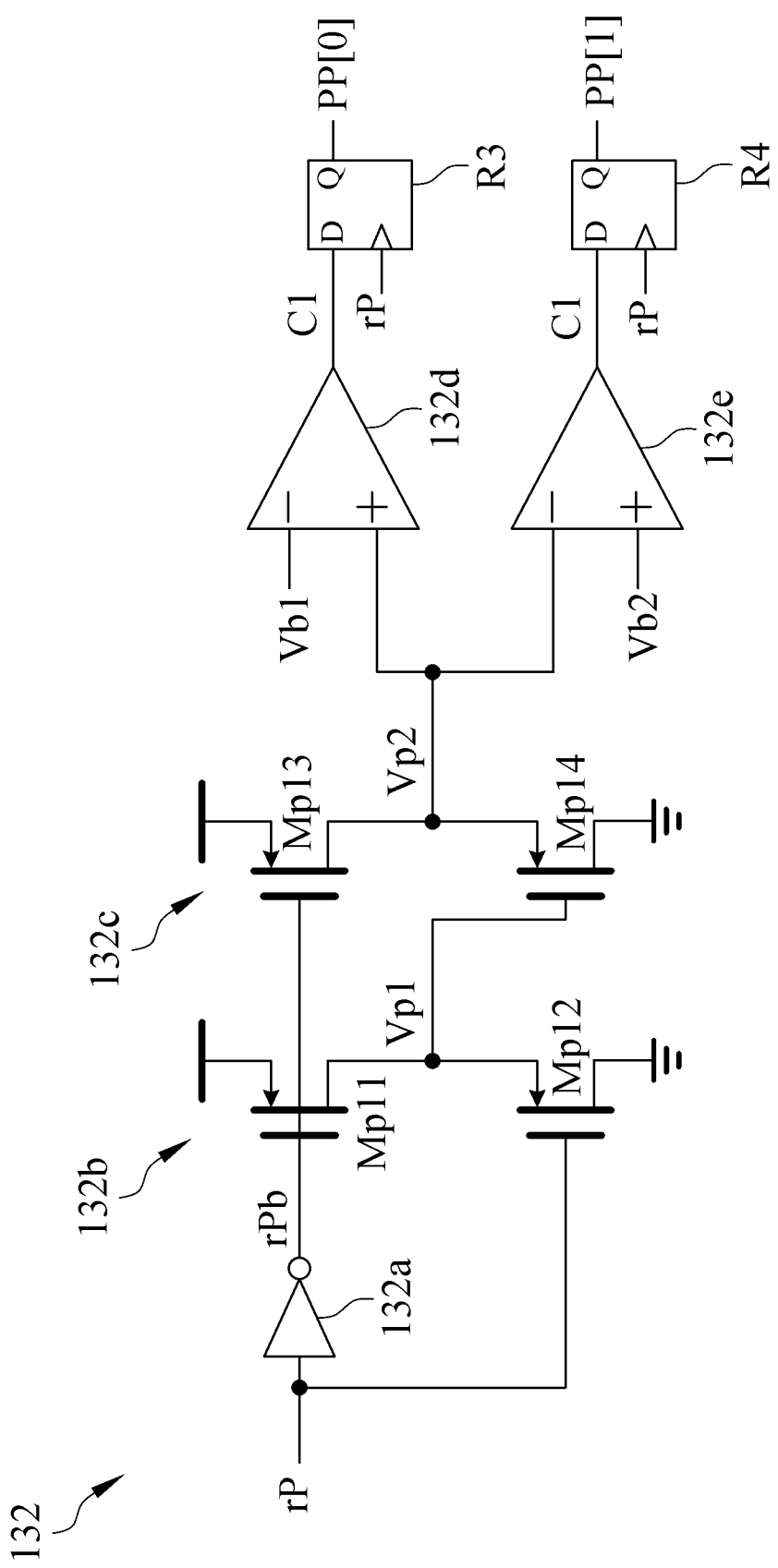
第 5 圖



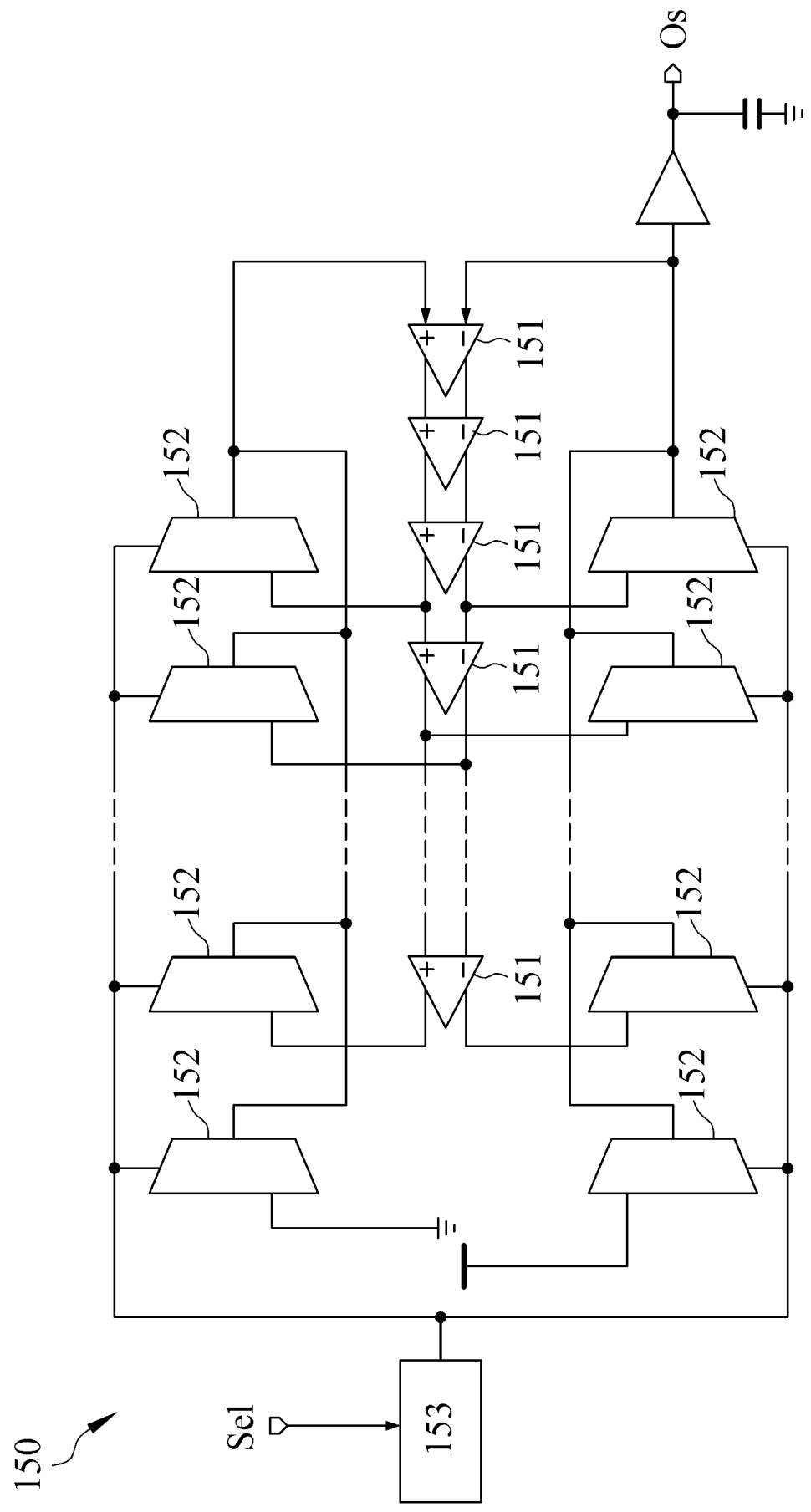
第 6 圖



第 7 圖



第 8 圖



第 9 圖