



(12) 发明专利申请

(10) 申请公布号 CN 117938574 A

(43) 申请公布日 2024. 04. 26

(21) 申请号 202410338077.3

(22) 申请日 2024.03.25

(71) 申请人 珠海探宇芯科技有限公司

地址 519000 广东省珠海市高新区唐家湾
镇香山路88号2栋1层102-17

(72) 发明人 李光 高志斐 汤凡 马云龙
胡波 庞政 刘雯智 谢碧祺
龙云奇

(74) 专利代理机构 广州市红荔专利代理有限公司 44214

专利代理师 黄国勇

(51) Int. Cl.

H04L 12/40 (2006.01)

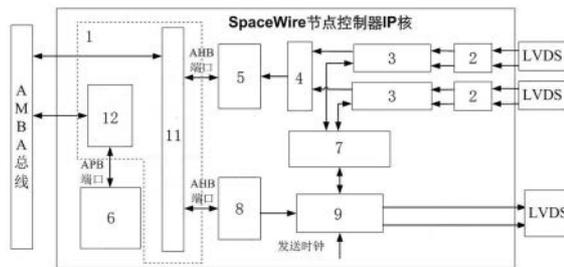
权利要求书1页 说明书11页 附图9页

(54) 发明名称

一种用于星载设备间通信的SpaceWire总线节点控制器IP核

(57) 摘要

本发明公开并提供了一种用于星载设备间通信的SpaceWire总线节点控制器IP核。本发明包括PHY模块、数据接收器模块、复合器模块、接收处理模块、发送处理模块、AMBA2.0总线模块、数据发送器模块、链路接口控制模块、寄存器配置管理模块。本发明应用于航天器数据通讯总线的技术领域。



1. 一种用于星载设备间通信的SpaceWire总线节点控制器IP核,其特征在于:所述用于星载设备间通信的SpaceWire总线节点控制器IP核包括:

AMBA总线模块(1),由AHB总线控制模块(11)和APB总线控制模块(12)构成;

两个PHY模块(2),用于接收信号,对接收到的串行数据DS进行有效的提取,对每一位有效数据生成对应的标志信号;

两个数据接收模块(3),与两个PHY模块(2)一一对应,对经过PHY模块(2)处理的串行数据进行解码,根据配置信息决定对数据是否进行CRC校验;

复合器模块(4),对两个数据接收模块(3)送来的数据进行选通处理;

接收处理模块(5),对复合器模块(4)送来的数据进行目的地址检查、描述符配置检查,检查数据是RMAP格式数据还是常规数据,将检查后正确的数据存入缓存FIFO中,并通过AHB总线控制模块(11)通知上位机将缓存FIFO中的数据取走,转存到上位机存储器中;

寄存器配置模块(6),通过APB端口与APB总线控制模块(12)连接,负责对节点控制模块进行参数配置,配置内容包括节点地址、发送器时钟频率配置、中断使能、RMAP使能、CRC校验使能;

链路接口控制模块(7),检测两个数据接收模块(3)与数据发送器模块(9)之间的链路建立正确与否,检测到错误,复位链路,重新建立正确的连接;

发送处理模块(8),通过AHB总线控制模块(11)把外部上位机分配的发送数据缓存区中的待发送数据取出来,根据配置要求决定是进行常规数据发送,还是进行RMAP协议进行数据发送;

数据发送器模块(9):将发送处理模块(8)发送过来的待发送数据进行并串转换,并进行DS编码,将数据发送到SpaceWire网络中去。

2. 根据权利要求1所述的一种用于星载设备间通信的SpaceWire总线节点控制器IP核,其特征在于:AMBA总线模块(1)为AMBA2.0总线模块,构成AMBA2.0总线模块的AHB总线和APB总线完全遵从AMBA2.0标准协议要求。

3. 根据权利要求1所述的一种用于星载设备间通信的SpaceWire总线节点控制器IP核,其特征在于:PHY模块(2)支持以下三种数据恢复机制:自时钟恢复、单时钟沿采样恢复、双时钟沿采样恢复。

4. 根据权利要求1所述的一种用于星载设备间通信的SpaceWire总线节点控制器IP核,其特征在于:数据发送器模块(9)采用单独的时钟,并可通过寄存器配置模块(6)分频实现需要的时钟频率;同时,数据发送器模块(9)支持单时钟沿发送和双时钟沿发送。

5. 根据权利要求1所述的一种用于星载设备间通信的SpaceWire总线节点控制器IP核,其特征在于:SpaceWire数据采用Data-Strobe编码发送。

一种用于星载设备间通信的SpaceWire总线节点控制器IP核

技术领域

[0001] 本发明涉及航天设备通信总线的技术领域,特别涉及一种用于星载设备间通信的SpaceWire总线节点控制器IP核。

背景技术

[0002] 星载数据总线是航天器中各设备之间完成通信、数据交换和信息共享的通道。随着空间探测的发展,航天器携带的电子设备种类和数量越来越多,而不同设备采用不同接口,导致了设备间互联复杂,数据传输速度存在一定的瓶颈。因而,迫切需要一种高速、可靠、低复杂度的总线技术来解决星载设备互联问题。新型空间电子系统高速串行总线(SpaceWire)是由欧空局2003年推出的,是一种高速、高可靠性、低功耗、点对点、全双工、网络型串行总线。该总线通用性好,兼容高层协议,拓扑结构灵活,采用LVDS技术使其具有很好的EMC特性。特别是在错误检测与故障恢复、系统时钟发布等方面有很强的支持。

[0003] 现有的SpaceWire总线节点控制器IP核存在如下问题:数据传输总线分为并行、串行两类,与并行总线相比,串行总线的通信距离更长,使用的硬件接口更为简单,体积更小,成本更低,灵活性更高,是航天器系统设计中的首选。目前已经成功应用于航天任务的常用串行通信标准包括:RS-422/RS-485、CAN、1553B、IEEE1394等等。然而随着航天任务复杂度的不断增加,繁多的外围设备之间的数据传输需求已经超过现有外围总线的处理能力。虽然RS-422/RS-485及CAN的最大通信距离超过1km,但是它们存在通信速率慢的问题,同时由于其层次划分较为单一,升级比较困难;1553B同样存在上述问题,同时1553B航空级物理协议芯片BU61580价格过高,采用1553B总线接口将导致航天器系统的设计成本大幅升高。IEEE1394虽然可以支持较高的速率,但是其工作方式为半双工,并且由于其所需电平较高,导致了其传输的功耗较高,并不适合航天器系统使用。针对上述问题,由欧洲宇航局最早提出了SpaceWire标准并开始了相关的研发工作。

发明内容

[0004] 本发明所要解决的技术问题是克服现有技术的不足,提供了一种用于星载设备间通信的SpaceWire总线节点控制器IP核。

[0005] 本发明所采用的技术方案是:所述用于星载设备间通信的SpaceWire总线节点控制器IP核包括:

AMBA总线模块,由AHB总线控制模块和APB总线控制模块构成;

两个PHY模块,用于接收信号,对接收到的串行数据DS进行有效的提取,对每一位有效数据生成对应的标志信号;

两个数据接收模块,与两个PHY模块一一对应,对经过PHY模块处理的串行数据进行解码,根据配置信息决定对数据是否进行CRC校验;

复合器模块,对两个数据接收模块送来的数据进行选通处理;

接收处理模块,对复合器模块送来的数据进行目的地址检查、描述符配置检查,检

查数据是RMAP格式数据还是常规数据,将检查后正确的数据存入缓存FIFO中,并通过AHB总线控制模块通知上位机将缓存FIFO中的数据取走,转存到上位机存储器中;

寄存器配置模块,通过APB端口与APB总线控制模块连接,负责对节点控制模块进行参数配置,配置内容包括节点地址、发送器时钟频率配置、中断使能、RMAP使能、CRC校验使能;

链路接口控制模块,检测两个数据接收模块与数据发送器模块之间的链路建立正确与否,检测到错误,复位链路,重新建立正确的连接;

发送处理模块,通过AHB总线控制模块把外部上位机分配的发送数据缓存区中的待发送数据取出来,根据配置要求决定是进行常规数据发送,还是进行RMAP协议进行数据发送;

数据发送器模块:将发送处理模块发送过来的待发送数据进行并串转换,并进行DS编码,将数据发送到SpaceWire网络中去。

[0006] 进一步,MBA总线模块为AMBA2.0总线模块,构成AMBA2.0总线模块的AHB总线和APB总线完全遵从AMBA2.0标准协议要求。

[0007] 进一步,PHY模块支持以下三种数据恢复机制:自时钟恢复、单时钟沿采样恢复、双时钟沿采样恢复。

[0008] 进一步,数据发送器模块采用单独的时钟,并可通过寄存器配置模块分频实现需要的时钟频率;同时,数据发送器模块支持单时钟沿发送和双时钟沿发送。

[0009] 进一步,SpaceWire数据采用Data-Strobe编码发送。

[0010] 本发明的有益效果是:由于本发明具有如下优点:

- 1、遵循ECSS-E-ST-50-12C和ECSS-E-ST-50-52C规范;
- 2、支持的总线通讯速率为可调节的2M位/秒--200M位/秒;
- 3、硬件逻辑实现信号层(Signal level)、字符层(Character level)、交换层(Exchange level)、数据包层(Packet level);
- 4、接收PHY支持3种数据恢复机制:自时钟恢复(self-clocking)、单时钟沿采样恢复(sampling Single Data Rate)、双时钟沿采样恢复(sampling DoubleData Rate);
- 5、数据发送器采用单独的时钟,并可通过寄存器配置,分频实现需要的时钟频率。同时,数据发送器支持单时钟沿发送(Single Data Rate)和双时钟沿发送(Double Data Rate);
- 6、支持将IP配置成1个通路接收发送数据、或是2个通路接收发送数据;
- 7、SpaceWire数据采用DS(Data-Strobe)编码发送;
- 8、时间接口模块生成发往SpaceWire网络的系统时钟数据,存储从SpaceWire网络接收到的系统时钟数据;
- 9、遵从标准的AMBA2.0协议。

附图说明

[0011] 图1为本发明功能结构框图;

图2为本发明发送数据包读取功能状态机转换图;

图3为本发明读发送FIFO功能状态机转换图;

图4为本发明链路建立功能状态机转换图；
图5为本发明发送功能流程图；
图6为本发明PHY模块工作流程图；
图7为本发明数据接收器模块工作流程图；
图8为本发明接收处理模块状态机转换图；
图9为本发明接收数据包存储状态机转换图。

具体实施方式

[0012] 下面就结合附图来详述本发明。

[0013] 如附图1中所示,本发明提供的用于星载设备间通信的高速串行总线节点控制器IP核内各个模块实现的功能主要有:

AMBA总线模块1,由AHB总线控制模块11和APB总线控制模块12构成;

两个PHY模块2,用于接收信号,对接收到的串行数据DS进行有效的提取,对每一位有效数据生成对应的标志信号;

两个数据接收模块3,与两个PHY模块2一一对应,对经过PHY模块2处理的串行数据进行解码,根据配置信息决定对数据是否进行CRC校验;

复合器模块4,对两个数据接收模块3送来的数据进行选通处理;

接收处理模块5,对复合器模块4送来的数据进行目的地址检查、描述符配置检查,检查数据是RMAP格式数据还是常规数据,将检查后正确的数据存入缓存FIFO中,并通过AHB总线控制模块11通知上位机将缓存FIFO中的数据取走,转存到上位机存储器中;

寄存器配置模块6,通过APB端口与APB总线控制模块12连接,负责对节点控制模块进行参数配置,配置内容包括节点地址、发送器时钟频率配置、中断使能、RMAP使能、CRC校验使能;

链路接口控制模块7,检测两个数据接收模块3与数据发送器模块9之间的链路建立正确与否,检测到错误,复位链路,重新建立正确的连接;

发送处理模块8,通过AHB总线控制模块11把外部上位机分配的发送数据缓存区中的待发送数据取出来,根据配置要求决定是进行常规数据发送,还是进行RMAP协议进行数据发送;

数据发送器模块9:将发送处理模块8发送过来的待发送数据进行并串转换,并进行DS编码,将数据发送到SpaceWire网络中去。

[0014] 通过本发明制做的SpaceWire节点控制器符合ECSS-E-ST-50-12C规范中SpaceWire节点相关协议和ECSS-E-ST-50-52C规范中远程存储访问协议,可以与SpaceWire网络连接,负责数据包的发送和接收,其链路传输速率为可调节的2M位/秒--200M位/秒。本发明发送数据和接收数据的具体工作流程实现如下:

发送数据包处理流程:

发送数据包提取:在配置好相应的寄存器和描述符的情况下,上位机先将待发送数据写入到外部发送缓存中,然后启动发送控制使能信号,发送处理模块通过AMBA总线模块从外部缓存中将数据读出,放入发送缓存FIFO中待发送。

[0015] 读发送FIFO:将发送缓存FIFO中的数据读出,将数据和数据包结束标志送入发送

器模块进行发送

发送器模块功能:发送模块完成SpaceWire链路的建立,在链路处于run状态后,SpaceWire节点控制器即可将读发送FIFO模块送来的并行数据转换成串行数据发送到SpaceWire网络中去。

[0016] 发送流程中,发送数据包提取功能共有17个状态,状态转换关系如附图2所示。

[0017] 本发明提供的用于星载设备间通信的高速串行总线节点控制器IP核发送数据读取功能状态机的状态如下表所示:

序号	状态	说明
1	idle	空闲状态。
2	sel_addr	把发送描述符寄存器中的值作为描述符的首地址存入地址缓存中。
3	sel_addr3	将地址缓存中的地址值,送给地址线,向内部总线控制器发送读描述符请求。
4	read_desc	读取发送描述符中的内容。
5	sel_addr2	根据描述符中的头长度和数据长度,判定是读取 RMAP 包头地址还是读取数据地址给地址缓存。
6	check_desc	检查描述符、把地址缓存送给地址线。
7	prereq	读数据缓存首地址或发送描述符寄存器值到地址缓存。
8	req	请求从外部缓存中读取数据到发送缓存 FIFO。
9	write_fifo	将从外部缓存中读取的数据写入发送缓存 FIFO。
10	waitrd	监测读取外部缓存数据过程中,SpaceWire 链路状态。
11	write_status	写读取发送数据包状态结果。
12	gettype	判断发送的 RMAP 应答包类型。
13	readadr	读取 RMAP 数据包中数据的首地址。
14	readhdr	读取 RMAP 数据包中包头的地址。
15	selop	选择 RMAP 操作类型。
16	rmwdatast	RMAP 的 rmw 命令处理。
17	txwait	等待发送完成。

[0018] 图2中的状态转换条件说明如下表所示:

序号	状态转换条件	说明
1	C1	idle 状态时，等待发送控制使能信号，当发送使能信号变高，则进入 sel_addr 状态。
2	C2	idle 状态时，如果此刻需要发送 RMAP 应答包，则优先发送进入 gettype 状态。
3	C3	sel_addr 状态时，进入 sel_addr3 状态，并读取发送描述符寄存器内容。
4	C4	sel_addr3 状态时，进入 read_desc 状态，并获得发送描述符地址。
5	C5	read_desc 状态时，读取发送描述符配置的内容，进入 sel_addr2 状态。
6	C6	sel_addr2 状态时，进入 check_desc 状态。
7	C7	check_desc 状态时，判断发送使能是否有效，有效则进入 prereq 状态。
8	C8	check_desc 状态时，判断发送使能是否有效，无效则进入 idle 状态。
9	C9	prereq 状态时，进入 req 状态。
10	C10	req 状态时，检测到了 SpaceWire 链路复位信号，或者检测到发送中止使能后，进入 waitrd 状态。
11	C11	req 状态时，判断数据是否全部写入发送 FIFO，若没有写完，则判断发送 FIFO 是否半空，满足，则进入 write_fifo 状态。
12	C12	req 状态时，判断数据是否全部写入发送 FIFO，若写入完毕，并且写入发送 FIFO 的数据全部发送完毕，发送完毕则进入 write_status 状态。
13	C13	write_fifo 状态时，首先判断是否获得内部总线控制权，获得后再判断待发送数据是否全部写入发送 FIFO 或者一次写 FIFO 的空间额度用完，满足则进入 prereq 状态。
14	C14	waitrd 状态时，判断没有发生发送中止或是链路复位且不处于 RMAP 发送状态或未开启 RMAP 功能时，进入 write_status 状态。
15	C15	waitrd 状态时，判断发生发送中止或是链路复位时，并判断 RMAP 功能开启和处于 RMAP 发送有效这两个条件是否均满足，满足则进入 txwait 状态。
16	C16	write_status 状态时，首先判断是否获得内部总线控制权，获得后填写相关状态寄存器值，进入 idle 状态。
17	C17	gettype 状态时，进入 readadr 状态。
18	C18	readadr 状态时，进入 readhdr 状态。
19	C19	readhdr 状态时，判断该状态是否出现链路复位情况，有则进入 txwait 状态。
20	C20	readhdr 状态时，判断该状态是否出现链路复位情况，没有则进入 selop 状态。
21	C21	selop 状态时，判断接收到的 RMAP 命令类型，为 write 时，进入 txwait 状态。为 read 时，若发送端数据发送完毕，则进入 txwait 状态。为 rmw 命令时，判断发送数据是否发送完毕，完毕，则进入 txwait 状态。
22	C22	selop 状态时，判断接收到的 RMAP 命令类型，为 read 时，若发送端数据未发送完，则进入 prereq 状态。
23	C23	selop 状态时，判断接收到的 RMAP 命令类型，为 rmw 命令时，判断发送数据是否发送完毕，未发送完，则进入 rmwdatast 状态。
24	C24	rmwdatast 状态时，进入 txwait 状态。
25	C25	txwait 状态时，进入 idle 状态。

[0019] 发送流程中，读发送FIFO功能共有5个状态，状态转换关系如附图3所示。

[0020] 本发明提供的用于星载设备间通信的高速串行总线节点控制器IP核，读发送FIFO功能状态机的状态如下表所示：

序号	状态	说明
1	idle	空闲状态。
2	read_fifo	读取发送发送 fifo 中的数据给发送器模块。
3	sndcrc	发送 crc 校验码。
4	eop	发送数据包正确结束标志。
5	eep	发送数据包错误结束标志。

[0021] 图3中的状态转换条件说明如下表所示：

序号	状态转换条件	说明
1	C1	idle 状态时，发送数据使能被激活，进入 read_fifo 状态。
2	C2	read_fifo 状态时，当检测到 SpaceWire 链路复位后，进入 idle 状态。
3	C3	read_fifo 状态时，检测到出现链路错误，则进入 eep 状态。
4	C4	read_fifo 状态时，读取完包头数据或是包数据后，检测是否需要发送 crc 码，需要发送，则进入 sndcrc 状态。
5	C5	sndcrc 状态时，检测是发送包头 crc 码，则进入 read_fifo 状态。
6	C6	sndcrc 状态时，检测是发送数据 crc 码，则进入 eop 状态。
7	C7	sndcrc 状态时，当检测到 SpaceWire 链路复位后，进入 idle 状态。
8	C8	sndcrc 状态时，检测到出现链路错误，则进入 eep 状态。
9	C9	eop 状态时，当检测到 SpaceWire 链路复位或是数据包发送完标志有效，进入 idle 状态。
10	C10	eep 状态时，数据包发送完标志有效，则进入 idle 状态。

[0022] 发送流程中，链路建立功能共有6个状态，状态转换关系如附图4所示。

[0023] 本发明提供的SpaceWire节点控制器IP核链路建立功能状态机的状态如下表所示：

序号	状态	说明
1	error_reset	链路错误复位状态。
2	error_wait	链路错误复位完后等待状态。
3	ready	链路准备状态。
4	started	链路开始状态。
5	connecting	链路连接状态。
6	run	链路运行状态。

[0024] 图4中的状态转换条件说明如下表所示：

序号	状态转换条件	说明
1	C1	error_reset 状态时, 复位信号消失后, 经过 6.4us 后进入 error_wait 状态。
2	C2	error_wait 状态时, 如果检测到链路初始化错误标志, 则进入 error_reset 状态。
3	C3	error_wait 状态时, 没有检测到链路初始化错误, 则经过 12.8us 后进入 ready 状态。
4	C4	ready 状态时, 如果检测到链路初始化错误标志, 则进入 error_reset 状态。
5	C5	ready 状态时, 没有检测到链路初始化错误, 链路连接使能标志位有效, 则进入 started 状态。
6	C6	started 状态时, 如果在 12.8us 的时间内, 没有接收到 null 字符, 则进入 error_reset 状态。
7	C7	started 状态时, 在 12.8us 的时间内, 接收到 null 字符, 则进入 connecting 状态。
8	C8	connecting 状态时, 如果在 12.8us 的时间内, 没有接收到 fct 字符, 则进入 error_reset 状态。
9	C9	connecting 状态时, 在 12.8us 的时间内, 接收到 fct 字符, 则进入 run 状态。
10	C10	run 状态时, 如果检测到链路出错标志或者链路使能被清除, 则进入 error_reset 状态。

[0025] 发送器在链路状态处于正常连接run后,发送功能流程如图5所示。首先判断链路是否处于run状态,当链路处于run状态后,检查发送使能是否有效,有效则检查待每一个发送的32bits的数据有效标志是否有效,有效则进行并串转换,依次发送出去,直到一个数据包发送完成。

[0026] 接收数据包处理流程:

PHY模块功能:对串行输入的DS编码的数据D、S进行恢复,译码出有效的串行数据D和每位串行数据有效标志信号DV。

[0027] 数据接收器模块:实现串行数据的并串转换,产生4组10bits的数组。

[0028] 复合器模块:若SpaceWire节点控制器IP核配置成两通路工作模式,则复合器模块依次将两路信号送入接收处理模块进行处理。

[0029] 接收处理模块:对复合器送来的数据进行目的地址检查、描述符配置检查,检查数据时RMAP格式数据还是常规数据,将检查后正确的数据存入缓存FIFO中,并通过AMBA2.0总线通知上位机将FIFO中的数据取走,转存到外部的接收缓存中。

[0030] 接收数据包存储:通过AMBA2.0总线将存储在FIFO中的数据转存到外部接收缓存中。最后上位机经由AMBA总线把数据从外部接收缓存读走。

[0031] 接收流程中,PHY模块主要是完成对从SpaceWire网络输入的串行DS编码的数据进行解码处理,恢复出串行数据,流程如图6所示。SpaceWire节点控制器IP核支持三种模式的数据恢复时钟。第一种是利用DS信号进行异或运算,恢复出时钟信号,第二种是采用直接给PHY模块提供的单沿采样有效的时钟信号,第三种是采用直接给PHY模块提供的双沿采样有效的时钟信号。根据相应的时钟模式设置,对DS编码信号进行恢复操作,恢复出有效的串行数据信号D和每位数据信号标志DV。以供后续接收器模块处理。

[0032] 接收流程中,数据接收器模块主要完成的功能:把PHY模块传输来的串行有效数据进行并行化处理,依次转换成4组10bits一个数据的数组,以及产生每个10bits数据有效的标志信号。流程如图7所示。

[0033] 接收流程中,接收处理模块共有31个状态,状态转换关系如附图8所示。

[0034] 本发明提供的SpaceWire节点控制器IP核接收处理模块状态机的状态如下表所示:

序号	状态	说明
1	idle	空闲状态。
2	read_char1	读字符,将4组10bits数据拼接成32bits数据。
3	read_char3	读字符,将4组10bits数据拼接成32bits数据。
4	sel_dma	选择通道1或者2。
5	wait_desc	等待接收描述符。
6	read_desc	读接收描述符。
7	check_desc	检查接收描述符。
8	write_fifo	将接收到的数据写入FIFO。
9	wait_ahb	等待一个数据包全部写入FIFO完成。
10	write_status	写状态。
11	spill	处理接收长度、目的地址出错的数据。
12	chkdstkey	检查rmap数据协议包中的目的地key值。
13	headerwrite	rmap包头数据处理。
14	waitcheckcrc	等待检查rmap包头crc码。
15	checkcrc	检查rmap包头crc码。
16	decodeIngh	译码包头长度。
17	rmwrdata	读read-modify-write格式数据。
18	rmwmask	处理read-modify-write的mask数据
19	rmwbusdata	准备将rmap格式数据写入rmap接收buffer中。
20	bufwrite	写buffer过程。
21	prevwrite	准备写从接收数据获得的信息值。
22	vwrite	写rmap数据包信息值。
23	earlyep	检测是否提前收到EOP/EEP。
24	checkdrc	检查数据crc码。
25	wrlngth	写数据长度。
26	checkep	检查包结束标志。
27	wrtype	写rmap命令类型。
28	wrid	写id值。
29	wrmapst	写rmap数据包状态值。
30	wrnnodeaddr	写节点地址。
31	rmap_write_fifo	写rmap数据到接收fifo。

[0035] 图8中的状态转换条件说明如下表所示:

序号	状态转换条件	说明
1	C1	idle 状态时, 检测到新数据有效标志信号, 如果对于非 rmap 数据包第二字节就出现 EOP/EEP 字符或者对于 rmap 数据包第三字节就出现 EOP/EEP 字符, 则进入 spill 状态。
2	C2	idle 状态时, 检测到新数据有效标志信号, 没有提前出现数据包结束标志 EOP/EEP, 则进入到 read_char1 状态。
3	C3	read_char1 状态时, 检测到新数据有效标志信号, 如果对于非 rmap 数据包第二字节就出现 EOP/EEP 字符或者对于 rmap 数据包第三字节就出现 EOP/EEP 字符, 则进入 spill 状态。
4	C4	read_char1 状态时, 检测到新数据有效标志信号, 没有提前出现数据包结束标志 EOP/EEP, 如果 IP 设置没有开启 rmap 功能, 则进入 sel_dma 状态。
5	C5	read_char1 状态时, 检测到新数据有效标志信号, 没有提前出现数据包结束标志 EOP/EEP, 如果 IP 设置开启 rmap 功能, 则进入 read_char3 状态。
6	C6	read_char3 状态时, 检测到新数据有效标志信号, 如果对于非 rmap 数据包第二字节就出现 EOP/EEP 字符或者对于 rmap 数据包第三字节就出现 EOP/EEP 字符, 则进入 spill 状态。
7	C7	read_char3 状态时, 检测到新数据有效标志信号, 没有提前出现数据包结束标志 EOP/EEP, 则进入 sel_dma 状态。
8	C8	sel_dma 状态时, 检测接收到的是 rmap 协议数据, 则进入 chkdstkey 状态。
9	C9	sel_dma 状态时, 检测接收到的不是 rmap 协议数据, 若检测到数据包头的目的地址与该节点控制器的地址不匹配, 则进入 spill 状态。
10	C10	sel_dma 状态时, 检测接收到的不是 rmap 协议数据, 若检测到数据包头的目的地址与该节点控制器的地址匹配, 则进入 wait_desc 状态。
11	C11	wait_desc 状态时, 如果接收描述符使能无效, 则进入 spill 状态。
12	C12	wait_desc 状态时, 如果接收描述符使能有效, 则进入 read_desc 状态。
13	C13	read_desc 状态时, 进入 check_desc 状态。
14	C14	check_desc 状态时, 接收描述符中的接收使能无效, 则进入 wait_desc 状态。
15	C15	check_desc 状态时, 接收描述符中的接收使能有效, 则进入 write_fifo 状态。
16	C16	write_fifo 状态时, 如果检测到描述符配置的接收最大长度为零, 则进入 spill 状态。
17	C17	write_fifo 状态时, 如果检测到描述符配置的接收最大长度非零。持续将数据写入接收 FIFO, 进入 wait_ahb 状态。
18	C18	wait_ahb 状态时, 进入 write_status 状态。
19	C19	write_status 状态时, 进入 idle 状态。
20	C20	spill 状态时, 进入 idle 状态。
21	C21	chkdstkey 状态时, 如果接收字符有效标志无效, 且 EOP 标志为 1, 则进入 idle 状态。
22	C22	chkdstkey 状态时, 如果接收字符有效标志有效, 则进入 headerwrite 状态。
23	C23	headerwrite 状态时, 如果 EOP 标志为 1, 则进入 idle 状态。
24	C24	headerwrite 状态时, 如果 EOP 标志为 0, 则进入 waitcheckhrc 状态。
25	C25	waitcheckhrc 状态时, 则进入 checkhrc 状态。

26	C26	checkhrc 状态时, 如果检测到 rmap 是读命令, 则进入 checkep 状态。
27	C27	checkhrc 状态时, 如果检测到 rmap 是写命令, 则进入 rmap_write_fifo 状态。
28	C28	checkhrc 状态时, 如果检测到 rmap 是读改写命令或者改写命令时, 如果 rmap 包头信息中的数据长度为零, 则进入 checkdrc 状态。
29	C29	checkhrc 状态时, 如果检测到 rmap 是读改写命令或者改写命令时, 如果 rmap 包头信息中的数据长度非零, 则进入 decodeLength 状态。
30	C30	decodeLength 状态时, 检测到 rmap 接收错误, 则进入 wrLength 状态。
31	C31	decodeLength 状态时, 无 rmap 接收错误, 则进入 rmwrdata 状态。
32	C32	rmwrdata 状态时, 接收字符标志有效, 如果是写命令, 则进入 checkdrc 状态。
33	C33	rmwrdata 状态时, 接收字符标志有效, 如果不是写命令, 则进入 rmwmask 状态。
34	C34	rmwrdata 状态时, 接收字符标志无效且接收 EOP 标志有效, 则进入 earlyep 状态。
35	C35	rmwmask 状态时, 接收字符标志有效, 则进入 checkdrc 状态。
36	C36	rmwmask 状态时, 接收字符标志无效且接收 EOP 标志有效, 则进入 earlyep 状态。
37	C37	rmwbusdata 状态时, 检测到 rmap 接收错误, 则进入 wrLength 状态。
38	C38	rmwbusdata 状态时, 没有 rmap 接收错误, 则进入 bufwrite 状态。
39	C39	bufwrite 状态时, 进入 prevwrite 状态。
40	C40	prevwrite 状态时, 进入 vwrite 状态。
41	C41	vwrite 状态时, 检测到 rmap 接收错误, 则进入 wrLength 状态。
42	C42	vwrite 状态时, 没有 rmap 接收错误, 则进入 checkep 状态。
43	C43	earlyep 状态时, 进入 wrLength 状态。
44	C44	checkdrc 状态时, 接收字符标志无效且接收 EOP 标志有效, 则进入 earlyep 状态。
45	C45	checkdrc 状态时, 接收字符标志有效, rmap 为读写命令、或者为读-写-修改命令数据写完的情况下, 则进入 checkep 状态。
46	C46	checkdrc 状态时, 接收字符标志有效, rmap 为读-写-修改命令数据未写完情况下, 则进入 rmwbusdata 状态。
47	C47	wrLength 状态时, 进入 wrtype 状态。
48	C48	checkep 状态时, 进入 wrtype 状态。
49	C49	wrtype 状态时, 进入 wrid 状态。
50	C50	wrid 状态时, 进入 wrmapst 状态。
51	C51	wrmapst 状态时, 进入 wrnodeaddr 状态。
52	C52	wrnodeaddr 状态时, 则进入 idle 状态。
53	C53	rmap_write_fifo 状态时, 则进入 checkdrc 状态。

[0036] 接收流程中,接收数据包存储模块共有3个状态,状态转换关系如附图9所示。

[0037] 本发明提供的用于星载设备间通信的高速串行总线节点控制器IP核接收数据包存储的状态机状态如下表所示:

序号	状态	说明
1	idle	空闲状态。
2	req	读 fifo 请求状态。
3	read_fifo	读 fifo 状态。

[0038] 图9中的状态转换条件说明如下表所示：

序号	状态转换条件	说明
1	C1	idle 状态时，数据包接收启动标志有效，则进入 req 状态。
2	C2	req 状态时，若存储在接收数据 fifo 中一个数据包全部转存到外部接收缓存中，进入 idle 状态。
3	C3	req 状态时，若存储在接收数据 fifo 中一个数据包未全部转存到外部接收缓存中，则进入 read_fifo 状态。
4	C4	read_fifo 状态时，若检测到存储错误，则进入 idle 状态。
5	C5	read_fifo 状态时，没有检测到存储错误，则进入 req 状态。

[0039] 本发明的AMBA总线的AHB总线和APB总线完全遵从AMBA2.0标准协议进行设计。本发明的外部缓存，其深度可由上位机通过AMBA总线对参数ramsize来控制其容量大小，以满足不同的应用要求。本发明提供的用于星载设备间通信的高速串行总线节点控制器IP核的RTL源代码，编写使用硬件描述语言（VHDL）实现，且全部可综合。

[0040] 虽然本发明的实施例是以实际方案来描述的，但是并不构成对本发明含义的限制，对于本领域的技术人员，根据本说明书对其实施方案的修改及与其他方案的组合都是显而易见的。

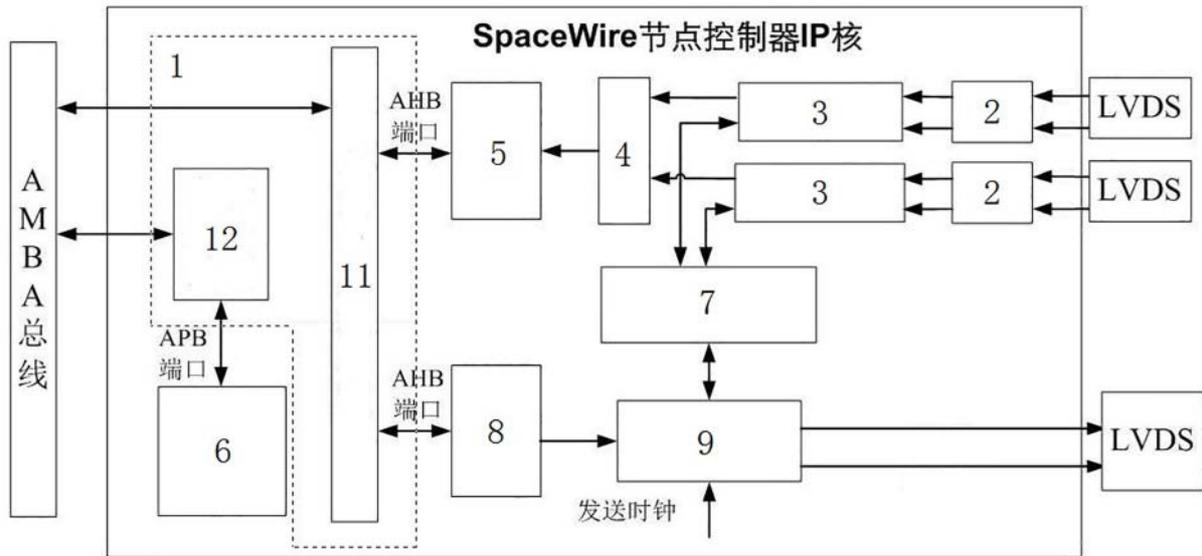


图 1

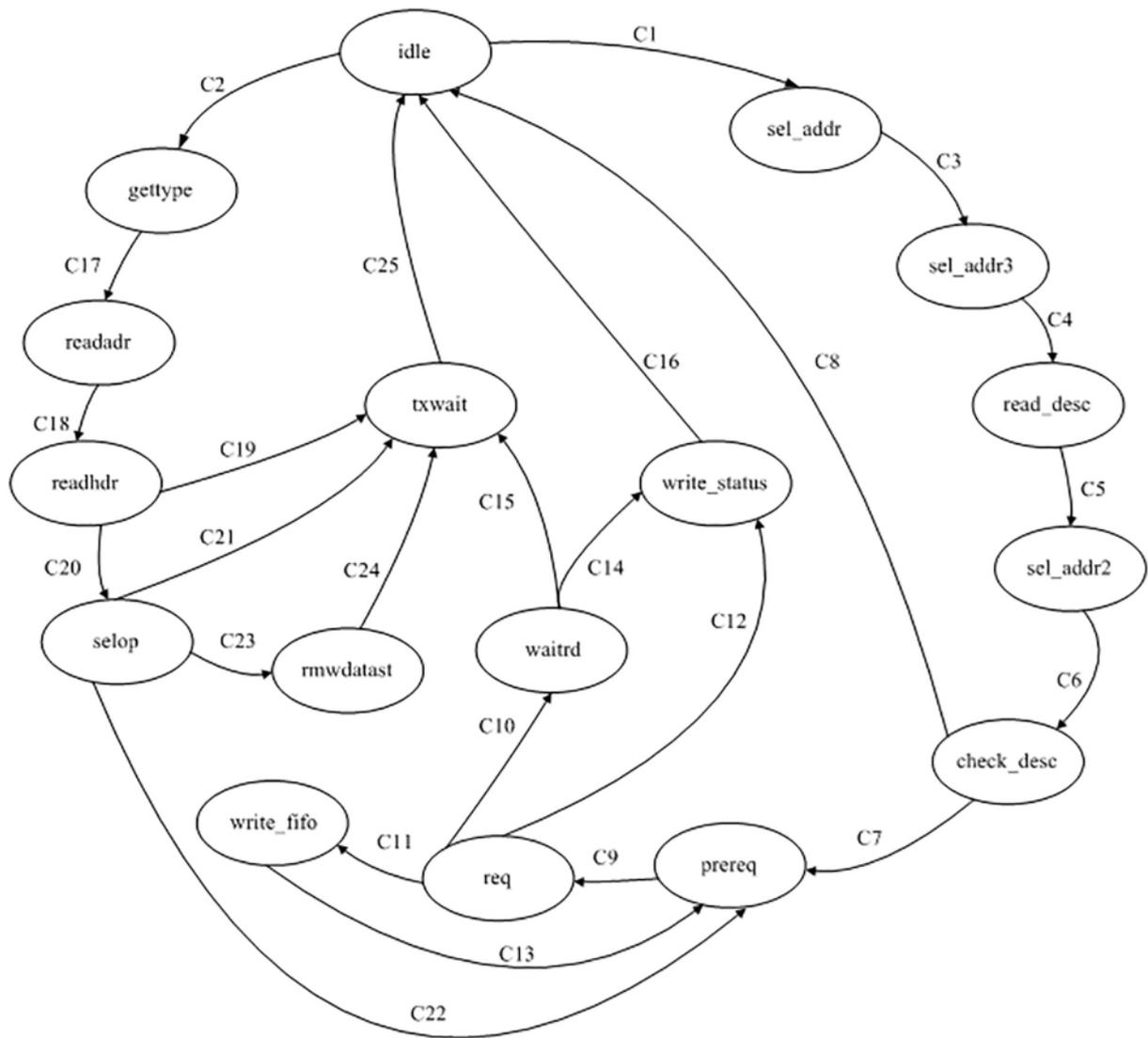


图 2

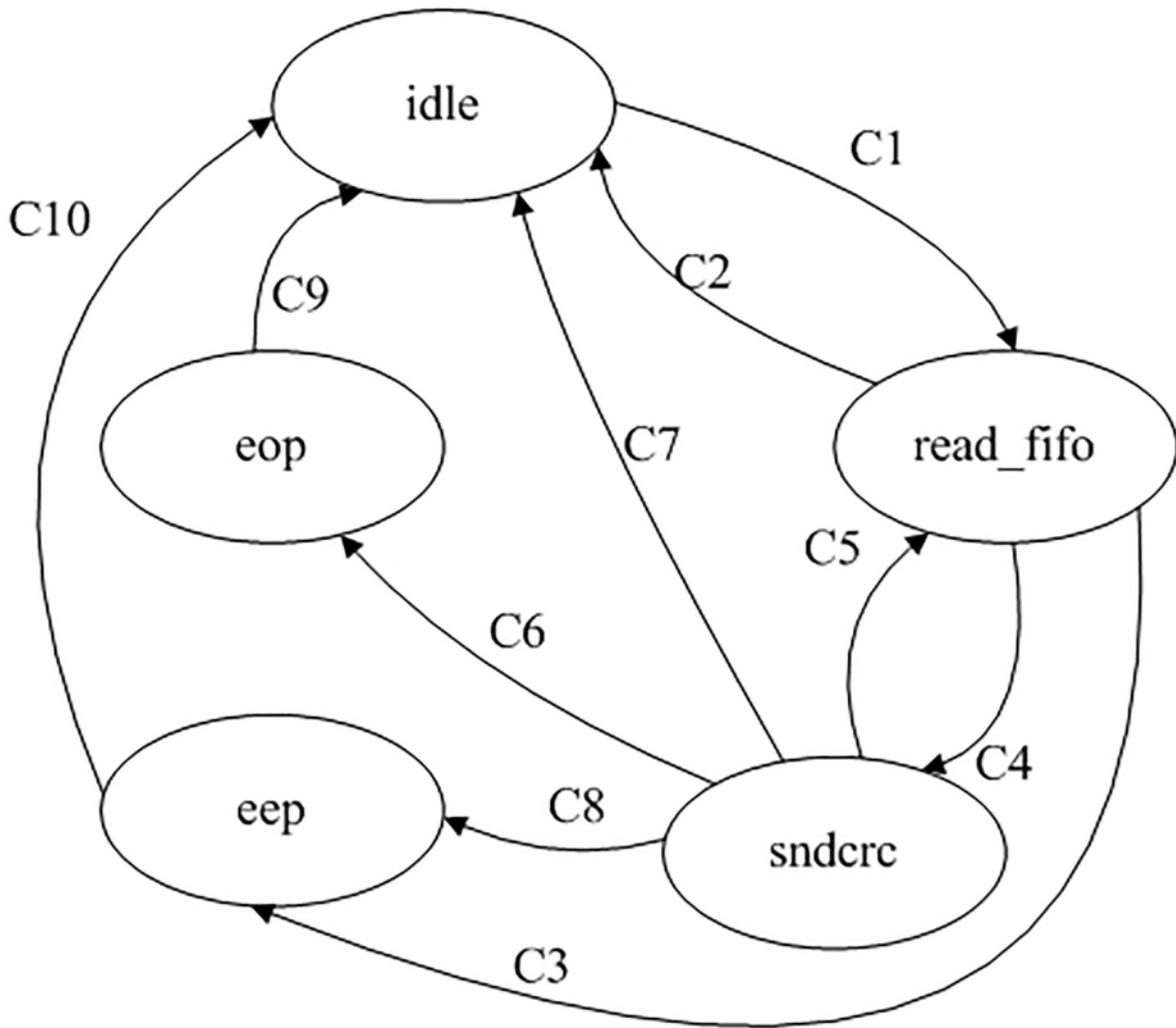


图 3

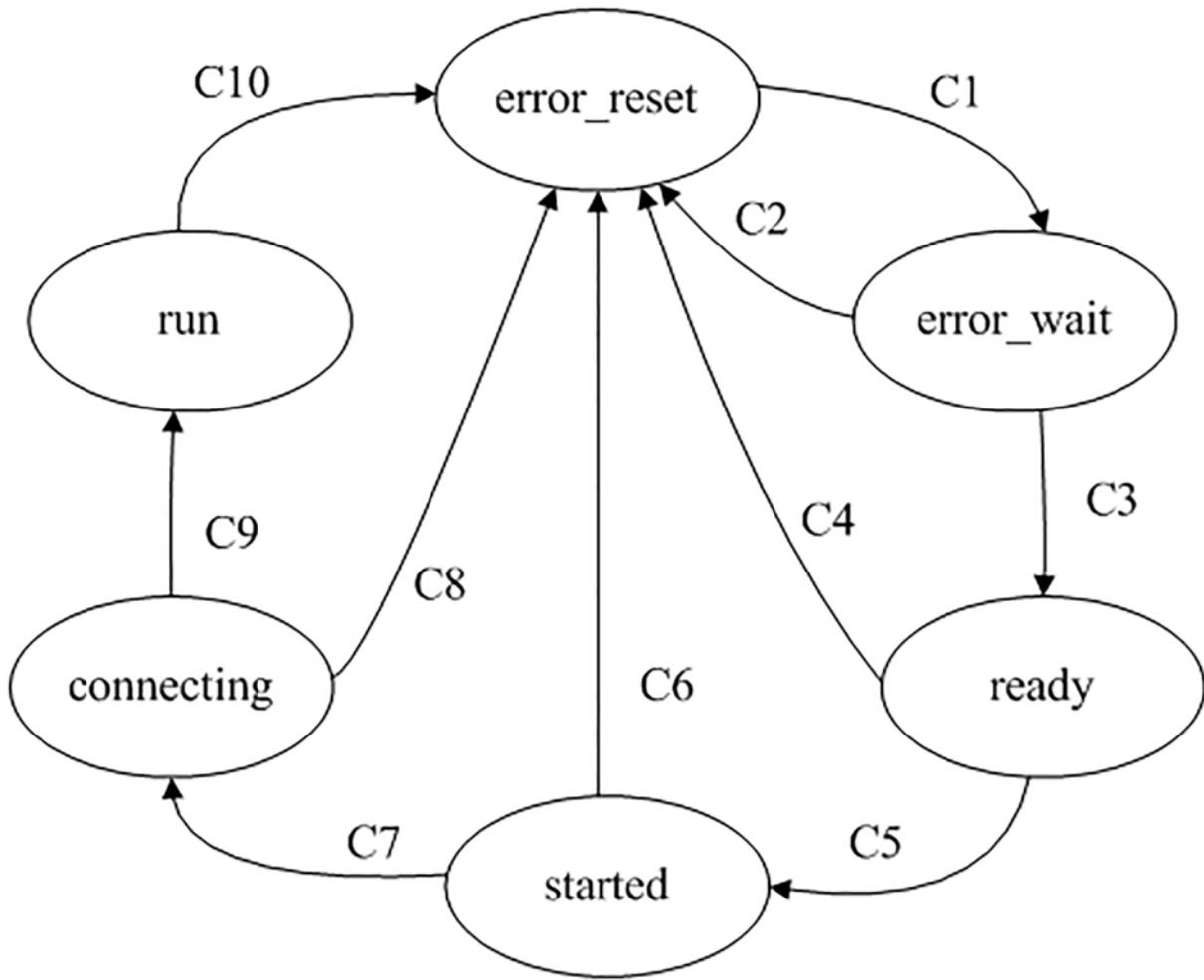


图 4

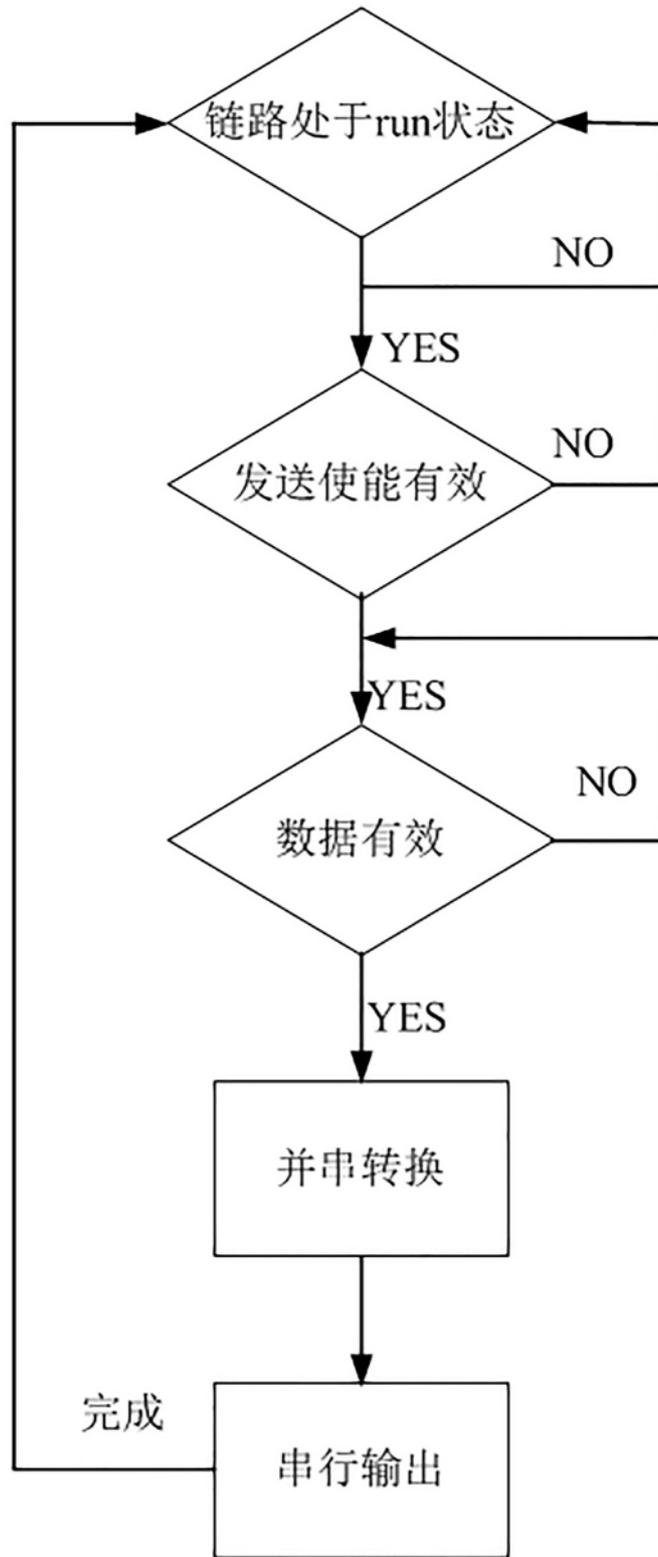


图 5



图 6

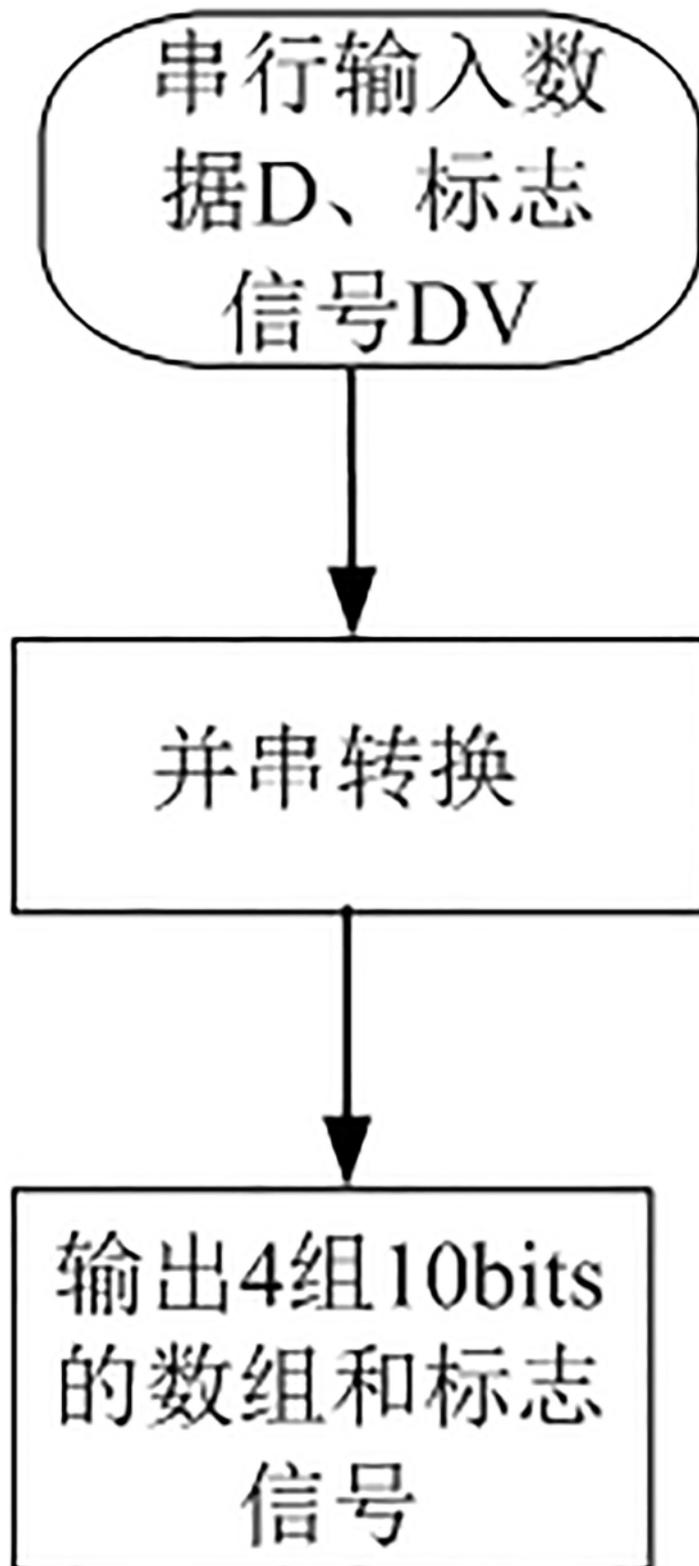


图 7

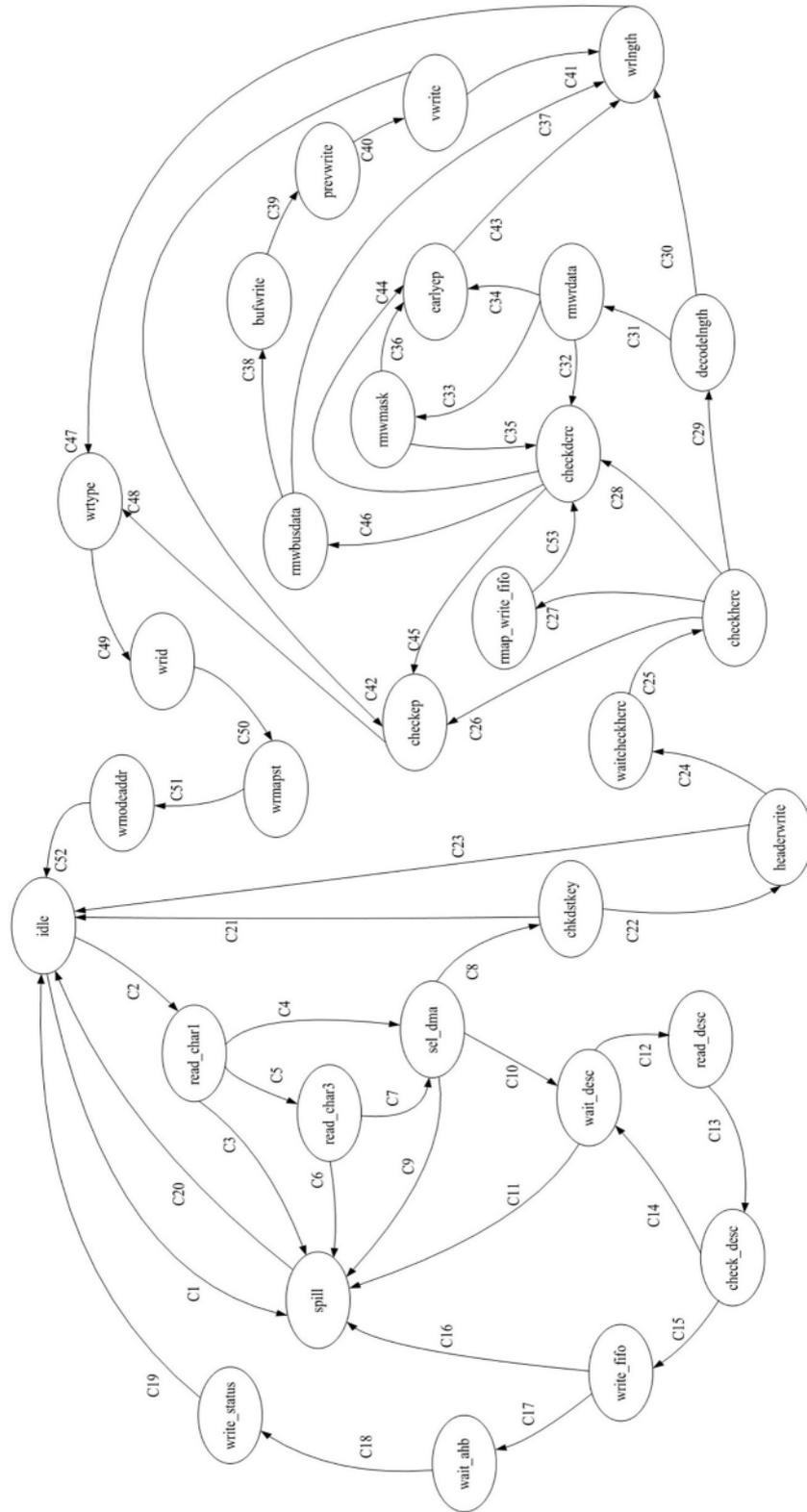


图 8

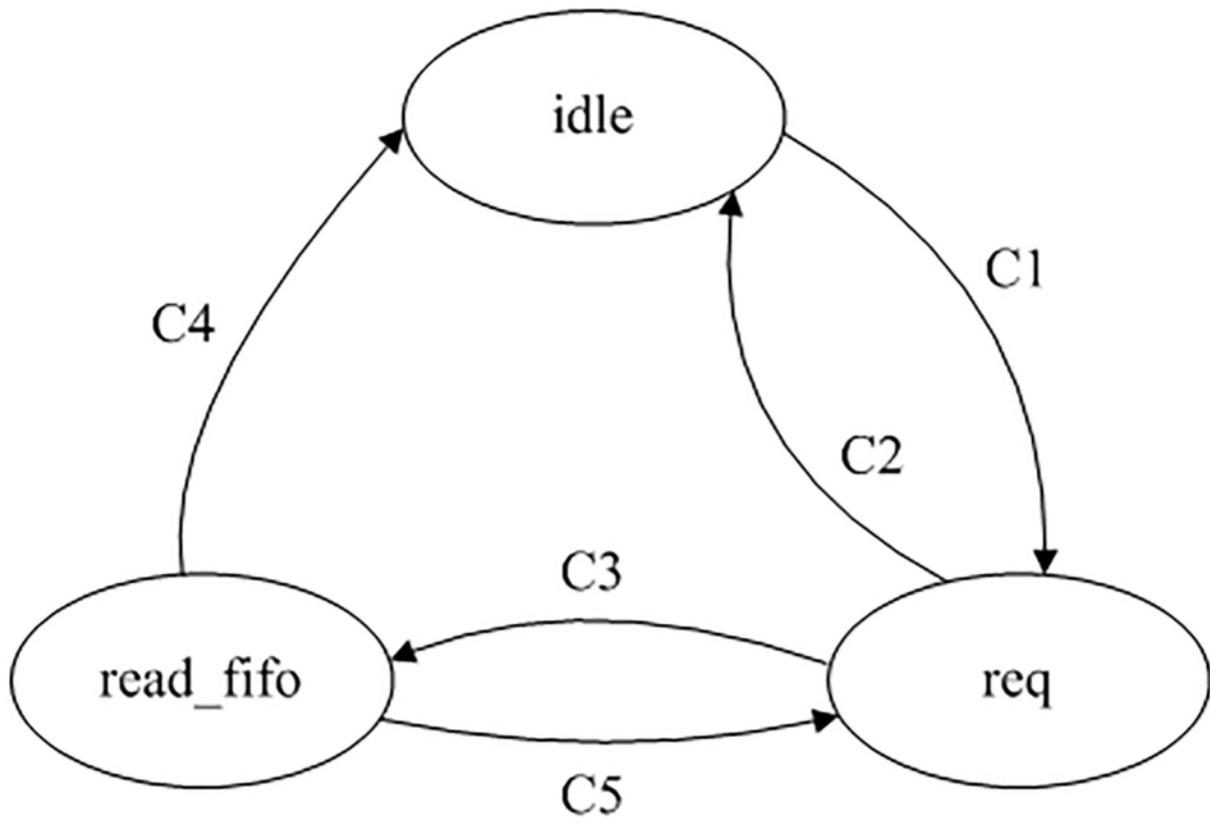


图 9