

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5313651号
(P5313651)

(45) 発行日 平成25年10月9日 (2013. 10. 9)

(24) 登録日 平成25年7月12日 (2013. 7. 12)

(51) Int. Cl.	F I
HO 1 L 33/32 (2010. 01)	HO 1 L 33/00 1 8 6
HO 1 L 21/205 (2006. 01)	HO 1 L 21/205
HO 1 L 21/306 (2006. 01)	HO 1 L 21/306 B

請求項の数 11 (全 15 頁)

(21) 出願番号	特願2008-321138 (P2008-321138)	(73) 特許権者	000002303
(22) 出願日	平成20年12月17日 (2008. 12. 17)		スタンレー電気株式会社
(65) 公開番号	特開2010-147164 (P2010-147164A)		東京都目黒区中目黒2丁目9番13号
(43) 公開日	平成22年7月1日 (2010. 7. 1)	(74) 代理人	100079119
審査請求日	平成23年12月8日 (2011. 12. 8)		弁理士 藤村 元彦
		(74) 代理人	100147728
			弁理士 高野 信司
		(74) 代理人	100109036
			弁理士 永岡 重幸
		(72) 発明者	柴田 康之
			東京都目黒区中目黒2丁目9番13号 ス
			タンレー電気株式会社内
		(72) 発明者	梁 吉鏞
			東京都目黒区中目黒2丁目9番13号 ス
			タンレー電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の第1の空洞を含む第1空洞含有層を成長用基板上に形成する工程と、
 複数の第2の空洞を含み、互いに隣接する前記第2の空洞間の隔壁部の各々が前記第1の空洞の各々の上部に設けられ、かつ互いに隣接する前記第1の空洞間の隔壁部の各々の上部に前記第2の空洞の各々が設けられた第2空洞含有層を前記第1空洞含有層上に形成する工程と、

前記第2空洞含有層上に半導体層をエピタキシャル成長させる工程と、
 前記半導体層上に支持基板を接着する工程と、
 前記第1および第2の空洞の各々にエッチャントを流入させて、前記第1の空洞の各々と前記第2の空洞の各々とを結合させて前記成長用基板を前記半導体層から除去する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項2】

前記第1空洞含有層を形成する工程は、
 前記成長用基板上に選択成長用の第1マスクを形成する工程と、
 前記成長用基板上に前記第1マスクを介してIII族窒化物を選択成長させて前記第1マスクに沿って前記第1マスク上部に設けられた空洞を有する層を形成する第1選択成長工程と、を含み、

前記第2空洞含有層を形成する工程は、
 前記第1空洞含有層上に選択成長用の第2マスクを形成する工程と、

前記第 1 空洞含有層上に前記第 2 マスクを介して III 族窒化物を選択成長させて前記第 2 マスクに沿って前記第 2 マスク上部に設けられた空洞を有する層を形成する第 2 選択成長工程と、を含むことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 1 選択成長工程は、縦方向成長が助長される条件で前記 III 族窒化物の成長を行う第 1 ステップおよび横方向成長が助長される条件で前記 III 族窒化物の成長を行う第 2 ステップを交互に複数回実施する処理を含むことを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】

前記第 1 マスクは、前記 III 族窒化物の結晶方位の $\langle 10 - 10 \rangle$ に平行な軸及びこの軸と同等な軸に平行な辺を有し、且つ、前記成長用基板の一端部から他端部まで連続したパターンを有していることを特徴とする請求項 2 又は 3 に記載の半導体素子の製造方法。

10

【請求項 5】

前記第 1 マスクは、マスク部と非マスク部が交互に配されたストライプパターンを有していることを特徴とする請求項 4 に記載の半導体素子の製造方法。

【請求項 6】

前記第 2 マスクは、マスク部と非マスク部が交互に配されたストライプパターンを有し、前記第 2 マスクの非マスク部が前記第 1 マスクのマスク部上に位置していることを特徴とする請求項 4 又は 5 に記載の半導体素子の製造方法。

【請求項 7】

20

前記第 1 マスクは、マスク部の幅が $1 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下であり、且つ、非マスク部の幅が $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下であることを特徴とする請求項 6 に記載の半導体素子の製造方法。

【請求項 8】

前記第 2 マスクは、マスク部の幅が $1 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下であり、且つ、非マスク部の幅が $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下であることを特徴とする請求項 6 に記載の半導体素子の製造方法。

【請求項 9】

前記第 1 および第 2 空洞含有層のエッチングは、その積層方向に向けて進行する異方性エッチングであることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体素子の製造方法。

30

【請求項 10】

前記第 1 選択成長工程は、前記第 1 および第 2 ステップの実施前に前記半導体層の成長温度よりも低い温度で前記成長用基板上に前記第 1 マスクを介して III 族窒化物を選択成長させる工程を含むことを特徴とする請求項 3 に記載の半導体素子の製造方法。

【請求項 11】

前記半導体層は発光層を含むことを特徴とする請求項 1 乃至 10 のいずれか 1 に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は半導体素子の製造方法に関し、特に有機金属気相成長法を用いて形成される半導体発光素子の製造方法に関する。

【背景技術】

【0002】

発光ダイオード等の半導体発光素子は、サファイア基板等の成長用基板上に n 層、活性層及び p 層等で構成される半導体膜を形成し、成長用基板及び半導体表面に電極を形成して製造される。成長用基板が絶縁体の場合には、反応性イオンエッチング等の技術を用いて半導体層の一部の領域をエッチングし、n 層を露出させて、n 層及び p 層の各々に電極を形成する。

50

【 0 0 0 3 】

半導体発光素子は、近年の技術の進歩により高効率、高出力化されている。しかし、高出力化に伴って半導体発光素子から発せられる熱量も増加し、これによる半導体発光素子の効率低下および半導体膜の劣化等、信頼性の低下が問題となっている。これを解決するために比較的熱伝導性の低い成長用基板を除去し、これに替えて比較的熱伝導性の高い金属で半導体膜を支持する構成がとられている。かかる構成とすることにより、半導体発光素子の放熱性が改善される他、成長用基板を除去することにより発光効率、特に光取り出し効率の向上も期待できる。すなわち、成長用基板を光が通過する際に起る光吸収や半導体膜と成長用基板の屈折率差に起因してその界面で全反射される光の成分を減じることが可能となる。成長用基板の剥離は、レーザーリフトオフ（LLO）法が用いられるのが一般的である。一方、特許文献1には成長用基板と半導体膜との間にエッチャントを侵入させるための流通孔を有する分離層を形成し、エッチャントをこの流通孔に流通させて分離層をエッチングすることにより成長用基板と半導体層とを分離する手法が記載されている。

10

【 0 0 0 4 】

また、半導体発光素子の光取り出し効率の向上のため半導体発光素子の光放射面に凹凸加工を施す技術が知られている。光放射面に凹凸加工を施すことにより、半導体発光素子と封止樹脂との界面において臨界角以上で入射して全反射される光を減じることができるので、光取り出し効率が向上する。この凹凸形状は、半導体発光素子の光放射面に適切な処理を行うことで形成することができる。特許文献2には、n型窒化ガリウム層の表面に半球状の凹凸パターンを形成し、この凹凸パターンの表面に更に複数の突起部を形成することにより光取り出し効率を改善した半導体発光素子が記載されている。

20

【特許文献1】特開2001-36139号

【特許文献2】特開2007-36240号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

上記の如く、半導体発光素子表面に形成された光取り出し効率向上のための凹凸は、GaN膜表面をウェットエッチングすることにより容易に形成することができる。GaN膜表面にウェットエッチング処理を施すことによりその表面には、GaNの結晶構造に由来する所謂マイクロコンと称される六角錐状突起が多数形成される。光取り出し効率をより向上させるためには、この六角錐状突起のサイズをある程度大きくする必要がある。

30

【 0 0 0 6 】

ここで図1(a)および(b)は、それぞれ比較的大きいサイズの突起が形成された半導体膜の表面と比較的小さいサイズの突起が形成された半導体膜の表面にチップマウンターのコレットが接触したときの突起谷部に加わる力を示したものである。図1(a)に示すように、半導体膜表面に1~4 μ m程度の比較的大きいサイズの突起を形成すると、半導体素子を実装基板やステム上にマウントする際に突起の谷部に加わる力が大きくなる。つまり、この場合、外部からの押圧に対してクラックが生じやすくなる。一方、突起サイズを小さくすると、図1(b)に示すように、押圧が分散され突起の谷部に加わる力が減少するので、クラックの発生を抑制することが可能となる。しかしながら、突起サイズを小さくすると、光取り出し効率向上の効果が低下してしまう。すなわち、半導体膜表面に複数の突起を形成することにより光取り出し効率を向上させようとする場合において、光取り出し効率と、半導体膜の機械的強度はトレードオフの関係にあり、これら双方の特性を高いレベルで確保することは困難であった。

40

【 0 0 0 7 】

一方、LLO法を用いて成長用基板を剥離する場合、レーザー光を吸収した窒化物半導体が分解されてN₂ガスを発生させ、このガス圧により半導体膜にクラックが生じる場合がある。また、LLO法を実施するためには、高価な専用の装置を導入する必要があるため、コストアップを招く。更に、LLO法では、多数のウエハを一括処理することが困難であり、レーザー光をウエハ全面に亘って走査させていく処理となるため、比較的長い処理時

50

間を要する。ウエハの大口径化が進むと処理時間は更に長くなる。従って、成長用基板の剥離をウェットエッチングを用いて容易に行うことができれば、品質、コスト、処理時間等の観点から有利となる場合が多いと考えられる。

【0008】

本発明は、かかる点に鑑みてなされたものであり、成長用基板の剥離をウェットエッチング処理によって容易に行うことができ、更に、光取り出し効率向上と半導体膜の機械的強度の確保を両立させた半導体素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の半導体素子の製造方法は、複数の第1の空洞を含む第1空洞含有層を成長用基板上に形成する工程と、複数の第2の空洞を含み、互いに隣接する前記第2の空洞間の隔壁部の各々が前記第1の空洞の各々の上部に設けられた第2空洞含有層を前記第1空洞含有層上に形成する工程と、前記第2空洞含有層上に半導体層をエピタキシャル成長させる工程と、前記半導体層上に支持基板を接着する工程と、前記第1および第2空洞の各々にエッチャントを流入させて、前記第1空洞の各々と前記第2空洞の各々とを結合させて前記成長用基板を前記半導体層から除去する工程と、を含むことを特徴としている。

【0010】

前記第1空洞含有層を形成する工程は、前記成長用基板上に選択成長用の第1マスクを形成する工程と、前記成長用基板上に前記第1マスクを介してIII族窒化物を選択成長させて前記第1マスクに沿って前記第1マスク上部に設けられた空洞を有する層を形成する第1選択成長工程と、を含み、前記第2空洞含有層を形成する工程は、前記第1空洞含有層上に選択成長用の第2マスクを形成する工程と、前記第1空洞含有層上に前記第2マスクを介してIII族窒化物を選択成長させて前記第2マスクに沿って前記第2マスク上部に設けられた空洞を有する層を形成する第2選択成長工程と、を含む。

【0011】

前記第1選択成長工程は、互いに異なる成長レートで前記III族窒化物の成長を行う第1ステップおよび第2ステップを交互に複数回実施する処理を含む。

【0012】

前記第1マスクは、マスク部と非マスク部が交互に配されたストライプパターンを有している。前記第2マスクは、マスク部と非マスク部が交互に配されたストライプパターンを有し、前記第2マスクの非マスク部が前記第1マスクのマスク部上に位置するように設けられる。

【0013】

また、本発明の積層構造体の製造方法は、複数の空洞を含む第1空洞含有層を成長用基板上に形成する工程と、複数の空洞を含み、互いに隣接する前記空洞間の隔壁部の各々が前記第1空洞含有層内部の空洞の各々の上部に設けられた第2空洞含有層を前記第1空洞含有層上に形成する工程と、を含むことを特徴としている。

【0014】

また、本発明の半導体ウエハは、成長用基板と、前記成長用基板の上に形成された複数の第1の空洞を含むIII族窒化物半導体からなる第1空洞含有層と、前記第1空洞含有層の上に形成され、複数の第2の空洞を含み、互いに隣接する前記第2の空洞間の隔壁部の各々が前記第1の空洞の各々の上部に設けられたIII族窒化物半導体からなる第2空洞含有層と、前記第2空洞含有層の上にエピタキシャル成長されたIII族窒化物半導体層と、を含むことを特徴としている。

【0015】

また、本発明の積層構造体は、成長用基板と、前記成長用基板の上に形成された複数の第1の空洞を含むIII族窒化物半導体からなる第1空洞含有層と、前記第1空洞含有層の上に形成され、複数の第2の空洞を含み、互いに隣接する前記第2の空洞間の隔壁部の各々が前記第1の空洞の各々の上部に設けられたIII族窒化物半導体からなる第2空洞含有層と、を含むことを特徴としている。

10

20

30

40

50

【発明の実施の形態】

【0016】

以下、本発明の実施例について図面を参照しつつ説明する。図2は、本発明の実施例である半導体発光素子の製造工程フロー図である。図3～図5は、本発明の実施例である半導体発光素子の各製造工程毎の断面図である。

【0017】

(第1マスク層形成工程 ステップS1)

はじめに、成長用基板を用意する。本実施例では、MOCVD法(有機金属気相成長法)によりGaN系の半導体エピタキシャル層を形成することができるC面サファイア基板10を成長用基板として用いた。

10

【0018】

次に、サファイア基板10上にGaN膜の選択成長を行うための第1マスク層を形成する。第1マスク層は、サファイア基板10上にストライプ状に配列されたSiO₂マスク20によって構成される。第1マスク層の形成手順は以下のとおりである。まず、EB(電子ビーム)法等によりサファイア基板10上に膜厚150nm程度のSiO₂膜を堆積する。続いて、このSiO₂膜上にレジストマスクを形成した後、例えばCHF₃を用いたドライエッチングによりSiO₂膜を選択的に除去することによりストライプ状のパターニングを施す。本実施例では、1μm幅でSiO₂膜を除去し、4μm幅のSiO₂を残すことによりマスク部と非マスク部とが連続するストライプパターンを形成した。すなわち、サファイア基板10上には、4μm幅のSiO₂マスク20が5μmピッチで形成される。ストライプ状に配列されたSiO₂マスク20の各々は、サファイア基板10上の一端部からこれと対向する他端部にまで伸張するように形成される(図3(a))。

20

【0019】

尚、本実施例では、SiO₂により第1マスク層を形成することとしたが、例えばTiO₂、SiN、TiNを用いることもできる。また、SiO₂膜の膜厚は例えば100～500nmの範囲で形成することができるが、成膜時間及びその後のGaN膜の成長容易性を考慮して100～200nmであることが好ましい。

【0020】

また、SiO₂の成膜方法は、EB法に限らず、例えばスパッタ法、プラズマCVD法、熱CVD法を用いてもよい。また、SiO₂膜のエッチングはCHF₃を用いたドライエッチングに限らず、CF₄及びC₂F₈等を用いたドライエッチングでも良く、また、HF、BHF、NH₄F+HF、KOH、NaOH(酸化物)、熱リン酸及、リン酸+硫酸(窒化物)等を用いたウェットエッチングでも良い。

30

【0021】

また、SiO₂マスク20の各々の幅は、加工精度や、後の工程においてこのSiO₂マスク20上に空洞41を形成することを考慮して1～4μmとすることが好ましい。また、SiO₂マスク20の非マスク部は1～3μmであることが望ましい。

【0022】

また、SiO₂マスク20は、サファイア基板10上に適当な間隔をもって離散的に形成されていればよく、ストライプ状に限らず、GaN結晶の結晶方位<10-10>と平行な軸およびこれと同等な軸に平行な辺を有する多角形、または、このような多角形が格子状に配列されたパターンであってもよい。なお、後述するが、マスク上方にはウェットエッチングのためのエッチャントが流入する空洞が形成される。このため、マスクパターンは、サファイア基板10の一端部からこれと対向する他端部まで伸張した連続パターンとなっており、ウエハ上に孤立した領域を有していないことが好ましい。これにより、ウエハ端面から流入させたエッチャントをウエハ中央部にまで浸透させることが可能となり、成長用基板を速やかに除去することが可能となる。

40

【0023】

また、第1マスク層は、はじめにサファイア基板10上にフォトリソでパターンを形成しておき、その後SiO₂膜を堆積し、レジストマスク上に堆積された不要部分をリ

50

フトオフして形成してもよい。

【0024】

また、成長用基板はサファイア基板に限らず、SiまたはSiC基板等の半導体層の成長に適したものであればよい。

【0025】

(サーマルクリーニング工程 ステップS2)

次に、SiO₂マスク20が形成されたサファイア基板10のサーマルクリーニングを行う。具体的には、サファイア基板10をMOCVD装置にセットし、1000に制御された還元雰囲気(水素流量10LM、窒素流量7LM)にて7分間処理した。尚、雰囲気温度を1000以上、処理時間は3~20分としてもよい。

10

【0026】

(低温バッファ層形成工程 ステップS3)

次に、SiO₂マスク20が形成されたサファイア基板10上にGaNからなる低温バッファ層30を形成する。雰囲気温度525に制御されたMOCVD装置にサファイア基板10をセットし、窒素(流量13.5LM)および水素(流量6LM)の混合雰囲気下でトリメチルガリウム(TMG)(流量10μmol/min)およびアンモニア(NH₃)(流量3.3LM)を供給して(この場合V/III比は14000程度となる)、膜厚150nm程度の低温バッファ層30を形成した。その後、MOCVD装置内部を800まで昇温し、30秒保持してアニールを行った。

【0027】

20

かかる条件でSiO₂マスク20が形成されたサファイア基板10上にGaN膜の成長を行うと、SiO₂マスク20上にはGaN単結晶は成長せずに多結晶が成長し、非マスク部においてサファイア基板10が露出した部分にGaNの核成長が起る(図3(b))。

【0028】

尚、本工程において、雰囲気温度は425~625の範囲に設定することができる。また、TMG流量は9~45μmol/minの範囲に設定することができるが、バッファ層30の成膜均一性および上層の半導体エピタキシャル層70の結晶性を高めるために10~23μmolの範囲に設定するのが好ましい。またV/III比は3000~25000の範囲に設定することができるが、半導体エピタキシャル層30の結晶性を高くするために6000~14000の範囲に設定するのが好ましい。上記V/III比の範囲においてNH₃流量は、3.3~5.5LMの範囲に設定することができる。また、バッファ層30の膜厚は、30~1000nmの範囲に設定することができるが、空洞を形成しながら薄膜で核同士を融合させるためには30~400nmが好ましい。

30

【0029】

(第1空洞含有層形成工程 ステップS4)

先の工程で形成したバッファ層30上に縦方向成長が助長される条件でGaN成長を行う処理(第1ステップと称する)と横方向成長が助長される条件でGaN膜の成長を行う処理(第2ステップと称する)とを交互に複数回繰り返すことにより、SiO₂マスク20上に空洞41を有する第1空洞含有層40をサファイア基板10上に形成する。

40

【0030】

具体的には、MOCVD装置内部の温度を800に制御し、窒素流量6LM、水素流量7.5LMの雰囲気下で、上記第1ステップにおいては、TMGを流量23μmol/minで供給するとともに、NH₃を流量2.2LMで供給し、低温バッファ層30上に膜厚20nm程度のGaN膜を形成する。この第1ステップでは、低温バッファ層30を成長させた部分において主にGaN膜の縦方向成長が起る。

【0031】

一方、上記第2ステップにおいては、TMGを流量45μmol/minで供給するとともに、NH₃を流量4.4LMで供給し、膜厚80nm程度のGaN膜20を形成する。この第2ステップでは、主に第1ステップを経て縦方向に成長したGaN膜の頂部を起

50

点としてGaN膜の横方向成長が起る。

【0032】

第1ステップと第2ステップとでは、TMGおよびNH₃の流量が異なるため、GaN膜の成長レートが異なり、GaN膜を構成するGa原子およびN原子の吸着と分解・脱離のバランスが互いに異なることから成長方向に違いが生じるものと考えられる。尚、第1ステップにおけるGaN膜の成長レートは23nm/minであり、第2ステップにおけるGaN膜の成長レートは45nm/minである。

【0033】

上記第1ステップおよび第2ステップを交互に4セット繰り返すことにより、SiO₂マスク20を挟んで隣接するGaN膜同士が融合し、SiO₂マスク20の各々の上部に空洞41が形成される。

10

【0034】

空洞41の各々は、ストライプ状に配列されたSiO₂マスク20に沿って形成される。つまり、空洞41の各々はサファイア基板10の外縁に沿って設けられた開口部を有し、ウエハ側面の一端から対向する他端に連通するように形成される。空洞41の各々は、後の成長用基板剥離工程(ステップS9)においてウェットエッチングによりサファイア基板10を剥離する際にエッチャントを第1空洞含有層20内部に導入するためのエッチャント導入孔として機能する。また、本工程においては横方向成長が複数回行われることにより、サファイア基板10とGaN膜との界面に生じた結晶欠陥が屈曲し、これが上部にまで伝搬しなくなるため、半導体エピタキシャル層70の欠陥密度が低減される。

20

【0035】

尚、本工程において雰囲気温度は700~900の範囲に設定することができる。また、第1ステップにおいては、TMG流量を10~30μmol/min、NH₃流量を1~3LMの範囲に設定することができる。また第2ステップにおいては、TMG流量を30~70μmol/min、NH₃流量を3~7LMの範囲に設定することができる。また、空洞41のサイズや形状に応じて第1ステップにおいて形成するGaN膜の膜厚を10~60nm、第2ステップにおいて形成するGaN膜の膜厚を30~140nmの範囲で変更することが可能である。

【0036】

次に、空洞41が形成されたGaN膜上に更にGaN膜をエピタキシャル成長させ、表面を平坦化することにより第1空洞含有層40を完成させる。具体的には、MOCVD装置内部の温度を1000に制御し、窒素(流量6LM)および水素(流量7.5LM)の混合雰囲気下でTMG(流量45μmol/min)およびNH₃(流量4.4LM)を供給して(この場合V/III比は5000程度となる)、膜厚1.5μm程度の平坦化層を形成し、第1空洞含有層を完成させた(図3(c))。

30

【0037】

尚、本工程においては、TMG流量を10~70μmol/minの範囲に設定することができる。またV/III比は2000~22500の範囲に設定することができるが、平坦性および結晶性の点から3000~8000の範囲に設定するのが好ましい。上記V/III比の範囲においてNH₃流量は、3.3~5.5LMの範囲に設定することができる。

40

【0038】

(第2マスク層形成工程 ステップS5)

次に、第1空洞含有層40上にSiO₂マスク50がストライプ状に配列された第2マスク層を形成する。第2マスク層を構成するSiO₂マスク50の各々は、例えば第1マスク層におけるSiO₂マスク20の各々と同一幅、同一ピッチおよび同一の方向に伸張するように形成される。またSiO₂マスク50の各々の間に位置する非マスク部51の各々が下方の第1マスク層におけるSiO₂マスク20の各々と完全に重なるように、また、SiO₂マスク20の各々の間に位置する非マスク部21の各々が上方の第2マスク

50

層における SiO_2 マスク50の各々と完全に重なるように SiO_2 マスク50を配置する(図3(d))。

【0039】

第2マスク層の形成方法は、第1マスク層と同様である。すなわち、第1空洞含有層40の形成後、ウエハをMOCVD装置から取り出し、EB(電子ビーム)法等により第1空洞含有層40上に膜厚150nm程度の SiO_2 膜を堆積する。続いて、この SiO_2 膜上にレジストマスクを形成した後、例えば CHF_3 を用いたドライエッチングにより SiO_2 膜を選択的に除去することにより、マスク部と非マスク部とが連続するストライプ状のパターニングを施す。本実施例では、第1マスク層における SiO_2 マスク20と同様1 μm 幅で SiO_2 膜を除去し、4 μm 幅の SiO_2 を残し、上記した如き第1マスク層との相対位置関係を有するように第2マスク層のストライプパターンを形成した。 SiO_2 マスク50の各々は、ウエハの一端部からこれと対向する他端部にまで伸張するように設けられる。

10

【0040】

尚、本実施例では、 SiO_2 により第2マスク層を形成することとしたが、例えば Si 、酸化 Ti 、 SiN 、 TiN を用いることもできる。また、 SiO_2 膜の膜厚は例えば100~500nmの範囲で形成することができるが、成膜時間及びその後の GaN 膜の成長容易性を考慮して100~200nmであることが好ましい。

【0041】

また、 SiO_2 の成膜方法は、EB法に限らず、例えばスパッタ法、プラズマCVD法、熱CVD法を用いてもよい。また、 SiO_2 膜のエッチングは CHF_3 を用いたドライエッチングに限らず、 CF_4 及び C_2F_8 等を用いたドライエッチングでも良く、また、 HF 、 BHF 、 $\text{NH}_4\text{F} + \text{HF}$ 、 KOH 、 NaOH (酸化物)、熱リン酸及、リン酸+硫酸(窒化物)等を用いたウェットエッチングでも良い。

20

【0042】

また、 SiO_2 マスク50の各々の幅は、加工精度や、後の工程においてこの SiO_2 マスク50上に空洞61を形成することを考慮して1~4 μm とすることが好ましい。また、 SiO_2 マスク20の非マスク部(すなわち、 SiO_2 マスク50の形成ピッチ)は1~3 μm であることが望ましい。

【0043】

また、 SiO_2 マスク50は、上記した如き第1マスク層との相対位置関係が確保されていればストライプ状に限らず、 GaN 結晶の結晶方位 $\langle 10 - 10 \rangle$ と平行な軸およびこれと同等な軸に平行な辺を有する多角形、または、このような多角形が格子状に配列されたパターンであってもよい。なお、後述するが、マスク上方にはウェットエッチングのためのエッチャントが流入する空洞が形成される。このため、マスクパターンは、サファイア基板10の一端部からこれと対向する他端部まで伸張した連続パターンとなっており、ウエハ上に孤立した領域を有していないことが好ましい。これにより、ウエハ端面から流入させたエッチャントをウエハ中央部にまで浸透させることが可能となり、成長用基板を速やかに除去することが可能となる。また、第2マスク層は、はじめに第1空洞含有層40上にフォトリソでパターンを形成しておき、その後 SiO_2 膜を堆積し、レジストマスク上に堆積された不要部分をリフトオフして形成してもよい。

30

40

【0044】

(第2空洞含有層形成工程 ステップS6)

次に、第2マスク層が形成された第1空洞含有層40上に GaN 膜をエピタキシャル成長させることにより、 SiO_2 マスク50上に空洞61を有する第2空洞含有層60を形成する。具体的には、雰囲気温度700に制御されたMOCVD装置に上記各工程を経たウエハをセットし、窒素流量13.5LMの雰囲気下で、TMGを流量45 $\mu\text{mol}/\text{min}$ 、 NH_3 を流量5.5LMで供給するとともに、ドーパントガスとして SiH_4 を供給し、 Si が $5 \times 10^{18} \text{ atom}/\text{cm}^3$ ドーパされた膜厚500nm程度の GaN 膜を第1空洞含有層40上に成長させる。

50

【 0 0 4 5 】

かかる条件で SiO_2 マスク 50 が形成された第 1 空洞含有層 40 上に GaN 膜の成長を行うと、 SiO_2 マスク 50 上には GaN 膜は成長せず、 SiO_2 マスク 50 が形成されていない部分にのみ GaN 膜の成長が起る。そして、この条件で成長を継続させることにより、 SiO_2 マスク 50 を挟んで隣接する GaN 膜同士が融合し、 SiO_2 マスク 50 の各々の上部に空洞 61 が形成される。その後、TMG および NH_3 を供給したまま雰囲気温度を 1000 まで昇温し、膜厚 1 μm 程度の GaN 膜をエピタキシャル成長させて第 2 空洞含有層 60 を完成させる (図 3 (e))。

【 0 0 4 6 】

空洞 61 の各々は、ストライプ状に配列された SiO_2 マスク 50 に沿って形成される。つまり、空洞 41 の各々はサファイア基板 10 の外縁に沿って設けられた開口部を有し、ウエハ側面の一端から対向する他端に連通している。空洞 50 の各々は、後の成長用基板除去工程 (ステップ S9) においてウェットエッチングによりサファイア基板 10 を剥離する際にエッチャントを第 2 空洞含有層 20 内部に導入するためのエッチャント導入孔として機能する。また、 SiO_2 マスク 50 の各々は、第 1 マスク層における SiO_2 マスク 20 との間に上記した如き相対位置関係を有しているため、第 2 空洞含有層 60 内部の空洞 61 と第 1 空洞含有層 40 内部の空洞 41 との相対位置関係もこれに準じたものとなる。すなわち、互いに隣接する空洞 61 間の隔壁部の各々が空洞 40 の各々の上部に位置している。

【 0 0 4 7 】

尚、本工程においては、TMG 流量を 10 ~ 70 $\mu\text{mol}/\text{min}$ の範囲に設定することができる。また V/III 比は 2000 ~ 22500 の範囲に設定することができるが、平坦性および結晶性の点から 3000 ~ 8000 の範囲に設定するのが好ましい。上記 V/III 比の範囲において NH_3 流量を 3.3 ~ 5.5 LM の範囲に設定することができる。また、第 2 空洞含有層 60 の合計の膜厚は 0.5 ~ 3 μm の範囲に設定することができる。また、第 1 空洞含有層 40 と同様のステップの繰り返しでも良い。

【 0 0 4 8 】

(半導体エピタキシャル層形成工程 ステップ S7)

次に、MOCVD 法により第 2 空洞含有層 60 の上に GaN 系半導体からなる n 層 71、発光層 72 および p 層 73 を含む半導体エピタキシャル層 70 を形成する (図 4 (f))。

【 0 0 4 9 】

具体的には、雰囲気温度を 1000 とし、TMG (流量 45 $\mu\text{mol}/\text{min}$)、 NH_3 (流量 4.4 LM) およびドーパントガスとして SiH_4 を供給し、 Si が $5 \times 10^{18} \text{ atom}/\text{cm}^3$ ドープされた膜厚 1 ~ 10 μm 程度の n 層 71 を形成する。尚、TMG の流量は、10 ~ 70 $\mu\text{mol}/\text{min}$ の範囲で変更することが可能である。また、 NH_3 は 3.3 ~ 5.5 LM の範囲で変更することが可能である。また、V/III 比は、2000 ~ 22500、より好ましくは 3000 ~ 8000 の範囲に設定することが可能である。

【 0 0 5 0 】

次に、雰囲気温度を 760 とし、TMG (流量 3.6 $\mu\text{mol}/\text{min}$)、トリメチルインジウム (TMI) (流量 3.6 $\mu\text{mol}/\text{min}$) および NH_3 (流量 4.4 LM) を供給し、 $\text{GaN}/\text{In}_y\text{Ga}_{1-y}\text{N}$ (各 2 nm) のペアを 30 ペア形成することにより、歪み緩和層 (図示せず) を形成する。尚、TMG および TMI の流量は 1 ~ 10 $\mu\text{mol}/\text{min}$ の範囲で変更することが可能である。この場合、In 組成が $y = 0.2$ 程度となるように TMI と TMG 流量を同時に変更することが必要となる。また NH_3 の流量は 3.3 ~ 5.5 LM の範囲で変更することが可能である。また、GaN に代えて $\text{In}_x\text{Ga}_{1-x}\text{N}$ を形成することとしてもよい。この場合、 $x < y$ を満たすように、流量調整が必要となる。また、歪緩和層の膜厚は、 $\text{GaN}/\text{In}_y\text{Ga}_{1-y}\text{N}$ の各層の膜厚やペア数を変更することにより 50 ~ 300 nm の範囲で変更することが可能である。また

、歪緩和層には、Siを最大 $5 \times 10^{17} \text{ atom/cm}^3$ ドーブしてもよい。

【0051】

次に、雰囲気温度を730とし、TMG（流量 $3.6 \mu\text{mol/min}$ ）、TMI（流量 $10 \mu\text{mol/min}$ ）および NH_3 （流量4.4LM）を供給し、GaN障壁層/ In_yGaN 井戸層（各14nm/2nm）からなるペアを5ペア形成することにより、多重量子井戸構造の発光層72を形成する。尚、TMGおよびTMIの流量は1~10 $\mu\text{mol/min}$ の範囲で変更することが可能である。この場合、Inの組成比を示すyの値が0.35程度となるようにTMIとTMG流量を同時に変更することが必要となる。また NH_3 の流量は3.3~5.5LMの範囲で変更することが可能である。また、発光層72には、Siを最大 $5 \times 10^{17} \text{ atom/cm}^3$ ドーブしてもよい。

10

【0052】

次に、雰囲気温度を870とし、TMG（流量 $8.1 \mu\text{mol/min}$ ）、トリメチルアルミニウム（TMA）（流量 $7.6 \mu\text{mol/min}$ ）、 NH_3 （流量4.4LM）およびドーパントガスとしてCP2Mg（bis-cyclopentadienyl Mg）を供給することによりMgが $1 \times 10^{20} \text{ atom/cm}^3$ ドーブされた膜厚40nm程度の $\text{p-Al}_z\text{Ga}_{1-z}\text{N}$ 層（図示せず）を形成する。尚、TMGの流量は4~20 $\mu\text{mol/min}$ の範囲で変更することが可能である。この場合、Alの組成が $z=0.2$ 程度となるようにTMGとTMAの流量を同時に変更することが必要となる。また NH_3 の流量は3.3~5.5LMの範囲で変更することが可能である。また、 $\text{p-Al}_z\text{Ga}_{1-z}\text{N}$ 層の膜厚は20~60nmの範囲で変更することが可能である。

20

【0053】

次に、雰囲気温度を870とし、TMG（流量 $18 \mu\text{mol/min}$ ）、 NH_3 （流量4.4LM）およびドーパントガスとしてCP2Mg（bis-cyclopentadienyl Mg）を供給することによりMgが $1 \times 10^{20} \text{ atom/cm}^3$ ドーブされた膜厚200nm程度のp層73を形成する。尚、TMGの流量は8~36 $\mu\text{mol/min}$ の範囲で変更することが可能である。また NH_3 の流量は3.3~5.5LMの範囲で変更することが可能である。また、p層73の膜厚は100~300nmの範囲で変更することが可能である。続いて、約900の窒素雰囲気下で約1分間の熱処理を行うことにより、p層73を活性化させる。

【0054】

（支持基板接着工程 ステップS8）

次に、EB法等により、p層73上にPt（10）およびAg（3000）をこの順番で堆積し、電極層81を形成する。Pt層によりp層73との間でオーミック接触が確保され、Ag層により高反射率が確保される。続いて、Ti（1000）、Pt（2000）およびAu（2000）をこの順番で堆積し、接着層82を形成する。接着層82は後述する支持基板90との接着部を構成する（図4（g））。

30

【0055】

次に、サファイア基板10に代えて半導体エピタキシャル層70を支持するための支持基板90を用意する。支持基板90としては、例えばSi単結晶基板を用いることができる。支持基板90上には、Pt、Ti、Ni、Au、AuSnがこの順番で積層された接着層91がEB法等により形成される。続いて、この接着層91と半導体エピタキシャル層70上に形成された接着層82とを密着させ真空又は N_2 雰囲気中で熱圧着することにより、半導体エピタキシャル層70のp層73側に支持基板90を貼り付ける（図4（h））。尚、支持基板90は、半導体エピタキシャル層70上にCu等の金属膜をめっき成長させることにより形成されるものであってもよい。

40

【0056】

（成長用基板除去および凹凸形成工程 ステップS9）

次に、上記各工程を経たウエハを液温50の5M-KOHに浸漬し、第1および第2の空洞含有層40および60をエッチングすることによりサファイア基板10を剥離する。このウェットエッチング処理において第1および第2の空洞含有層40および60内部

50

に形成された空洞 4 1 および 6 1 内にエッチャントが流入する。KOHを用いたウェットエッチングにおいては、GaNのC-面に対して垂直方向のエッチングレートの方が、横方向のエッチングレートよりも高い。このため、空洞 4 1 および 6 1 の内部においては、GaN膜の積層方向上方に向けてエッチングが進行する異方性エッチングとなる。つまり、このウェットエッチング処理により、空洞 4 1 および空洞 6 1 はそれぞれ上方に向けて拡大していく(図5(i))。エッチングが進行し、下層の空洞 4 1 が上層の空洞 6 1 と結合した段階でサファイア基板 1 0 が半導体エピタキシャル層 7 0 および支持基板 9 0 を含む半導体発光素子から剥離される。空洞 6 1 形成部においてはGaN膜のエッチングが進行するため、サファイア基板 1 0 の剥離後は、n層 7 1 が表出することとなるが、互いに隣接する空洞 6 1 間の領域に対応する部分については、エッチングがn層 7 1 に達する前にサファイア基板 1 0 の剥離に至るため、この部分は凸部 1 0 0 として残る。すなわち、このウェットエッチング処理により、サファイア基板 1 0 剥離後の半導体発光素子側の剥離面には、SiO₂マスクパターンに対応した比較的長い周期の矩形状凹凸パターンが形成される(本実施例では、SiO₂マスクパターン一致して幅1μmの凸部 1 0 0 が4μm周期で形成されることとなる)。また、このウェットエッチング処理においては、エッチング面にGaNの結晶構造に由来する幅0.2μm程度の多数の六角錐状突起(マイクロコーン)が上記長周期の凹凸面に沿って形成される。つまり、本工程では、第1および第2空洞含有層 4 0 および 6 0 に形成された空洞 4 1 および 6 1 にエッチャントを流入させてエッチング処理を行うことにより、サファイア基板 1 0 を半導体発光素子から剥離するとともに、半導体発光素子の表面に比較的長い周期の凹凸と比較的短い周期の凹凸を同時に形成するのである(図5(j))。

10

20

【0057】

尚、エッチャントとしてはIII族窒化物半導体をエッチングできるものであればよく、KOHに限らず、例えば熱りん酸、熱りん酸と硫酸の混合液等を用いてもよい。また、HF等を用いてSiO₂マスクを除去した後、GaN膜のエッチングを行うこととしてもよい。この場合、空洞 4 1 および 6 1 にエッチャントが侵入しやすくなるためエッチングが容易となる。

【0058】

(電極形成工程 ステップS10)

次に、上記した如き凹凸が形成されたn層 7 1 表面にEB法等によりTiおよびAlを順次堆積し、更にボンディング性向上のため、最表面にTi/Alを堆積することによりn電極 1 1 0 を形成する(図5(k))。尚、電極材料としてはTi/Al以外に、Al/Rh、Al/Ir、Al/Pt、Al/Pd等を用いることとしてもよい。

30

【0059】

(チップ分離工程 ステップS11)

次に、n電極 1 1 0 が形成された支持基板付き半導体エピタキシャル層 7 0 を個別のチップに分離する。この工程は、まず、半導体エピタキシャル層 5 0 表面に各チップ間に溝を設けるようにしたパターンをレジストによりパターンニングする。次に、反応性イオンエッチング(Reactive Ion Etching)を用いて半導体エピタキシャル層 7 0 表面から電極層 8 1 に達する深さまで溝を形成する。その後、支持基板 9 0 等をダイシングし、各チップに分離する。また、レーザスクライブ等の技術を用いてもよい。以上の各工程を経ることにより半導体発光素子が完成する。

40

【0060】

このように、本発明の半導体発光素子の製造方法によれば、LLO法によらずウェットエッチングのみでサファイア基板の剥離を行うことが可能となり、高価なLLO装置の導入が不要となり、LLO法を用いた成長用基板の剥離に起因して生じる半導体膜のクラック等の問題を回避することができる。更に、本発明の半導体発光素子の製造方法によれば、成長用基板の剥離工程において複数ウエハの一括処理が容易となり、生産性の向上を図ることが可能となる。また、上記したように、光取り出し面となるn層 7 1 表面には、比較的長い周期の凹凸と比較的短い周期の凹凸が形成されるので、光取り出し効率とGaN

50

膜の機械的強度を高いレベルで確保することが可能となる。すなわち、 n 層表面に形成されるマイクロコーンのサイズを小さくしたことにより機械的強度が確保され、これによって低下した光取り出し効率は、長周期の凹凸によって補完されることとなる。尚、マイクロコーンのサイズが小さい場合でも、界面屈折率差から生じるフレネル反射は抑制され、光取り出し効率の向上に一定の効果を有する。本発明の半導体発光素子の製造方法によれば、このような光取り出し面の凹凸パターンの形成と、成長用基板の剥離を同時に行うことが可能である。

【図面の簡単な説明】

【0061】

【図1】図1(a)および(b)は、それぞれ比較的大きいサイズの突起が形成された半導体膜の表面と比較的小さいサイズの突起が形成された半導体膜の表面にコレットが接触したときの突起谷部に加わる力を示した図である。

10

【図2】本発明の実施例である半導体発光素子の製造工程フロー図である。

【図3】図3(a)~(e)は、本発明の実施例である半導体発光素子の製造工程毎の断面図である。

【図4】図4(f)~(h)は、本発明の実施例である半導体発光素子の製造工程毎の断面図である。

【図5】図5(i)~(k)は、本発明の実施例である半導体発光素子の製造工程毎の断面図である。

【符号の説明】

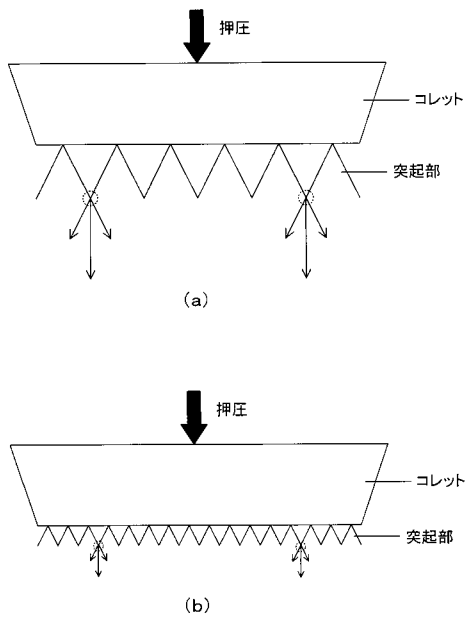
20

【0062】

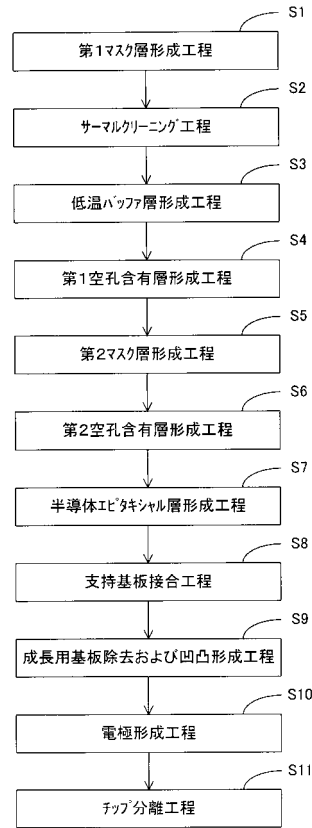
- 10 サファイア基板
- 20 SiO_2 マスク
- 21 マスク部
- 22 非マスク部
- 40 第1空洞含有層
- 41 空洞
- 50 SiO_2 マスク
- 51 非マスク部
- 60 第2空洞含有層
- 70 半導体エピタキシャル層
- 90 支持基板

30

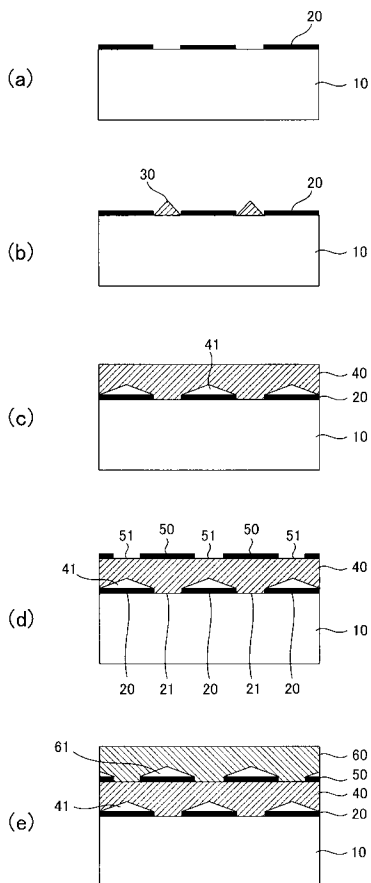
【図1】



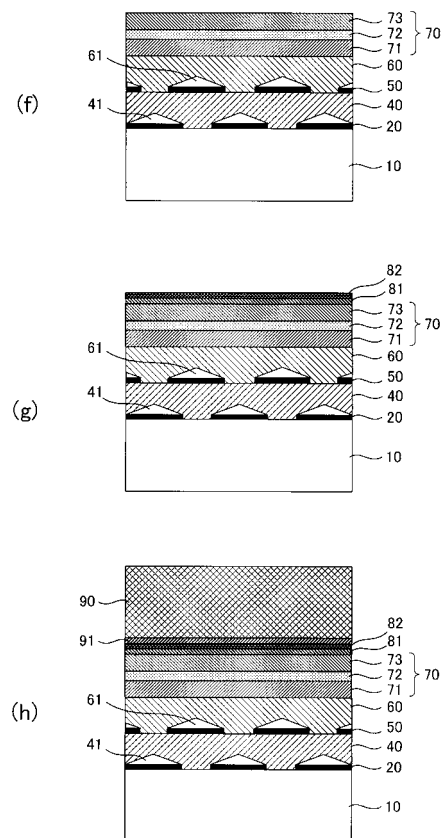
【図2】



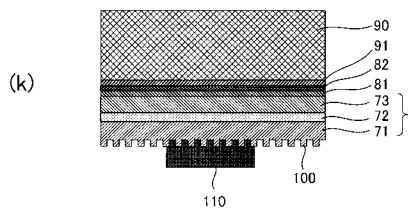
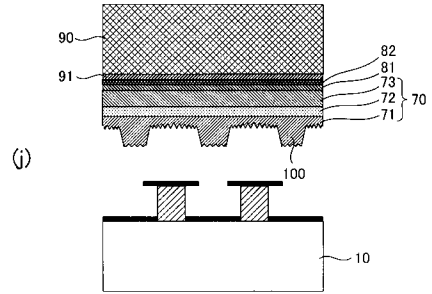
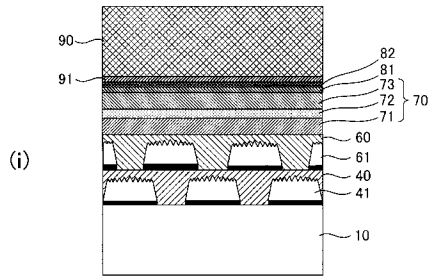
【図3】



【図4】



【 図 5 】



フロントページの続き

- (72)発明者 千野根 崇子
東京都目黒区中目黒2丁目9番13号 スタンレー電気株式会社内
- (72)発明者 東野 二郎
東京都目黒区中目黒2丁目9番13号 スタンレー電気株式会社内

審査官 金高 敏康

- (56)参考文献 特開2000-294827(JP,A)
特開2002-009004(JP,A)
特開2001-036139(JP,A)
特開2003-031501(JP,A)
特開2004-055864(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | | | |
|------|--------|---|-------|
| H01L | 33/00 | - | 33/64 |
| H01L | 21/205 | | |
| H01L | 21/306 | | |