



(12) 发明专利申请

(10) 申请公布号 CN 103514843 A

(43) 申请公布日 2014. 01. 15

(21) 申请号 201210214875. 2

(22) 申请日 2012. 06. 25

(71) 申请人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富
士康科技工业园 E 区 4 栋 1 楼

申请人 奇美电子股份有限公司

(72) 发明人 黄筑琳 江建学

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36 (2006. 01)

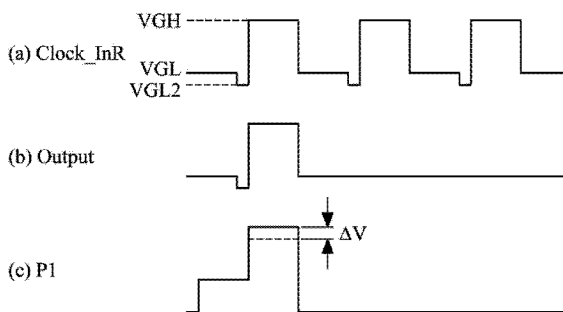
权利要求书1页 说明书5页 附图6页

(54) 发明名称

非晶硅整合栅极驱动电路

(57) 摘要

本发明提供一种非晶硅整合栅极驱动电路,包括多个移位寄存器,每一移位寄存器用以接收一时钟信号与一起始信号并输出一栅极驱动信号以驱动一像素列,该时钟信号切换于一高电平电压与一低电平电压之间,其中该时钟信号更紧邻于电平上升边沿及电平下降边沿中的至少一个,先切换至一低于该低电平电压的第二低电平电压。



1. 一种非晶硅整合栅极驱动电路,包括多个移位寄存器,每一移位寄存器用以接收一时钟信号与一起始信号并输出一栅极驱动信号以驱动一像素列,而该时钟信号切换于一高电平电压与一低电平电压之间;

其中该时钟信号更紧邻于电平上升边沿及电平下降边沿中的至少一个,先切换至一低于该低电平电压的第二低电平电压。

2. 如权利要求 1 所述的非晶硅整合栅极驱动电路,其中该低电平电压与该第二低电平电压的差不超过该高电平电压与该低电平电压的差的 1/2。

3. 如权利要求 1 所述的非晶硅整合栅极驱动电路,其中该低电平电压与该第二低电平电压的差小于 10V。

4. 如权利要求 1 所述的非晶硅整合栅极驱动电路,其中该第二低电平电压的时间长度小于 $10\mu\text{s}$ 。

5. 一种非晶硅整合栅极驱动电路,包括多个移位寄存器,每一移位寄存器用以接收一时钟信号与一起始信号并输出一栅极驱动信号以驱动一像素列,该时钟信号切换于一高电平电压与一低电平电压之间,

其中该时钟信号在紧邻电平上升边沿处先由该低电平电压切换至一第二低电平电压再切换至该高电平电压,且在紧邻电平下降边沿处先由该高电平电压切换至一第三低电平电压再切换至该低电平电压,

其中该第二低电平电压与该第三低电平电压皆低于该低电平电压。

6. 如权利要求 5 所述的非晶硅整合栅极驱动电路,其中该低电平电压与该第二低电平电压的差以及该低电平电压与该第三低电平电压的差皆不超过该高电平电压与该低电平电压的差的 1/2。

7. 如权利要求 5 所述的非晶硅整合栅极驱动电路,其中该低电平电压与该第二低电平电压的差以及该低电平电压与该第三低电平电压的差分别小于 10V。

8. 如权利要求 5 所述的非晶硅整合栅极驱动电路,其中该第二低电平电压的时间长度以及该第三低电平电压的时间长度分别小于 $10\mu\text{s}$ 。

9. 如权利要求 5 至 8 项任一所述的非晶硅整合栅极驱动电路,其中该第二低电平电压等于该第三低电平电压。

非晶硅整合栅极驱动电路

技术领域

[0001] 本发明涉及一种非晶硅整合栅极驱动电路 (Amorphous Silicon Gate, ASG), 且特别涉及一种能提高驱动力的非晶硅整合栅极驱动电路。

背景技术

[0002] 液晶显示器需要栅极驱动电路来驱动每一像素列, 以及源极驱动电路来供给每一像素图像数据。而传统的液晶显示器多使用贴附于面板侧边的驱动 IC 来作为该面板的栅极驱动电路。近年来, 因为成熟的制程与低制作成本, 非晶硅整合栅极驱动电路 (Amorphous Silicon Gate, ASG) 技术已经被广泛的应用在主动式液晶显示器上。所谓非晶硅整合栅极驱动电路是指在非晶硅制程中直接整合于面板上的栅极驱动电路, 这种技术也被统称为面板上栅极驱动电路技术 (Gate On Panel, GOP)。

[0003] 随着面板解析度的提高, 每一条栅极线的负载也随之增加, 因此栅极驱动电路需要具备的更高的驱动力来驱动像素列。再者, 为了因应窄边框产品的需求, 面板上栅极驱动电路的布局空间受限, 要在有限的空间内使栅极驱动电路具有足够的驱动力, 也是此技术发展的难题之一。因此, 需要一种不需增加电路布局面积即可同时提高驱动力的非晶硅整合栅极驱动电路。

[0004] 而非晶硅整合栅极驱动电路的驱动力决定于其输出的栅极脉冲的上升时间与下降时间是否够短。当驱动力不足时, 过长的上升时间会压缩到像素的写入时间, 过长的下降时间则可能会造成错误的像素数据写入。

发明内容

[0005] 有鉴于上述的需求与问题点, 本发明提供一种非晶硅整合栅极驱动电路, 包括多个移位寄存器, 每一移位寄存器用以接收一时钟信号与一起始信号并输出一栅极驱动信号以驱动一像素列, 而该时钟信号切换于一高电平电压与一低电平电压之间, 其中该时钟信号更紧邻于电平上升边沿及电平下降边沿中的至少一个, 先切换至一低于该低电平电压的第二低电平电压。

[0006] 在上述非晶硅整合栅极驱动电路中, 该低电平电压与该第二低电平电压的差不超过该高电平电压与该低电平电压的差的 $1/2$, 或者是该低电平电压与该第二低电平电压的差小于 $10V$ 。而该第二低电平电压的时间长度小于 $10\mu s$ 。

[0007] 本发明也提供一种非晶硅整合栅极驱动电路, 包括多个移位寄存器, 每一移位寄存器用以接收一时钟信号与一起始信号并输出一栅极驱动信号以驱动一像素列, 该时钟信号切换于一高电平电压与一低电平电压之间, 其中该时钟信号在紧邻电平上升边沿处先由该低电平电压切换至一第二低电平电压再切换至该高电平电压, 且在紧邻电平下降边沿处先由该高电平电压切换至一第三低电平电压再切换至该低电平电压, 而该第二低电平电压与该第三低电平电压皆低于该低电平电压。

[0008] 在上述非晶硅整合栅极驱动电路中, 该低电平电压与该第二低电平电压的差以

及该低电平电压与该第三低电平电压的差皆不超过该高电平电压与该低电平电压的差的1/2,或者是该低电平电压与该第二低电平电压的差以及该低电平电压与该第三低电平电压的差分别小于10V。而该第二低电平电压的时间长度以及该第三电平电压的时间长度分别小于10 μ s。

[0009] 根据本发明一实施例,上述非晶硅整合栅极驱动电路中的该第二低电平电压等于该第三低电平电压。

[0010] 根据本发明的非晶硅整合栅极驱动电路,不需增加电路布局面积或改变电路设计,仅改变时钟信号的波形即可有效提高电路的驱动力。

附图说明

[0011] 图1是典型的非晶硅整合栅极驱动电路的概略示意图。

[0012] 图2是图1所示的非晶硅整合栅极驱动电路中的一个移位寄存器的电路图。

[0013] 图3为输入图2所示的移位寄存器的传统的时钟信号波形图。

[0014] 图4(a)是输入图2所示的移位寄存器的本发明实施例的时钟信号的波形图;图4(b)对应的输出信号的波形图;图4(c)对应的P1节点的波形图。

[0015] 图5(a)是输入图2所示的移位寄存器的本发明实施例2的时钟信号的波形图;图5(b)对应的输出信号的波形图;图5(c)对应的P1节点的波形图。

[0016] 图6(a)是输入图2所示的移位寄存器的本发明实施例3的时钟信号的波形图;图6(b)对应的输出信号的波形图;图6(c)对应的P1节点的波形图。

[0017] 图7是使用本发明实施例1~3与已知技术的时钟信号对输出信号的上升时间与下降时间的比较图。

[0018] 【主要元件符号说明】

[0019] 1~移位寄存器;

[0020] 10~控制电路;

[0021] 20~输出电路;

[0022] Channel 1~N~移位寄存器;

[0023] CK、Clock_In、Clock_InR、Clock_InF、Clock_InRF~时钟信号;

[0024] STV~起始信号;

[0025] VGH~高电平;

[0026] VGL~低电平;

[0027] VGL2~第二低电平;

[0028] VGL3~第三低电平;

[0029] T1、T2、T3~晶体管;

[0030] Cc~电容;

[0031] out1~N、Outout_M-1、Outout_M、Outout_M-1~输出信号;

[0032] P1、Q1、N1、N2、N3~节点。

具体实施方式

[0033] 图1是典型的非晶硅整合栅极驱动电路的概略示意图。如图1所示,非晶硅整合栅

极驱动电路包括复数级的移位寄存器 Channel 1 ~ N, 每一个移位寄存器接收时钟信号 CK、起始信号、重置信号以及共通的低电平电压 VGL。以第一级移位寄存器 Channel 1 为例, 其接收起始信号 STV 后输出一个脉冲的栅极驱动信号 out 1 用以驱动第一像素列。接着, 第二级移位寄存器 Channel 2 会接收第一级移位寄存器 Channel 1 的栅极驱动信号 out 1 作为其起始信号, 并输出一个脉冲的栅极驱动信号 out 2 用以驱动第二像素列并重置第一级移位寄存器 Channel 1。依此类推, N 级的移位寄存器 Channel 1 ~ N 依序输出栅极驱动信号 out 1 ~ out N 来驱动第一像素列 ~ 第 N 像素列。在此, 需注意的是在不同的电路架构中, 起始信号也可由上一级以外的移位寄存器提供, 重置信号也由下一级以外的移位寄存器提供, 图 1 仅例示一种非晶硅整合栅极驱动电路的架构。

[0034] 图 2 是图 1 所示的非晶硅整合栅极驱动电路中的一个移位寄存器的电路图。图 3 为输入图 2 所示的移位寄存器的传统的时钟信号波形图。由图 3 可知, 时钟信号 Clock_in 切换于高电平 VGH 与低电平 VGL 的方波信号。回到图 2, 一个第 M 级移位寄存器 1 包括一控制电路 10 与一连接于控制电路 10 后端的输出电路 20。在图 2 中, 控制电路 10 以一方块表示, 因其内部的电路构造可做多种不同的设计, 惟其共通点是接收一时钟信号 Clock_in 与一起始信号 Outout_M-1 (当此移位寄存器为第一级时, 起始信号为 STV), 并具有两个输出端节点 P1 与 Q1 输出信号至输出电路 20。输出电路 20 的基本构造由 3 个晶体管 T1、T2、T3 与 1 个电容 Cc 组成, 其中晶体管 T1 为上拉晶体管, 用以在此第 M 级移位寄存器 1 所连接的第 M 像素列的选择期间将输出信号 Output_M (即栅极控制信号) 提升至高电平 VGH。晶体管 T2 则为下拉晶体管, 用以在此第 M 像素列的非选择期间将输出信号 Output_M 下拉至低电平 VGL。晶体管 T3 接收重置信号 Outout_M+1, 在下一级的移位寄存器输出高电平 VGH 的栅极控制信号时, 将输出信号 Output_M 拉低至低电平 VGL。

[0035] 晶体管 T1 连接于时钟信号 Clock_in 的输入节点 N1 与输出信号 Output_M 的输出节点 N2 之间, 并受到节点 P1 的电压控制, 将时钟信号 Clock_in 供给节点 N2 来提供高电平的栅极驱动信号。晶体管 T2 连接于输出节点 N2 与供应低电平电压 VGL 的节点 N3 之间, 并受到节点 Q1 的电压控制, 将输出端 N2 放电至低电平 VGL 使栅极驱动信号处于非选择的状态。晶体管 T3 连接于节点 N2 与低电平电源 VGL 的供应节点 N3 之间, 并受到下一级移位寄存器的输出信号 Output_M+1 的控制, 而将输出端 N2 放电至低电平 VGL。

[0036] 电容 Cc 连接于晶体管 T1 的栅极与源极之间, 即节点 P1 与节点 N2 之间。电容 Cc 用来电容耦合节点 P1 与节点 N2。由于当晶体管 T1 由关闭状态要转为开启状态或由开启状态要转为关闭状态时, 晶体管 T1 的漏极的时钟信号 Clock_in 会如后所述地于电平上升边沿前将低电平电压再下降至低于该低电平电压的第二低电平电压后再提升至高电平电压, 或于电平下降边沿下降至第二低电平电压后再提升至低电平电压, 所以于晶体管 T1 为开启状态时, 会利用此电容 Cc 而将节点 P1 电平电压提高。另外, 当晶体管 T1 的栅极与通道间的电容够大, 电容 Cc 也可以被晶体管 T1 的等效电容取代而直接省略。

[0037] 为了使输出信号的上升时间或下降时间缩短以提高移位寄存器的驱动力, 本发明是改变输入移位寄存器的时钟信号的波形来达成目的。图 4 将说明本发明实施例 1 的信号波形图。

[0038] 图 4(a) 是输入图 2 所示的移位寄存器的本发明实施例 1 的时钟信号的波形图; 图 4(b) 对应的输出信号的波形图; 图 4(c) 对应的 P1 节点的波形图。在图 4(a) 中, 时钟信号

Clock_inR 每一次要从低电平 VGL 切换为高电平 VGH 时都会先切换至比低电平 VGL 更低的第二低电平 VGL2。由于时钟信号 Clock_inR 使上升边沿的电压改变量由 $(VGH - VGL)$ 增大为 $(VGH - VGL2)$, 节点 N1 的电压改变量增大使得 P1 的节点电压通过节点 N1 与 P1 间的寄生电容而拉升到更高的值(即图 4(c) 中节点 P1 的电压更增加了 ΔV), 晶体管 T1 因此产生更大的电流对节点 N2 充电, 有效地缩短了输出信号 Output 的上升时间。

[0039] 此外, 因输出信号 Output 会输出至前级的移位寄存器的晶体管 T3 以重置前级移位寄存器的输出端节点 N2, 具有较短的上升时间的输出信号 Output 会以更快的速度开启晶体管 T3, 使前级移位寄存器的输出信号更快放电至低电平 VGL, 故此时钟信号的波形同时也具有缩短下降时间的效果。

[0040] 图 5 将说明本发明实施例 2 的信号波形图。图 5a 是输入图 2 所示的移位寄存器的本发明实施例 2 的时钟信号的波形图; 图 5b 对应的输出信号的波形图; 图 5c 对应的 P1 节点的波形图。在图 5a 中, 时钟信号 Clock_inR 每一次要从高电平 VGH 切换为低电平 VGL 时都会先切换至比低电平 VGL 更低的第二低电平 VGL2。由于时钟信号 Clock_inR 使下降边沿的电压改变量由 $(VGH - VGL)$ 增大为 $(VGH - VGL2)$, 由于晶体管 T1 并不会在节点 P1 的信号电平下降边沿瞬间关闭, 故节点 N1 的电压改变量增大能帮助节点 N2 的电平下拉, 有效地缩短了输出信号 Output 的下降时间。

[0041] 图 6 将说明本发明实施例 3 的信号波形图。图 6a 是输入图 2 所示的移位寄存器的本发明实施例 3 的时钟信号的波形图; 图 6b 对应的输出信号的波形图; 图 6c 对应的 P1 节点的波形图。在图 6a 中, 时钟信号 Clock_inRF 每一次从低电平 VGL 切换至高电平 VGH 以及从高电平 VGH 切换为低电平 VGL 时都会先切换至比低电平 VGL 更低的第二低电平 VGL2。

[0042] 首先, 时钟信号 Clock_inRF 上升边沿的电压改变量增大, 如实施例 1 所述会使节点 P1 的电压拉升至更高的值, 使晶体管 T1 产生更大的电流对节点 N2 充电, 有效地缩短输出信号 Output 的上升时间。并且因输出信号 Output 会反馈至前级移位寄存器, 故能同时缩短下降时间。而时钟信号 Clock_inRF 下降边沿的电压改变量增大, 如实施例 2 所述能帮助节点 N2 的电平下拉, 有效地缩短了输出信号 Output 的下降时间。

[0043] 在上述实施例 1 ~ 3 当中, 非晶硅整合栅极驱动电路的时钟信号依面板的设计, 高电平 VGH 一般在 15 ~ 25V 之间, 低电平在 -5 ~ -10V 之间。而第二低电平 VGL2 则最好比低电平 VGL 低不超过 10V。也就是说, 低电平 VGL 与第二低电平 VGL2 的差不要超过高电平 VGH 与低电平 VGL 的差的 1/2, 更佳的是在 1/3 以下, 因为过低的第二低电平 VGL2 会造成功耗的增加。此外, 第二低电平 VGL2 时间宽度小于 10 μ s, 更佳的是小于 5 μ s, 因为时间过长的第二低电平 VGL2 不但会增加功耗也可能造成不合乎需求的输出信号。

[0044] 另外, 在实施例 3 中, 虽揭露时钟信号 Clock_inRF 的上升边沿与下降边沿皆紧邻着相同的第二低电平, 但上升边沿与下降边沿也可以分别紧邻着不同的第二低电平 VGL2 与第三低电平 VGL3, 然而两者都必须比低电平 VGL 低, 且具备如上所述大小及时间长度的限制。

[0045] 图 7 是使用本发明实施例 1 ~ 3 与已知技术的时钟信号对输出信号的上升时间与下降时间的比较图。在图 7 中, 是使用 5 英寸解析度为 640 \times RGB \times 960 的面板来进行模拟。首先使用正常的时钟信号 Clock_in, 分别计算出其上升时间与下降时间。当使用实施例 1 上升边沿紧邻第二低电平的时钟信号 Clock_inR 时, 上升时间减少 20.9%, 下降时间

减少 3%；当使用实施例 2 下降边沿紧邻第二低电平的时钟信号 Clock_inF 时，下降时间减少 31.2%；当使用实施例 3 上升边沿与下降边沿皆紧邻第二低电平的时钟信号 Clock_inRF 时，上升时间减少 18.3%，下降时间减少 36.5%。

[0046] 另外，由于增加时钟信号切换的电平会提高耗电，但由图 7 中可知，耗电最高的实施例 3 的时钟信号 Clock_inRF 相对于正常的时钟信号 Clock_in 也仅增加 9%，故在大幅提升非晶硅整合栅极驱动电路驱动力的优点下，少许的功耗增加可被接受。

[0047] 根据本发明上述各实施例，本发明的非晶硅整合栅极驱动电路不需增加电路布局面积或改变电路设计，仅改变时钟信号的波形即可有效提高电路的驱动力。因此本发明可以应用于各种架构的面板上栅极驱动电路技术，而不限定于特定架构的栅极驱动电路。

[0048] 虽本发明以上述实施例来说明，但并不限于此。更进一步地说，在本领域技术人员不脱离本发明的概念与同等范围之下，权利要求书的范围必须广泛地解释以包括本发明实施例及其他变形。

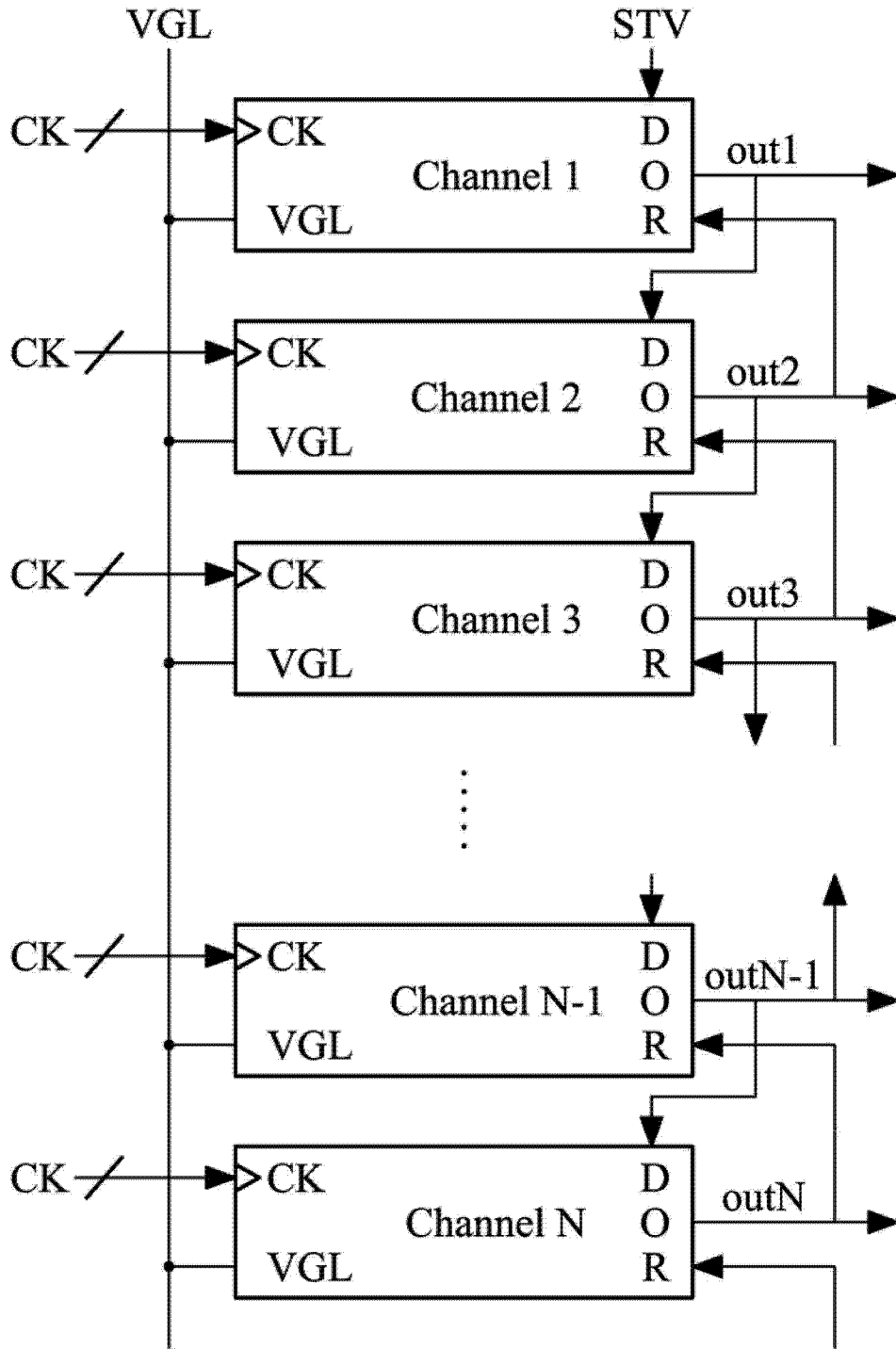


图 1

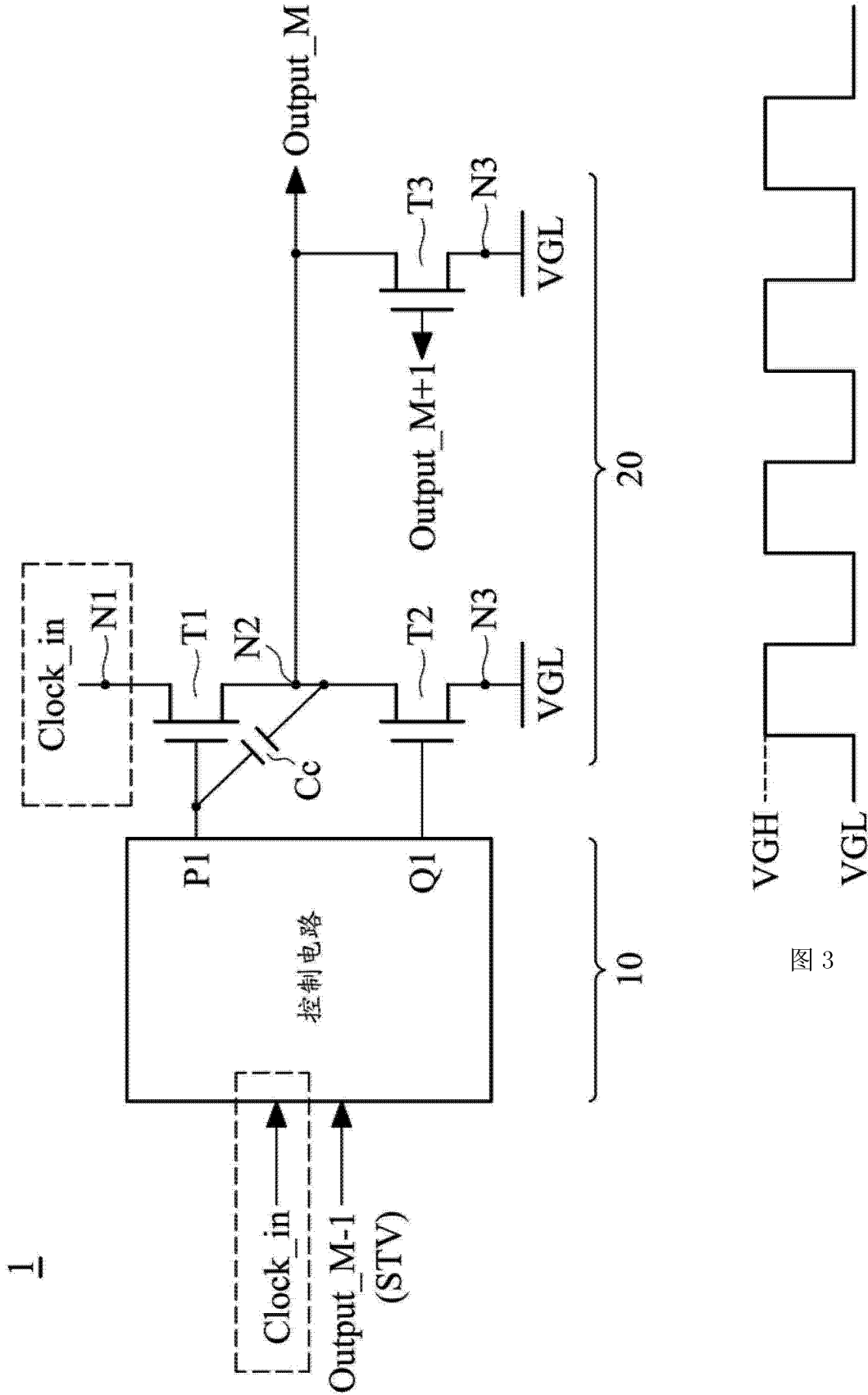


图 2

图 3

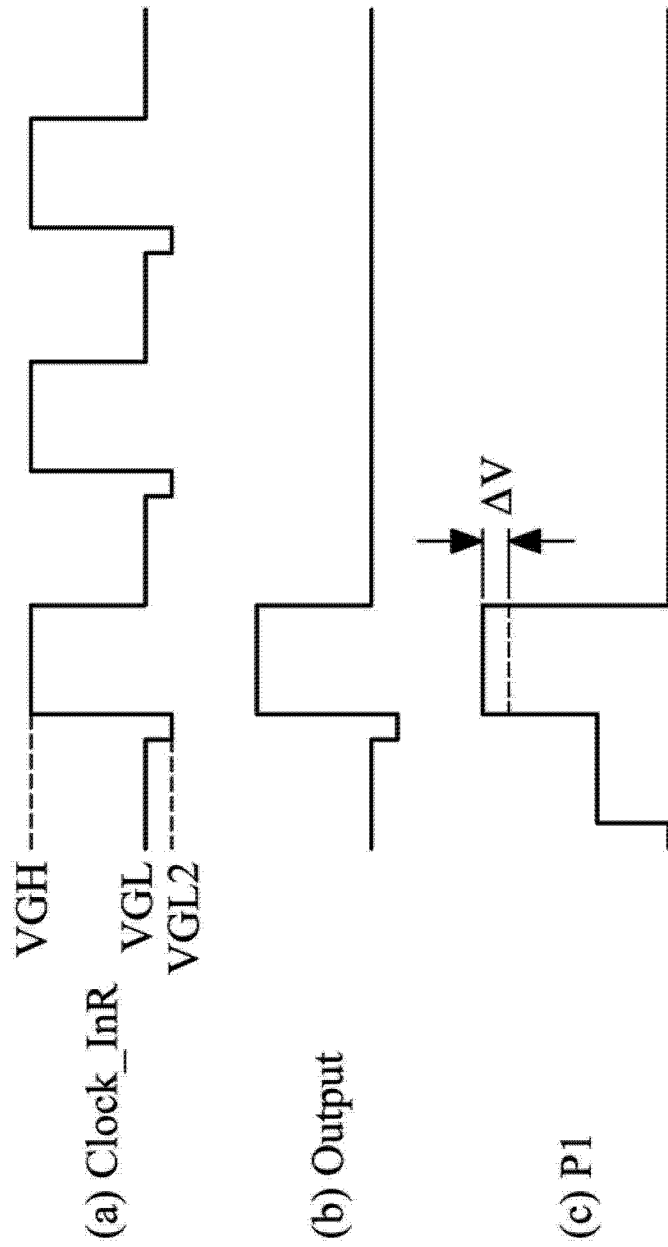


图 4

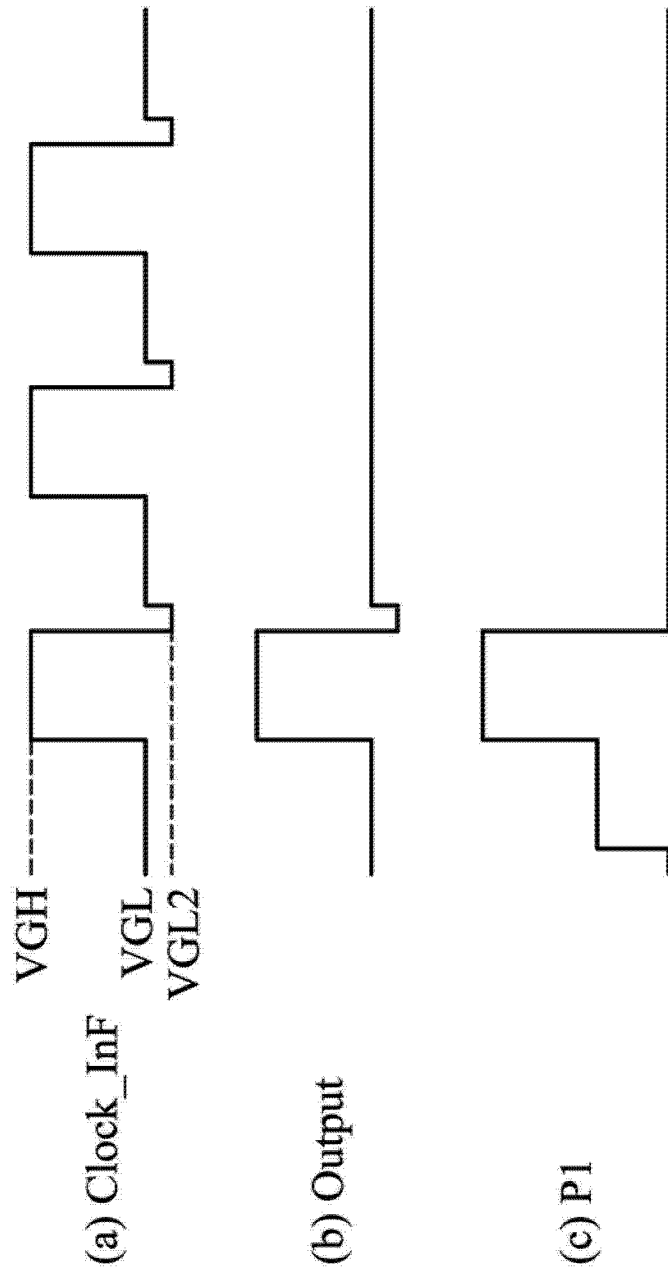


图 5

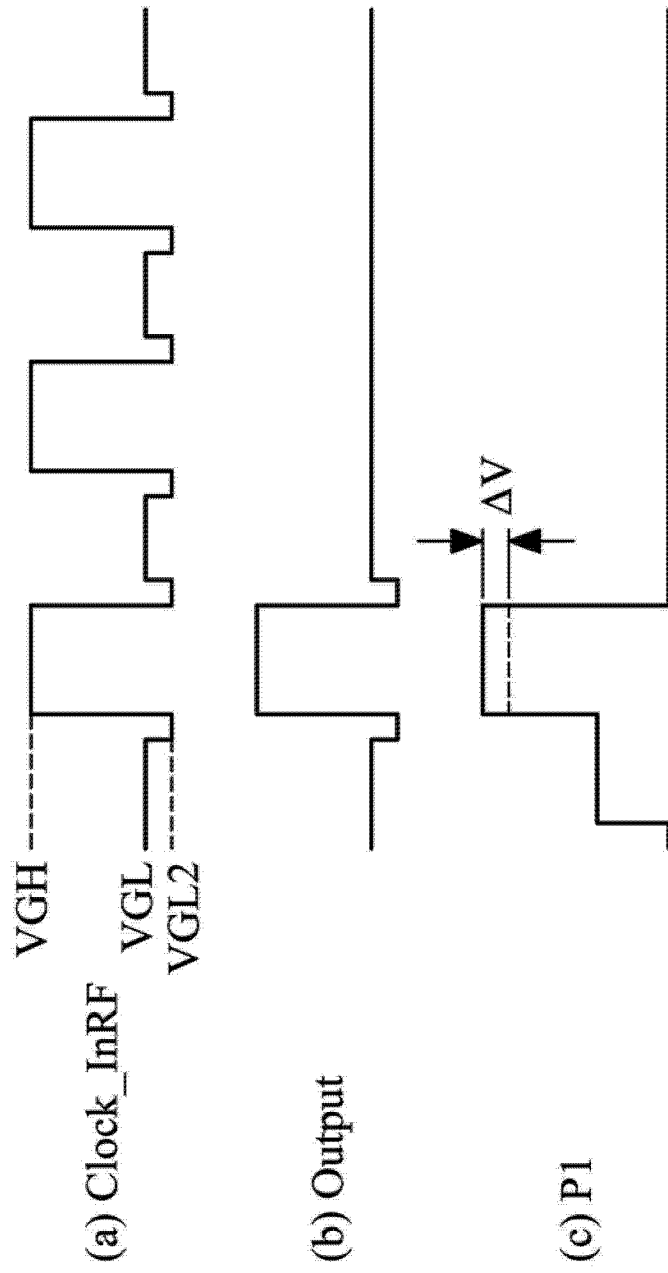


图 6

时钟信号	Clock_in	Clock_inR	Clock_inF	Clock_inRF
VGH (V)	15.97	1598	15.97	15.98
VGL (V)	-7	-7	-7	-7
上升时间 (μs) 10%~90%	4.48	3.54	4.41	3.66
下降时间 (μs) 10%~90%	2.27	2.2	1.56	1.44
功耗 (mW)	16.15	17.52	17.13	17.75

图 7