

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年10月24日(24.10.2024)



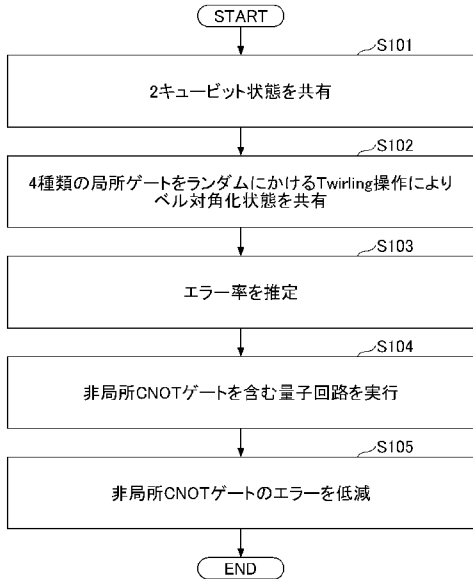
(10) 国際公開番号  
**WO 2024/218909 A1**

- (51) 国際特許分類:  
*G06N 10/20* (2022.01)
- (21) 国際出願番号: PCT/JP2023/015642
- (22) 国際出願日: 2023年4月19日(19.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 山本 薫 (YAMAMOTO, Kaoru); 〒1808585 東京都武蔵野市緑町3丁目9-1
- 1 N T T 知的財産センタ内 Tokyo (JP). 遠藤 傑(ENDO, Suguru); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 鈴木 泰成(SUZUKI, Yasunari); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP). 徳永 裕己(TOKUNAGA, Yuki); 〒1808585 東京都武蔵野市緑町3丁目9-1 1 N T T 知的財産センタ内 Tokyo (JP).
- (74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(54) Title: QUANTUM COMPUTING SYSTEM, QUANTUM COMPUTING DEVICE, QUANTUM COMPUTING METHOD, AND PROGRAM

(54) 発明の名称: 量子計算システム、量子計算装置、量子計算方法、及びプログラム

[図5]



- S101... Share 2-qubit state  
S102... Share Bell diagonalization state by Twirling operation randomly applied to four types of local gates  
S103... Estimate error rate  
S104... Execute quantum circuit including non-local CNOT gate  
S105... Reduce error of non-local CNOT gate

(57) Abstract: A quantum computing system according to one aspect of the present disclosure includes a plurality of quantum computing devices. The quantum computing devices each include: a sharing unit that shares a two-qubit state in which fidelity between an error and a Bell state is equal to a prescribed value or greater with respect to another quantum computing device; a Twirling operation unit that performs a Twirling operation on the two-qubit state so as to achieve a prescribed state; an error rate estimation unit that estimates an error rate for the prescribed state; a quantum circuit execution unit that executes a quantum circuit including a non-local CNOT gate realized by an LOCC operation with respect to the prescribed state; and an error removal unit that removes an error of the non-local CNOT gate on the basis

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

of the error rate.

(57) 要約: 本開示の一態様による量子計算システムは、複数の量子計算装置が含まれる量子計算システムであって、前記量子計算装置は、他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有部と、前記2キュービット状態に対して Twirling 操作を行って所定の状態にする Twirling 操作部と、前記所定の状態のエラー率を推定するエラー率推定部と、前記所定の状態に対する LOCC 操作によって実現される非局所 CNOT ゲートを含む量子回路を実行する量子回路実行部と、前記エラー率に基づいて、前記非局所 CNOT ゲートのエラーを除去するエラー除去部と、を有する。

## 明 細 書

発明の名称：

量子計算システム、量子計算装置、量子計算方法、及びプログラム

### 技術分野

[0001] 本開示は、量子計算システム、量子計算装置、量子計算方法、及びプログラムに関する。

### 背景技術

[0002] 量子情報処理において、制御NOTゲート（以下、CNOTゲートともいう。）は、任意の量子計算を可能にするために不可欠なゲートであり、高精度なCNOTゲートの実行方法が研究されている。

[0003] 一方で、現在の量子計算機のキュービット数は未だ少ないため、少数のキュービットをそれぞれ備えた複数の量子計算機を用いて実効的に多数のキュービット数を作る分散量子計算が考えられている。分散量子計算では一般に量子計算機同士が離れた地点にあるため、これらの量子計算機間のキュービット同士のCNOTゲート（これは、非局所CNOTゲートとも呼ばれる。）を精度良く実行することが不可欠である。精度の良い非局所CNOTゲートの代表的な実行方法としては、非特許文献1に記載されている手法と非特許文献2に記載されている手法の2つが知られている。

### 先行技術文献

#### 非特許文献

[0004] 非特許文献1：J. Eisert, K. Jacobs, P. Papadopoulos, and M. B. Plenio, "Optimal local implementation of nonlocal quantum gates", Phys. Rev. A 62, 052317 (2000).

非特許文献2：K. Mitarai and K. Fujii, "Overhead for simulating a non-local channel with local channels by quasiprobability sampling", Quantum 5, 388 (2021).

### 発明の概要

## 発明が解決しようとする課題

- [0005] しかしながら、非特許文献1に記載されている手法と非特許文献2に記載されている手法はいずれもメリット・デメリットがあり、両手法の中間的な手法は存在しない。
- [0006] 本開示は、上記の点に鑑みてなされたもので、精度の良い非局所CNOTゲートを実行できる技術を提供する。

## 課題を解決するための手段

- [0007] 本開示の一態様による量子計算システムは、複数の量子計算装置が含まれる量子計算システムであって、前記量子計算装置は、他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有部と、前記2キュービット状態に対してTwirling操作を行って所定の状態にするTwirling操作部と、前記所定の状態のエラー率を推定するエラー率推定部と、前記所定の状態に対するLOCC操作によって実現される非局所CNOTゲートを含む量子回路を実行する量子回路実行部と、前記エラー率に基づいて、前記非局所CNOTゲートのエラーを除去するエラー除去部と、を有する。

## 発明の効果

- [0008] 精度の良い非局所CNOTゲートを実行できる技術が提供される。

## 図面の簡単な説明

- [0009] [図1]本実施形態に係る量子計算システムの全体構成例を示す図である。  
[図2]本実施形態に係る量子計算装置の構成例を示す図である。  
[図3]本実施形態に係る制御装置のハードウェア構成例を示す図である。  
[図4]本実施形態に係る制御装置の機能構成例を示す図である。  
[図5]実施例1における量子計算処理を示すフローチャートである。  
[図6]実施例2における量子計算処理を示すフローチャートである。

## 発明を実施するための形態

- [0010] 以下、本発明の一実施形態について説明する。

[0011] <非局所CNOTゲートの代表的な実行方法>

精度の良い非局所CNOTゲートの代表的な実行方法としては、非特許文献1に記載されている手法と非特許文献2に記載されている手法の2つが知られている。

[0012] 非特許文献1に記載されている手法は、互いに離れた地点にある量子計算機間でベル状態と呼ばれるエンタングルした状態を予め共有しておき、それぞれの量子計算機内での局所操作と量子計算機間の古典通信によってCNOTゲートを実行する方法である。以下、量子計算機内での局所操作と量子計算機間の古典通信とをまとめてLOCC (Local operation and classical communication) 操作と呼ぶ。

[0013] 予め共有できるベル状態には一般にエラーが存在するため、非特許文献1に記載されている手法では、まずエンタングルメント蒸留 (参考文献1) という操作を行って、複数のベル状態からよりエラーの少ないベル状態をLOCC操作によって作り出している。このため、エンタングルメント蒸留の過程で大量のベル状態が必要であり、かつ、蒸留プロトコルの実行に時間が掛かるというデメリットがある。一方で、非特許文献2に記載されている手法と比較して、CNOTゲートの精度に対して計算回数が指数関数的に増加しないというメリットがある。

[0014] 非特許文献2に記載されている手法は、互いに離れた地点にある量子計算機内でそれぞれLOCC操作のみで疑似的にCNOTゲートを実行する方法である。この手法は、事前のベル状態の共有やエンタングルメント蒸留の必要がないというメリットがある一方で、非特許文献1に記載されている手法と比較して同じ精度の計算結果を得るための計算回数が指数関数的に増加するというデメリットがある。

[0015] このように、非特許文献1に記載されている手法と非特許文献2に記載されている手法にはそれぞれメリット・デメリットがある。

[0016] そこで、以下の実施形態では、これら2つの手法の中間的な手法により精度の良い非局所CNOTゲートを実行することが可能な量子計算システム1

について説明する。例えば、大量のベル状態の共有とエンタングルメント蒸留を行いたくない一方で、LOCC操作のみで非局所CNOTゲートを実行するには計算回数が多すぎるような量子回路を実行する場合に、本実施形態に係る量子計算システム1を用いることで、エンタングルメント蒸留に要する時間コストを不要としつつ、かつ、量子回路の計算回数も少なくすることができる。なお、以下の実施形態では、非局所CNOTゲートを含む量子回路によって何等かの期待値を求める量子計算を行う場合を想定する。

[0017] <量子計算システム1の全体構成例>

本実施形態に係る量子計算システム1の全体構成例を図1に示す。図1に示すように、本実施形態に係る量子計算システム1には、複数の量子計算装置10が含まれている。また、各量子計算装置10は、例えば、LAN (Local area network) 等を含む通信ネットワーク20を介して通信可能に接続される。なお、量子計算装置10は、例えば、「量子計算機」や「量子計算ノード」等と呼ばれてもよい。

[0018] 以下、複数の量子計算装置10の各々を区別する場合は、「量子計算装置10-1」、「量子計算装置10-2」等と表すことにする。また、以下では、一例として、量子計算システム1は量子計算装置10-1と量子計算装置10-2の2台の量子計算装置10で構成されているものとする。ただし、以下で説明する実施形態は、3台以上の量子計算装置10で構成される量子計算システム1に対しても同様に適用することが可能である。

[0019] <量子計算装置10の構成例>

本実施形態に係る量子計算装置10の構成例を図2に示す。図2に示すように、本実施形態に係る量子計算装置10には、制御装置100と、量子プロセッサ200とが含まれる。

[0020] 制御装置100は、他の制御装置100との間の通信（古典通信）と量子プロセッサ200の制御により量子計算を実現する。すなわち、制御装置100は、量子計算の実現のために、他の制御装置100との間で通信（古典通信）を行ったり、量子プロセッサ200に対して制御信号を送信したり、

量子プロセッサ200から計算結果を取得したりする。なお、制御装置100は、例えば、古典コンピュータ等により実現される。

[0021] 量子プロセッサ200は、キュービット又は量子ビット（物理量子ビット）と呼ばれる量子2準位系を構成すると共に、キュービットに対して、初期化、ゲート操作（例えば、ユニタリ変換等）、物理演算等を行う。キュービットを実現するための物理系は特に限定されず、どのような物理系が使用されてもよい。例えば、物理系として、超伝導回路、イオントラップ、光子、量子ドット等を使用することができる。

[0022] 以下、量子計算装置10-1に含まれる制御装置100と量子計算装置10-2に含まれる制御装置100とを区別する場合は、量子計算装置10-1に含まれる制御装置100を「制御装置100-1」、量子計算装置10-2に含まれる制御装置100を「制御装置100-2」と表す。量子プロセッサ200についても同様に、量子計算装置10-1に含まれる量子プロセッサ200を「量子プロセッサ200-1」、量子計算装置10-2に含まれる量子プロセッサ200を「量子プロセッサ200-2」と表す。

[0023] <制御装置100のハードウェア構成例>

本実施形態に係る制御装置100のハードウェア構成例を図3に示す。図3に示すように、本実施形態に係る制御装置100は、入力装置101と、表示装置102と、外部I/F103と、通信I/F104と、RAM(Random Access Memory)105と、ROM(Read Only Memory)106と、補助記憶装置107と、プロセッサ108とを有する。これらの各ハードウェアは、それぞれがバス109を介して通信可能に接続される。

[0024] 入力装置101は、例えば、キーボード、マウス、タッチパネル、物理ボタン等である。表示装置102は、例えば、ディスプレイ、表示パネル等である。なお、制御装置100は、例えば、入力装置101及び表示装置102のうちの少なくとも一方を有していなくてもよい。

[0025] 外部I/F103は、記録媒体103a等の外部装置とのインターフェースである。記録媒体103aとしては、例えば、CD(Compact Disc)、DV

D (Digital Versatile Disk)、SDメモリカード (Secure Digital memory card)、USB (Universal Serial Bus) メモリカード等が挙げられる。

[0026] 通信 I / F 104 は、他の制御装置 100 との間でデータの送受信 (古典通信) を行ったり、量子プロセッサ 200 との間で各種信号の送受信を行ったりするためのインタフェースである。RAM 105 は、プログラムやデータを一時保持する揮発性の半導体メモリ (記憶装置) である。ROM 106 は、電源を切ってもプログラムやデータを保持することができる不揮発性の半導体メモリ (記憶装置) である。補助記憶装置 107 は、例えば、HDD (Hard Disk Drive)、SSD (Solid State Drive)、フラッシュメモリ等の不揮発性の記憶装置 (ストレージ装置) である。プロセッサ 108 は、例えば、CPU (Central Processing Unit) 等の演算装置である。

[0027] なお、図 3 に示すハードウェア構成は一例であって、制御装置 100 のハードウェア構成はこれに限られるものではない。例えば、制御装置 100 は、複数の補助記憶装置 107 や複数のプロセッサ 108 を有していてもよいし、図示したハードウェアの一部を有していなくてもよいし、図示したハードウェア以外の種々のハードウェアを有していてもよい。

[0028] <制御装置 100 の機能構成例>

本実施形態に係る制御装置 100 の機能構成例を図 4 に示す。図 4 に示すように、本実施形態に係る制御装置 100 は、量子計算制御部 110 と、記憶部 120 とを有する。量子計算制御部 110 は、例えば、制御装置 100 にインストールされた 1 以上のプログラムが、プロセッサ 108 等に実行させる処理により実現される。また、記憶部 120 は、例えば、RAM 105 や補助記憶装置 107 等により実現される。

[0029] 量子計算制御部 110 は、他の制御装置 100 との間の通信 (古典通信) と量子プロセッサ 200 の制御により、非局所 CNOT ゲートを含む量子回路によって或る所定の期待値を求める量子計算を実現する。

[0030] 記憶部 120 は、量子計算制御部 110 によって実現される量子計算のために必要な情報を記憶する。



[0031] ここで、量子計算制御部110には、状態共有部111と、Twirling操作部112と、エラー率推定部113と、量子回路実行部114と、エラー除去部115とが含まれる。状態共有部111は、他の量子計算装置10との間で既知の手法によりベル状態を共有する。なお、一般に、このベル状態にはエラーが存在し得る。Twirling操作部112は、ベル状態に対してTwirling操作と呼ばれる操作を実行する。エラー率推定部113は、Twirling操作後の状態のエラー率を推定する。量子回路実行部114は、非局所CNOTゲートを含む量子回路を実行する。このとき、量子回路実行部114は、Twirling操作後の状態に対してLOCC操作を行うことにより非局所CNOTゲートを実行する。エラー除去部115は、エラー率推定部113によって推定されたエラー率に基づいて、量子回路実行部114によって実行された非局所CNOTゲートのエラーを除去する。これにより、エラーが除去（より正確にはエラーが低減）された量子回路の期待値が得られる。

[0032] 以下、制御装置100-1が有する量子計算制御部110と制御装置100-2が有する量子計算制御部110とを区別する場合は、制御装置100-1が有する量子計算制御部110を「量子計算制御部110-1」、制御装置100-2が有する量子計算制御部110を「量子計算制御部110-2」と表す。記憶部120についても同様に、制御装置100-1が有する記憶部120を「記憶部120-1」、制御装置100-2が有する記憶部120を「記憶部120-2」と表す。量子計算制御部110に含まれる各部についても同様に、これら各部を量子計算制御部110-1と量子計算制御部110-2の間で区別する場合は、状態共有部111に関しては「状態共有部111-1」、「状態共有部111-2」と表し、Twirling操作部112に関しては「Twirling操作部112-1」、「Twirling操作部112-2」と表し、エラー率推定部113に関しては「エラー率推定部113-1」、「エラー率推定部113-2」と表し、量子回路実行部114に関しては「量子回路実行部114-1」、「量子回路実

行部 1 1 4 - 2」と表し、エラー除去部 1 1 5 に関しては「エラー除去部 1 1 5 - 1」、「エラー除去部 1 1 5 - 2」と表す。

[0033] <量子計算処理>

以下、本実施形態に係る量子計算処理の実施例 1 及び 2 について説明する。

[0034] <<実施例 1 >>

実施例 1 における量子計算処理について、図 5 を参照しながら説明する。

[0035] まず、量子計算制御部 1 1 0 - 1 の状態共有部 1 1 1 - 1 と量子計算制御部 1 1 0 - 2 の状態共有部 1 1 1 - 2 は、量子プロセッサ 2 0 0 - 1 と量子プロセッサ 2 0 0 - 2 の間で既知の手法により 2 キュービット状態を共有する（ステップ S 1 0 1）。ここで、この 2 キュービット状態は、以下のエラーがないベル状態とのフィデリティ（忠実度）が 0. 5 以上であればどのような状態でもよい。ただし、0. 5 は一例であって、これに限定されるものではない。

[0036] [数 1]

$$|\phi\rangle = \frac{1}{\sqrt{2}}(|00\rangle + |11\rangle)$$

次に、量子計算制御部 1 1 0 - 1 の Twirling 操作部 1 1 2 - 1 と量子計算制御部 1 1 0 - 2 の Twirling 操作部 1 1 2 - 2 は、上記のステップ S 1 0 1 で共有した状態に対して 4 種類の局所ゲートをランダムにかける Twirling（参考文献 1）という操作を行い、ベル対角化状態と呼ばれる状態にする（ステップ S 1 0 2）。これにより、量子プロセッサ 2 0 0 - 1 と量子プロセッサ 2 0 0 - 2 の間でベル対角化状態が共有される。

[0037] ここで、上記の 4 種類のゲート操作は、恒等操作（ゲートをかけない）、 $B_x B_x$ 、 $B_y B_y$ 、 $B_z B_z$  である。また、 $i = x, y, z$  に対して、 $B_i$  は以

下である。

[0038] [数2]

$$B_i = R_i\left(\frac{\pi}{2}\right) \otimes R_i\left(\frac{\pi}{2}\right)$$

上記の $B_i$ は、量子プロセッサ200-1の状態と量子プロセッサ200-2の状態に対して同時に局所的な $i \in \{x, y, z\}$ 軸回りの $\pi/2$ 回転操作 $R_i(\pi/2)$ をかける操作を表す。なお、以下は、量子プロセッサ200-1の状態（キュービット）に対してAゲートを、量子プロセッサ200-2の状態（キュービット）に対してBゲートをそれぞれかけることを意味する。

[0039] [数3]

$$A \otimes B$$

以下、本明細書のテキスト中では、上記の数3を「A (×) B」と表すことにする。

[0040] なお、上記のTwirling操作の際には、Twirling操作部112-1とTwirling操作部112-2との間で古典通信が行われる。これは、一方のTwirling操作部112が選択したゲート操作の種類を他方のTwirling操作部112に送信する必要があるためである。

[0041] 上記のステップS102におけるTwirling操作後の状態の密度行列は、以下となる。

[0042] [数4]

$$\rho = (1 - \epsilon)|\phi\rangle\langle\phi| + \epsilon_x|\phi_x\rangle\langle\phi_x| + \epsilon_y|\phi_y\rangle\langle\phi_y| + \epsilon_z|\phi_z\rangle\langle\phi_z|$$

上記の密度行列によって表現される状態はベル対角化状態と呼ばれる（参考文献1）。ただし、 $|\phi_x\rangle$ 、 $|\phi_y\rangle$ 、 $|\phi_z\rangle$  はそれぞれ以下である。

[0043] [数5]

$$|\phi_x\rangle = \frac{1}{\sqrt{2}}(|01\rangle + |10\rangle)$$

$$|\phi_y\rangle = \frac{1}{\sqrt{2}}(|01\rangle - |10\rangle)$$

$$|\phi_z\rangle = \frac{1}{\sqrt{2}}(|00\rangle - |11\rangle)$$

ここで、 $\varepsilon_x$ 、 $\varepsilon_y$ 、 $\varepsilon_z$  はそれぞれの状態に対応するエラー率であり、 $\varepsilon = \varepsilon_x + \varepsilon_y + \varepsilon_z$  は理想のベル状態からのエラー率を表す。

[0044] 次に、量子計算制御部110-1のエラー率推定部113-1と量子計算制御部110-2のエラー率推定部113-2は、上記のベル対角化状態のエラー率を推定する（ステップS103）。エラー率推定部113は、通常のコモグラフィックによりエラー率を求めてもよいが、例えば、以下の手順11～手順15、手順21～手順25及び手順31～手順35によりエラー率を推定してもよい。

[0045] 手順11：エラー率推定部113-1は量子プロセッサ200-1に状態 $|0\rangle$ を準備し、同様にエラー率推定部113-2は量子プロセッサ200-2に状態 $|0\rangle$ を準備する。

[0046] 手順12：エラー率推定部113-1とエラー率推定部113-2は、上記のステップS102で共有したベル対角化状態に対して、LOCC操作でCNOTゲートをn回連続でかける。ただし、nは2の倍数であるものとする。

[0047] 手順13：エラー率推定部113-1は量子プロセッサ200-1の状態を $|0\rangle$ 、 $|1\rangle$ 基底で測定（Z測定）し、同様にエラー率推定部113-2は量子プロセッサ200-2の状態を $|0\rangle$ 、 $|1\rangle$ 基底で測定（Z測定）

) する。

[0048] 手順14：エラー率推定部113-1とエラー率推定部113-2は上記の手順11～手順13を繰り返し、それぞれ量子プロセッサ200-1の状態の期待値と量子プロセッサ200-2の状態の期待値を求める。この期待値  $f(n, \epsilon)$  は理論的に以下の式で表される。

[0049] [数6]

$$f(n, \epsilon) = \frac{1}{2} \left[ 1 + \left( 1 - 2(\epsilon_x + \epsilon_y) \right)^n \right]$$

なお、上記の手順11～手順13の繰り返し回数は所望の精度に応じて決定すればよい。

[0050] 手順15：エラー率推定部113-1とエラー率推定部113-2は、異なる  $n$  に対して上記の手順11～手順14を実行し、その結果得られた各期待値を上記の数6に示す理論式にフィッティングすることにより  $\epsilon_x + \epsilon_y$  を求める。

[0051] 手順21：エラー率推定部113-1は量子プロセッサ200-1に状態  $|+\rangle$  を準備し、同様にエラー率推定部113-2は量子プロセッサ200-2に状態  $|+\rangle$  を準備する。

[0052] 手順22：エラー率推定部113-1とエラー率推定部113-2は、上記のステップS102で共有したベル対角化状態に対して、LOCC操作でCNOTゲートを  $n$  回連続でかける。ただし、 $n$  は2の倍数であるものとする。

[0053] 手順23：エラー率推定部113-1は量子プロセッサ200-1の状態を  $|+\rangle$ 、 $|-\rangle$  基底で測定 (X測定) し、同様にエラー率推定部113-2は量子プロセッサ200-2の状態を  $|+\rangle$ 、 $|-\rangle$  基底で測定 (X測定) する。

[0054] 手順24：エラー率推定部113-1とエラー率推定部113-2は上記

の手順 2 1 ~ 手順 2 3 を繰り返し、それぞれ量子プロセッサ 2 0 0 - 1 の状態の期待値と量子プロセッサ 2 0 0 - 2 の状態の期待値を求める。この期待値  $f(n, \epsilon)$  は理論的に以下の式で表される。

[0055] [数7]

$$f(n, \epsilon) = \frac{1}{2} \left[ 1 + \left( 1 - 2(\epsilon_y + \epsilon_z) \right)^n \right]$$

なお、上記の手順 2 1 ~ 手順 2 3 の繰り返し回数は所望の精度に応じて決定すればよい。

[0056] 手順 2 5 : エラー率推定部 1 1 3 - 1 とエラー率推定部 1 1 3 - 2 は、異なる  $n$  に対して上記の手順 2 1 ~ 手順 2 4 を実行し、その結果得られた各期待値を上記の数 7 に示す理論式にフィッティングすることにより  $\epsilon_y + \epsilon_z$  を求める。

[0057] 手順 3 1 : エラー率推定部 1 1 3 - 1 は量子プロセッサ 2 0 0 - 1 に状態  $|0\rangle$  を準備し、一方で、エラー率推定部 1 1 3 - 2 は量子プロセッサ 2 0 0 - 2 に状態  $|+\rangle$  を準備する。

[0058] 手順 3 2 : エラー率推定部 1 1 3 - 1 とエラー率推定部 1 1 3 - 2 は、上記のステップ S 1 0 2 で共有したベル対角化状態に対して、LOCC操作でCNOTゲートを  $n$  回連続でかける。ただし、 $n$  は 2 の倍数であるものとする。

[0059] 手順 3 3 : エラー率推定部 1 1 3 - 1 は量子プロセッサ 2 0 0 - 1 の状態を  $|0\rangle$ 、 $|1\rangle$  基底で測定 (Z測定) し、一方で、エラー率推定部 1 1 3 - 2 は量子プロセッサ 2 0 0 - 2 の状態を  $|+\rangle$ 、 $|-\rangle$  基底で測定 (X測定) する。

[0060] 手順 3 4 : エラー率推定部 1 1 3 - 1 とエラー率推定部 1 1 3 - 2 は上記の手順 3 1 ~ 手順 3 3 を繰り返し、それぞれ量子プロセッサ 2 0 0 - 1 の状態の期待値と量子プロセッサ 2 0 0 - 2 の状態の期待値を求める。この期待

値  $f(n, \epsilon)$  は理論的に以下の式で表される。

[0061] [数8]

$$f(n, \epsilon) = \frac{1}{4} \left[ 1 + \left( 1 - 2(\epsilon_x + \epsilon_y) \right)^n + \left( 1 - 2(\epsilon_y + \epsilon_z) \right)^n + \left( 1 - 2(\epsilon_z + \epsilon_x) \right)^n \right]$$

なお、上記の手順31～手順33の繰り返し回数は所望の精度に応じて決定すればよい。

[0062] 手順35：エラー率推定部113-1とエラー率推定部113-2は、異なる  $n$  に対して上記の手順31～手順34を実行し、その結果得られた各期待値と、上記の手順11～手順15で得られた  $\epsilon_x + \epsilon_y$  と、上記の手順21～手順25で得られた  $\epsilon_y + \epsilon_z$  とを上記の数8に示す理論式にフィッティングすることにより  $\epsilon_z + \epsilon_x$  を求める。

[0063] 次に、量子計算制御部110-1の量子回路実行部114-1と量子計算制御部110-2の量子回路実行部114-2は、非局所CNOTゲートを含む量子回路を実行する（ステップS104）。このとき、量子回路実行部114-1と量子回路実行部114-2は、ベル対角化状態に対してLOCC操作を行うことにより非局所CNOTゲートを実行する。なお、非局所CNOTゲートにはエラーが存在し得ることに留意されたい。

[0064] そして、量子計算制御部110-1のエラー除去部115-1と量子計算制御部110-2のエラー除去部115-2は、上記のステップS103で推定されたエラー率に基づいて、上記のステップS104で実行された非局所CNOTゲートのエラーを事後的に除去（低減）する（ステップS105）。エラー除去部115は、例えば、確率的エラー消去法（参考文献2）によりエラーを低減する。確率的エラー消去法を用いる場合、エラー除去部115は、以下の手順41～手順43によりエラーを低減すればよい。

[0065] 手順41：エラー除去部115-1とエラー除去部115-2は、当該量子回路中の非局所CNOTゲートの後に、確率  $p_{11}/\gamma$  で  $|(\times)\rangle$  ゲート

を、確率  $|p_{IX}|/\gamma$  で  $I(X)$  Xゲートを、確率  $|p_{ZX}|$  で  $Z(X)$  Xゲートを、確率  $|p_{ZI}|/\gamma$  で  $Z(X)$  Iゲートを挿入する。ここで、 $p_{II}$ 、 $p_{IX}$ 、 $p_{ZX}$ 、 $p_{ZI}$ 、 $\gamma$  はそれぞれ以下である。

[0066] [数9]

$$p_{II} = \frac{1}{4} \left( 1 + \frac{1}{1 - 2(\epsilon_x + \epsilon_y)} + \frac{1}{1 - 2(\epsilon_y + \epsilon_z)} + \frac{1}{1 - 2(\epsilon_z + \epsilon_x)} \right)$$

$$p_{IX} = \frac{1}{4} \left( 1 - \frac{1}{1 - 2(\epsilon_x + \epsilon_y)} + \frac{1}{1 - 2(\epsilon_y + \epsilon_z)} - \frac{1}{1 - 2(\epsilon_z + \epsilon_x)} \right)$$

$$p_{ZX} = \frac{1}{4} \left( 1 - \frac{1}{1 - 2(\epsilon_x + \epsilon_y)} - \frac{1}{1 - 2(\epsilon_y + \epsilon_z)} + \frac{1}{1 - 2(\epsilon_z + \epsilon_x)} \right)$$

$$p_{ZI} = \frac{1}{4} \left( 1 + \frac{1}{1 - 2(\epsilon_x + \epsilon_y)} - \frac{1}{1 - 2(\epsilon_y + \epsilon_z)} - \frac{1}{1 - 2(\epsilon_z + \epsilon_x)} \right)$$

$$\gamma = p_{II} + |p_{IX}| + |p_{ZX}| + |p_{ZI}|$$

また、 $I$  は恒等操作（何もしない操作）を表す。

[0067] なお、上記の手順41でゲート（操作）を挿入する際には、エラー除去部115-1とエラー除去部115-2との間で古典通信が行われる。これは、一方のエラー除去部115が選択したゲート操作の種類を他方のエラー除去部115に送信する必要があるためである。

[0068] 手順42：エラー除去部115-1とエラー除去部115-2は、量子回路の測定結果に対して、 $I(X)$  Iゲートが挿入された回数だけ $\gamma$ を、 $I(X)$  Xゲートが挿入された回数だけ $p_{IX}\gamma/|p_{IX}|$ を、 $Z(X)$  Xゲートが挿入された回数だけ $p_{ZX}\gamma/|p_{ZX}|$ を、 $Z(X)$  Iゲートが挿入された回数だけ $p_{ZI}\gamma/|p_{ZI}|$ をそれぞれ乗じる。

[0069] 手順43：エラー除去部115-1とエラー除去部115-2は、上記の手順41～手順42を繰り返し、当該量子回路の重み付き期待値を求める。



この重み付き期待値が、非局所CNOTゲートのエラーを低減した量子回路の期待値になっている。

[0070] なお、上記の手順41～手順42の繰り返し回数は所望の精度に応じて決定すればよい。また、上記の重み付き期待値を求める際には、エラー除去部115-1とエラー除去部115-2との間で古典通信が行われる。これは、エラー除去部115-1とエラー除去部115-2がそれぞれ求めた期待値の重みをとるためである。

[0071] ≪実施例2≫

実施例2における量子計算処理について、図6を参照しながら説明する。

[0072] まず、量子計算制御部110-1の状態共有部111-1と量子計算制御部110-2の状態共有部111-2は、量子プロセッサ200-1と量子プロセッサ200-2の間で既知の手法により2キュービット状態を共有する(ステップS201)。ここで、この2キュービット状態は、図5のステップS101と同様に、上記の数1に示すエラーがないベル状態とのフィデリティ(忠実度)が0.5以上であればどのような状態でもよい。ただし、0.5は一例であって、これに限定されるものではない。

[0073] 次に、量子計算制御部110-1のTwirling操作部112-1と量子計算制御部110-2のTwirling操作部112-2は、上記のステップS202で共有した状態に対して12種類の局所ゲートをランダムにかけるTwirling(参考文献1)という操作を行い、Werner状態と呼ばれる状態にする(ステップS202)。これにより、量子プロセッサ200-1と量子プロセッサ200-2の間でWerner状態が共有される。

[0074] ここで、上記の12種類のゲート操作は、恒等操作(ゲートをかけない)、 $B_x B_x$ 、 $B_y B_y$ 、 $B_z B_z$ 、 $B_x B_y$ 、 $B_y B_z$ 、 $B_z B_x$ 、 $B_y B_x$ 、 $B_x B_y B_x$ 、 $B_y B_z B_y B_z$ 、 $B_z B_x B_z B_x$ 、 $B_y B_x B_y B_x$ である。また、 $i = x, y, z$ に対して、 $B_i$ は上記の数2に示した通りである。

[0075] なお、上記のTwirling操作の際には、Twirling操作部1

12-1とTwirling操作部112-2との間で古典通信が行われる。これは、一方のTwirling操作部112が選択したゲート操作の種類を他方のTwirling操作部112に送信する必要があるためである。

[0076] 上記のステップS202におけるTwirling操作後の状態の密度行列は、以下となる。

[0077] [数10]

$$\rho = (1 - \epsilon)|\phi\rangle\langle\phi| + \frac{\epsilon}{3}(|\phi_x\rangle\langle\phi_x| + |\phi_y\rangle\langle\phi_y| + |\phi_z\rangle\langle\phi_z|)$$

上記の密度行列によって表現される状態はWerner状態と呼ばれる。ここで、 $\epsilon$ はエラー率である。

[0078] 次に、量子計算制御部110-1のエラー率推定部113-1と量子計算制御部110-2のエラー率推定部113-2は、上記のWerner状態のエラー率を推定する（ステップS203）。エラー率推定部113は、通常のカモフラージュによりエラー率を求めてもよいが、例えば、以下の手順51～手順55によりエラー率を推定してもよい。

[0079] 手順51：エラー率推定部113-1は量子プロセッサ200-1に状態 $|+\rangle$ を準備し、同様にエラー率推定部113-2は量子プロセッサ200-2に状態 $|+\rangle$ を準備する。

[0080] 手順52：エラー率推定部113-1とエラー率推定部113-2は、上記のステップS202で共有したWerner状態に対して、LOCC操作でCNOTゲートを $n$ 回連続でかける。ただし、 $n$ は2の倍数であるものとする。

[0081] 手順53：エラー率推定部113-1は量子プロセッサ200-1の状態を $|+\rangle$ 、 $|-\rangle$ 基底で測定（X測定）し、同様にエラー率推定部113-2は量子プロセッサ200-2の状態を $|+\rangle$ 、 $|-\rangle$ 基底で測定（X測定）する。

[0082] 手順54：エラー率推定部113-1とエラー率推定部113-2は上記の手順51～手順53を繰り返し、それぞれ量子プロセッサ200-1の状態の期待値と量子プロセッサ200-2の状態の期待値を求める。この期待値  $f(n, \epsilon)$  は理論的に以下の式で表される。

[0083] [数11]

$$f(n, \epsilon) = \frac{1}{4} \left[ 1 + 3 \left( 1 - \frac{4}{3} \epsilon \right)^n \right]$$

なお、上記の手順51～手順53の繰り返し回数は所望の精度に応じて決定すればよい。

[0084] 手順55：エラー率推定部113-1とエラー率推定部113-2は、異なる  $n$  に対して上記の手順51～手順54を実行し、その結果得られた各期待値を上記の数11に示す理論式にフィッティングすることによりエラー率  $\epsilon$  を求める。

[0085] 次に、量子計算制御部110-1の量子回路実行部114-1と量子計算制御部110-2の量子回路実行部114-2は、非局所CNOTゲートを含む量子回路を実行する（ステップS204）。このとき、量子回路実行部114-1と量子回路実行部114-2は、Werner状態に対してLOCC操作を行うことにより非局所CNOTゲートを実行する。なお、非局所CNOTゲートにはエラーが存在し得ることに留意されたい。

[0086] そして、量子計算制御部110-1のエラー除去部115-1と量子計算制御部110-2のエラー除去部115-2は、上記のステップS203で推定されたエラー率  $\epsilon$  に基づいて、上記のステップS204で実行された非局所CNOTゲートのエラーを事後的に除去（低減）する（ステップS205）。エラー除去部115は、例えば、確率的エラー消去法（参考文献2）によりエラーを低減する。確率的エラー消去法を用いる場合、エラー除去部115は、以下の手順61～手順63によりエラーを低減すればよい。

[0087] 手順61：エラー除去部115-1とエラー除去部115-2は、当該量子回路中の非局所CNOTゲートの後に、確率 $(3 - \epsilon) / (3 + 2\epsilon)$ で恒等操作、確率 $\epsilon / (3 + 2\epsilon)$ で $I(X)X$ 、 $Z(X)X$ 、 $Z(X)I$ ゲートをかける。

[0088] なお、上記の手順61でゲート（操作）を挿入する際には、エラー除去部115-1とエラー除去部115-2との間で古典通信が行われる。これは、一方のエラー除去部115が選択したゲート操作の種類を他方のエラー除去部115に送信する必要があるためである。

[0089] 手順62：エラー除去部115-1とエラー除去部115-2は、量子回路の測定結果に対して、恒等操作がされた回数だけ $\gamma$ を、 $I(X)X$ 、 $Z(X)X$ 、 $Z(X)I$ ゲートが挿入された回数だけ $-\gamma$ をそれぞれ乗じる。

[0090] 手順63：エラー除去部115-1とエラー除去部115-2は、上記の手順61～手順62を繰り返し、当該量子回路の重み付き期待値を求める。この重み付き期待値が、非局所CNOTゲートのエラーを低減した量子回路の期待値になっている。

[0091] なお、上記の手順61～手順62の繰り返し回数は所望の精度に応じて決定すればよい。また、上記の重み付き期待値を求める際には、エラー除去部115-1とエラー除去部115-2との間で古典通信が行われる。これは、エラー除去部115-1とエラー除去部115-2がそれぞれ求めた期待値の重みをとるためである。

[0092] <まとめ>

以上のように、本実施形態に係る量子計算システム1は、複数の量子計算装置10間でエラーが存在し得るベル状態を共有し、エラー抑制法（例えば、確率的エラー消去法等）により、ベル状態のエラー由来の非局所CNOTゲートのエラーを事後的に低減する。また、このとき、確率的エラー消去法等のエラー抑制法を用いるために、ベル状態のエラー率をトモグラフィー等の方法により得ている。これにより、非局所CNOTゲートを含む所望の量子回路を実行することが可能となる。

[0093] 本実施形態に係る量子計算システム1によれば、非特許文献2に記載されている手法と比較して、十分な精度で期待値を得るための量子回路の実行回数を少なくすることが可能となり、かつ、蒸留も不要であるためエラーがあるベル状態の蒸留に要するコストも削減することが可能になる。このため、例えば、大量のベル状態を消費したくなく、かつ、実行に時間が掛かるエンタングルメント蒸留を行いたくないが、局所的な操作でCNOTゲートを実行するには量子回路の実行回数が多い、というような場合に、本実施形態に係る量子計算システム1を用いることにより、エンタングルメント蒸留のコストを削減しつつ、かつ、量子回路の実行回数は少なく非局所CNOTゲートを実行することが可能となる。

[0094] 本発明は、具体的に開示された上記の実施形態に限定されるものではなく、請求の範囲の記載から逸脱することなく、種々の変形や変更、既知の技術との組み合わせ等が可能である。

[0095] [参考文献]

参考文献1 : C. H. Bennett, D.P. DiVincenzo, J. A. Smolin, and W. K. Wootters, "Mixed-state entanglement and quantum error correction", Physical Review A 54, 3824 (1996).

参考文献2 : S. Endo, S. C. Benjamin, and Y. Li, "Practical Quantum Error Mitigation for Near-Future Applications", Physical Review X 8, 031027 (2018).

## 符号の説明

[0096] 1 量子計算システム  
10 量子計算装置  
100 制御装置  
101 入力装置  
102 表示装置  
103 外部I/F  
103a 記録媒体

104	通信 I / F
105	RAM
106	ROM
107	補助記憶装置
108	プロセッサ
109	バス
110	量子計算制御部
111	状態共有部
112	Twirling 操作部
113	エラー率推定部
114	量子回路実行部
115	エラー除去部
120	記憶部
200	量子プロセッサ

## 請求の範囲

- [請求項1] 複数の量子計算装置が含まれる量子計算システムであって、  
前記量子計算装置は、  
他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有部と、  
前記2キュービット状態に対してTwirling操作を行って所定の状態にするTwirling操作部と、  
前記所定の状態のエラー率を推定するエラー率推定部と、  
前記所定の状態に対するLOCC操作によって実現される非局所CNOTゲートを含む量子回路を実行する量子回路実行部と、  
前記エラー率に基づいて、前記非局所CNOTゲートのエラーを除去するエラー除去部と、  
を有する量子計算システム。
- [請求項2] 前記エラー除去部は、  
前記エラー率を使用した確率的エラー消去法により、前記非局所CNOTゲートのエラーを除去する、請求項1に記載の量子計算システム。
- [請求項3] 前記所定の状態は、ベル対角化状態又はWerner状態である、請求項1又は2に記載の量子計算システム。
- [請求項4] 前記エラー率推定部は、  
前記ベル対角化状態又はWerner状態に対するトモグラフィーにより、又は、前記ベル対角化状態又はWerner状態の測定によって得られる期待値を理論式にフィッティングすることにより、前記エラー率を推定する、請求項3に記載の量子計算システム。
- [請求項5] 通信ネットワークを介して他の量子計算装置と接続される量子計算装置であって、  
前記他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有部と、

前記2キュービット状態に対してTwirling操作を行って所定の状態にするTwirling操作部と、

前記所定の状態のエラー率を推定するエラー率推定部と、

前記所定の状態に対するLOCC操作によって実現される非局所CNOTゲートを含む量子回路を実行する量子回路実行部と、

前記エラー率に基づいて、前記非局所CNOTゲートのエラーを除去するエラー除去部と、

を有する量子計算装置。

[請求項6] 複数の量子計算装置が含まれる量子計算システムに用いられる量子計算方法であって、

前記量子計算装置が、

他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有手順と、

前記2キュービット状態に対してTwirling操作を行って所定の状態にするTwirling操作手順と、

前記所定の状態のエラー率を推定するエラー率推定手順と、

前記所定の状態に対するLOCC操作によって実現される非局所CNOTゲートを含む量子回路を実行する量子回路実行手順と、

前記エラー率に基づいて、前記非局所CNOTゲートのエラーを除去するエラー除去手順と、

を実行する量子計算方法。

[請求項7] 通信ネットワークを介して他の量子計算装置と接続される量子計算装置に、

前記他の量子計算装置との間でエラーがベル状態との忠実度が所定の値以上の2キュービット状態を共有する共有手順と、

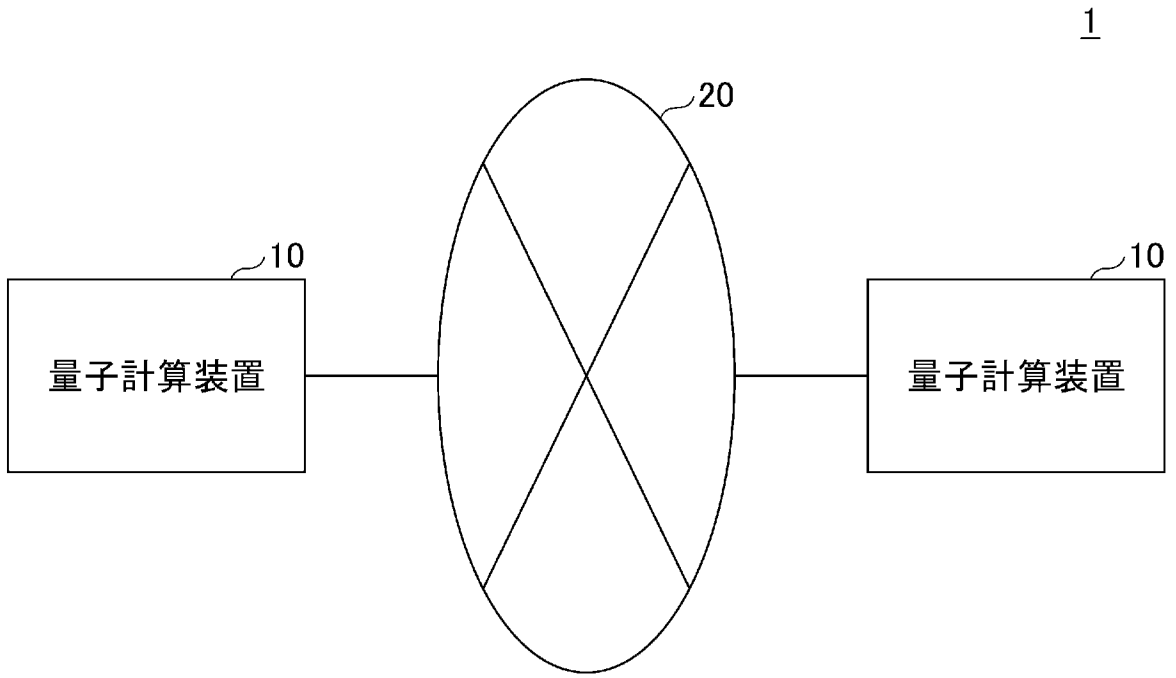
前記2キュービット状態に対してTwirling操作を行って所定の状態にするTwirling操作手順と、

前記所定の状態のエラー率を推定するエラー率推定手順と、

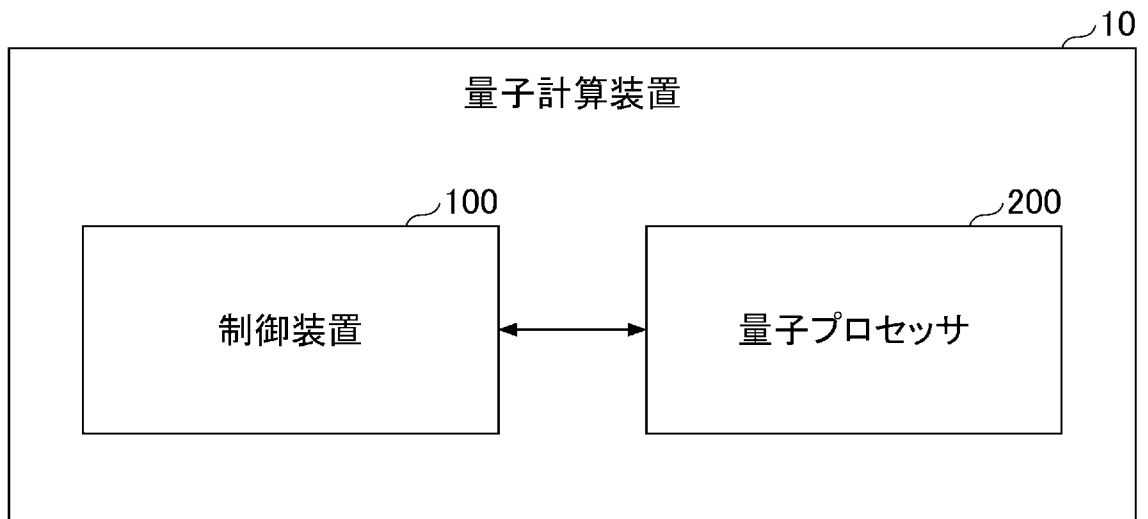


前記所定の状態に対するL O C C操作によって実現される非局所C  
N O Tゲートを含む量子回路を実行する量子回路実行手順と、  
前記エラー率に基づいて、前記非局所C N O Tゲートのエラーを除  
去するエラー除去手順と、  
を実行させるプログラム。

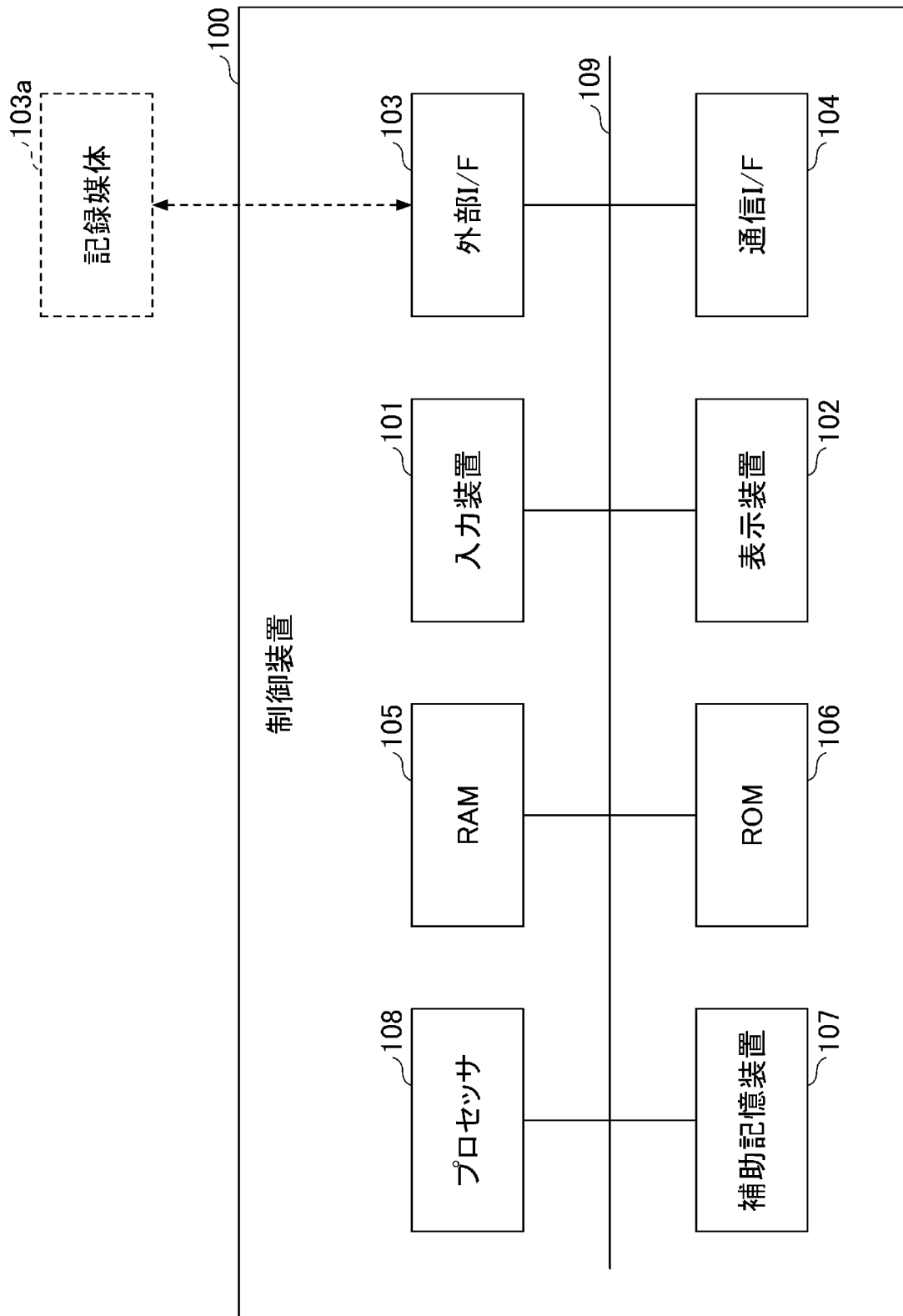
[図1]



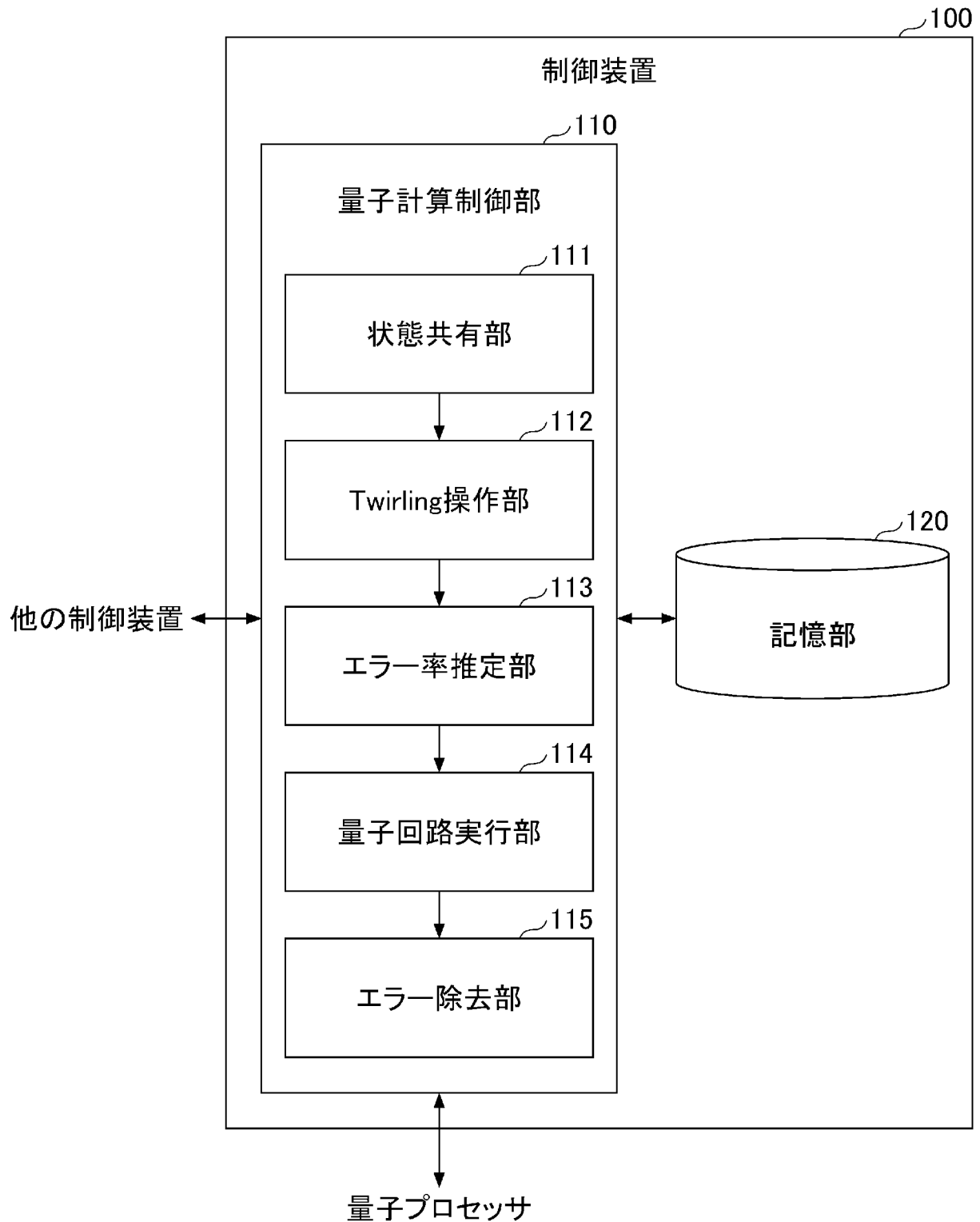
[図2]



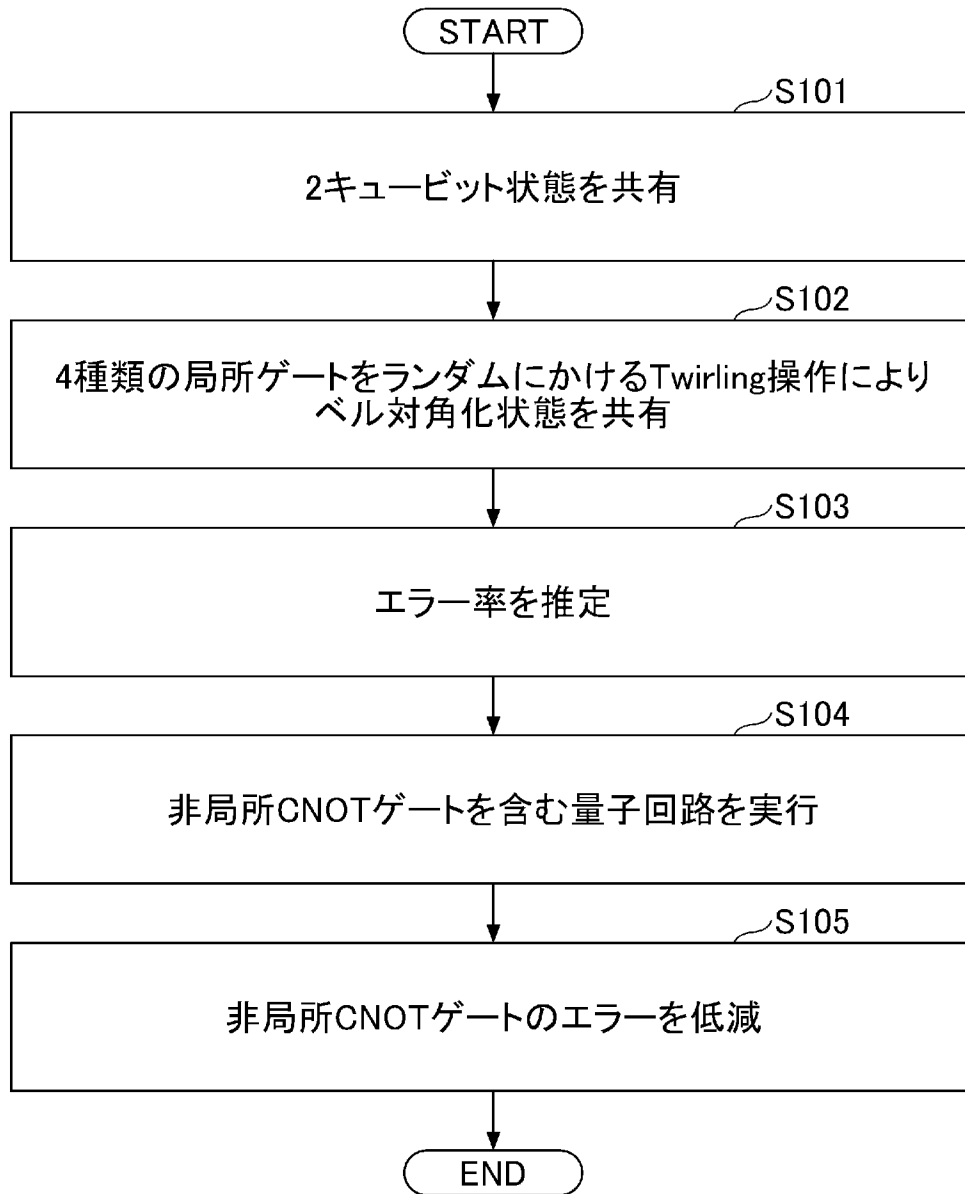
[図3]



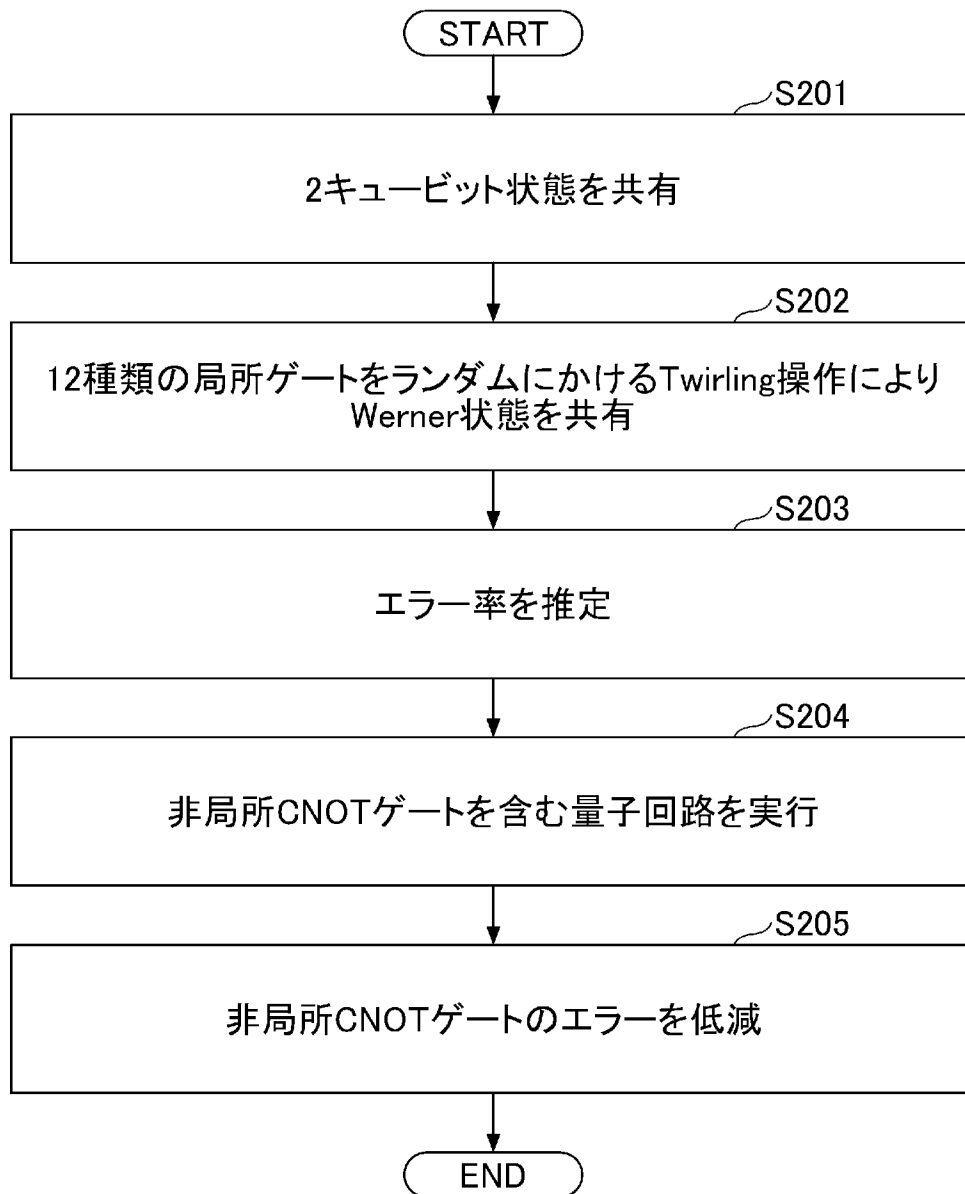
[図4]



[図5]



[図6]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015642

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
G06N 10/20(2022.01) FI: G06N10/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06N10/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2022/0416907 A1 (PURDUE RESEARCH FOUNDATION) 29 December 2022 (2022-12-29) entire text	1-7
A	US 2022/0269974 A1 (PRESIDENT AND FELLOWS OF HARVARD COLLEGE) 25 August 2022 (2022-08-25) entire text	1-7
A	CN 112529199 A (BEISING BAIDU NETCOM SCI & TECH CO., LTD.) 19 March 2021 (2021-03-19) entire text	1-7
A	KR 10-2017-0034759 A (INDUSTRY-UNIV COOP FOUND HANYANG UNIV ERICA CAMPUS) 29 March 2017 (2017-03-29) entire text	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>31 May 2023</b>		Date of mailing of the international search report <b>13 June 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/015642**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2022/0416907 A1	29 December 2022	(Family: none)	
US 2022/0269974 A1	25 August 2022	(Family: none)	
CN 112529199 A	19 March 2021	(Family: none)	
KR 10-2017-0034759 A	29 March 2017	(Family: none)	



A. 発明の属する分野の分類（国際特許分類（IPC）） G06N 10/20(2022.01)i FI: G06N10/20		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06N10/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2022/0416907 A1 (PURDUE RESEARCH FOUNDATION) 29.12.2022 (2022 - 12 - 29) 全文	1-7
A	US 2022/0269974 A1 (PRESIDENT AND FELLOWS OF HARVARD COLLEGE) 25.08.2022 (2022 - 08 - 25) 全文	1-7
A	CN 112529199 A (BEISING BAIDU NETCOM SCI & TECH CO LTD) 19.03.2021 (2021 - 03 - 19) 全文	1-7
A	KR 10-2017-0034759 A (INDUSTRY-UNIV COOP FOUND HANYANG UNIV ERICA CAMPUS) 29.03.2017 (2017 - 03 - 29) 全文	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	31.05.2023	国際調査報告の発送日 13.06.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  福西 章人 5B 4687  電話番号 03-3581-1101 内線 3545	

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/015642

引用文献	公表日	パテントファミリー文献	公表日
US 2022/0416907 A1	29.12.2022	(ファミリーなし)	
US 2022/0269974 A1	25.08.2022	(ファミリーなし)	
CN 112529199 A	19.03.2021	(ファミリーなし)	
KR 10-2017-0034759 A	29.03.2017	(ファミリーなし)	