



PCT

特許協力条約に基づいて公開された国際出願

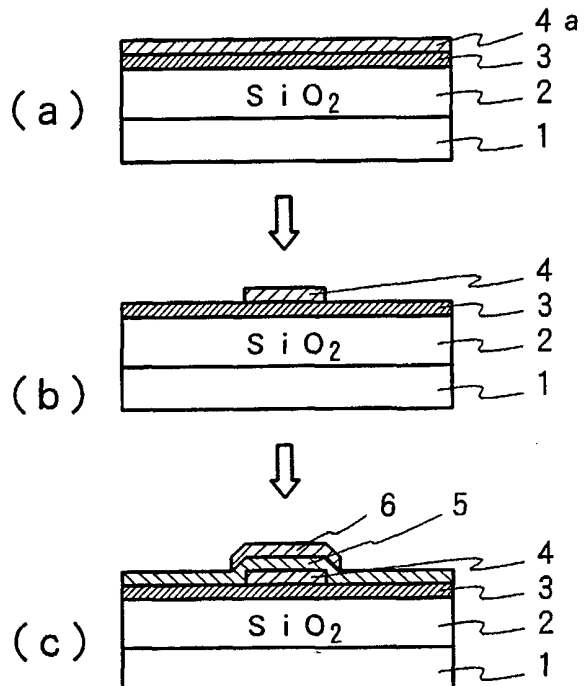
<p>(51) 国際特許分類7 H01L 27/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/46856</p> <p>(43) 国際公開日 2000年8月10日(10.08.00)</p>
<p>(21) 国際出願番号 PCT/JP00/00597</p> <p>(22) 国際出願日 2000年2月3日(03.02.00)</p> <p>(30) 優先権データ 特願平11/27929 1999年2月4日(04.02.99) JP 特願平11/275296 1999年9月28日(28.09.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ローム株式会社(ROHM CO., LTD.)(JP/JP) 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 中村 孝(NAKAMURA, Takashi)(JP/JP) 〒615-8585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto, (JP)</p> <p>(74) 代理人 河村 洵(KAWAMURA, Kiyoshi) 〒532-0011 大阪府大阪市淀川区西中島4丁目5番1号 新栄ビル6E 河村特許事務所 Osaka, (JP)</p>		<p>(81) 指定国 CA, KR, US, 欧州特許 (DE, FR, GB, IT, NL)</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: CAPACITOR AND METHOD OF ITS MANUFACTURE

(54) 発明の名称 キャパシタおよびその製法

(57) Abstract

A lower electrode (4), a dielectric layer (5) made of a ferroelectric material or a high dielectric constant material, and an upper electrode (6) are formed in order on an insulating film (2). The dielectric layer (5) overlaps the lower electrode (4). Between the overlapping portion of the dielectric layer (5) and the insulating film (2), an insulation barrier layer (3) made of two or more complex metal oxides containing Si or silicon nitride compounds is interposed. In another mode, a plug for contact is provided in an insulating film, and an adherence layer is provided between the plug and the lower electrode. An insulation barrier layer made of an oxide which is the same material forming the adherence layer is provided between the dielectric layer and the insulating film. As a result, Ti and Pb, which are constituent elements of the ferroelectric material or high dielectric constant material do not diffuse into and enter an SiO<sub>2</sub> film and a semiconductor layer, enabling easy formation of a barrier layer.



(57)要約

絶縁膜(2)上に下部電極(4)、強誘電体材料または高誘電率材料からなる誘電体層(5)、および上部電極(6)が順次設けられている。そして、誘電体層(5)がその下部電極(4)よりはみ出して形成されており、かつ、下部電極(4)よりはみ出した部分の誘電体層(5)と絶縁膜(2)との間にSiを含む2種以上の複合金属酸化物またはシリコンチッ化物系化合物からなる絶縁バリア層(3)が介在されている。また、他の形態では、コンタクト用のプラグが絶縁膜に設けられ、そのプラグと下部電極との間に密着層が設けられ、その密着層と同じ材料の酸化物が前記誘電体層と絶縁膜間に絶縁バリア層として設けられている。その結果、強誘電体材料や高誘電率材料の構成元素であるTiやPbなどがSiO<sub>2</sub>膜や半導体層に拡散して侵入するのを防止しながら、バリア層を容易に形成することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ベトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## キャパシタおよびその製法

## 5 技術分野

本発明は、強誘電体材料または高誘電率材料を誘電体層とし、基板表面の絶縁膜上に形成されるキャパシタおよびその製法に関する。さらに詳しくは、下部電極がパターニングされ、キャパシタの誘電体層が直接絶縁膜に接することにより、強誘電体材料の金属成分が絶縁膜や半導体層に拡散したり、誘電体材料にクラックが発生しないようにすると共に、絶縁膜に設けられるコンタクトホール内のプラグを介してその電極を半導体層などと電気的に接続する場合にも、電極の密着性や相互拡散の影響を防止することができるキャパシタに関する。

## 15 背景技術

半導体基板などの同一基板上に複数の誘電体キャパシタを形成する場合、成膜した電極や誘電体層をパターニングする必要がある。その方法としては、図8(a)に示されるように、上部電極6、誘電体層5、および下部電極4を一括して加工する方法が用いられる。図8(a)に示される例は、半導体基板1上に設けられる絶縁膜2の上に、絶縁膜2に設けられるコンタクトホール11内にポリシリコンなどの導電体層からなるプラグ7を介して絶縁膜2の下の半導体層などと電気的に接続する例の断面説明図が示されている。この方法は、3層を同一のマスクにより順次エッチングをしていく必要があり、エッチング条件の選択など、加工が難しい上に、エッチングされる側壁部分にエッチングダメージが入り、キャパシタ特性を劣化させてしまう。

このエッチングダメージを避けるため、図8(b)に示されるように、下部電極4、誘電体層5、および上部電極6の3層をそれぞれ別々にパターンニングする方法がある。しかし、3層を別々にパターンニングすると、一層ずつにマスクアライメントが必要となり、そのエッチングパターン形成の重ね合せの精度に依存するアライメントマージンAおよびBが必要となる。そのため、実際のキャパシタ面積より大きな面積が必要となり、セル面積(チップ面積)の増大につながる。

これらの問題を解決するため、図8(c)に示されるように、誘電体層5を形成する前に下部電極4をパターンニングし、誘電体層5をエッチングしないか、下部電極4より大きなエリアでエッチングをし、上部電極6を形成する方法が用いられる。この方法によれば、アライメントマージンも小さくなり、エッチングダメージも入りにくくなる。しかし、通常はキャパシタのベースとなる基板上の絶縁膜2は $SiO_2$ が用いられるため、この方法によると、 $SiO_2$ 膜上に直接誘電体層5が接する。また、この方法によると、下部電極4のエッジ部に誘電体層5の薄いウィークポイント(C点参照)が発生する。この場合、上部電極6が下部電極4と同じ大きさで対向するようにパターンニングされればよいが、そのまま共通プレートとして使用される場合もあり、上下両電極4、6のショート不良などが発生しやすいという問題がある。

20 キャパシタの誘電体層が強誘電体材料または高誘電率材料からなる場合には、その強誘電体層などが直接 $SiO_2$ と接すると、強誘電体層などのPbやTiなどが $SiO_2$ 膜に拡散し、さらにはその下の半導体層に拡散してキャパシタのみならず、半導体素子の素子特性を劣化させたり、場合によっては誘電体層にクラックが生じるという問題がある。

25 一方、特開平7-99290号公報には、強誘電体キャパシタの強誘電体層がシリコン含有層と接していることにより生じ得る相互反応を防

止するため、強誘電体層と接する部分には2酸化チタン層、またはマグネシウム、ジルコニウム、タンタルなどの酸化物を設けることが提案されている。しかし、チタン、マグネシウム、ジルコニウム、タンタルなどの酸化物は非常に加工性が悪く、ドライエッチングによる加工に時間  
5 がかかったり、その構成元素である重金属が遊離してエッチング端面に付着したりして精密なパターンニングをしにくいという問題がある。そのため、とくに図8(a)に示されるように、キャパシタが設けられる絶縁膜にコンタクトホールを形成し、その中に設けられるプラグと電気的接続をする場合には使用できないという問題がある。

10 また、前述のように半導体層などと下部電極を絶縁膜のコンタクトホールに設けられるプラグを介して接続する強誘電体キャパシタなどを製造する場合、強誘電体層の配向性に優れるPtなどを下部電極に用いると、強誘電体層のPb、Zr、Oなどの構成元素を透過させやすく、強誘電体層と、プラグの材料に通常用いられるポリシリコンなどとの間で  
15 相互反応が生じ、キャパシタ特性を劣化させたり、半導体素子の素子特性を劣化させるという問題がある。さらに、強誘電体膜を成膜するのに適したPtなどの下部電極とプラグとの間の密着性は、必ずしも良好とはいえず、オーミック接触が低下するという問題がある。

本発明は、このような問題を解決するためになされたもので、強誘電  
20 体材料や高誘電率材料の構成元素であるTiやPbなどの構成元素がSiO<sub>2</sub>膜や半導体層に拡散して侵入するのを防止しながら、ドライエッチングによる加工性を向上させたキャパシタおよびその製法を提供することを目的とする。

本発明の他の目的は、誘電体層にウィークポイントの発生しにくい構造のキャパシタおよびその製法を提供することにある。  
25

本発明のさらに他の目的は、キャパシタの下部電極と、絶縁膜のコン

タクトホール内に設けられるプラグとの密着性の向上、および下部電極を通した誘電体層とプラグと間の相互作用の防止を図りながら、誘電体層と $\text{SiO}_2$ 膜や半導体層との相互作用の防止を図ることができる構造のキャパシタを提供することにある。

- 5 本発明のさらに他の目的は、下部電極をコンタクトホールを介して下層と電氣的に接続する場合にも、強誘電体層に対してバリア効果の大きいTi、Ta、Zrなどの高融点金属酸化物を、パターニングすることなく強誘電体などからなる誘電体層と $\text{SiO}_2$ などからなる絶縁膜との間にバリア層として介在させることができるキャパシタの製法を提供する
- 10 ことにある。

#### 発明の開示

- 本発明によるキャパシタは、シリコン酸化膜上に形成される下部電極と、該下部電極上に設けられ強誘電体材料または高誘電率材料からなる
- 15 誘電体層と、該誘電体層上に設けられる上部電極とからなり、前記下部電極はパターニングされて前記誘電体層が該下部電極よりはみ出して形成され、かつ、該下部電極よりはみ出した部分の前記誘電体層と前記シリコン酸化膜との間にSiを含む2種以上の複合金属酸化物またはシリコンチッ化物系化合物からなる絶縁バリア層が介在されている。

- 20 ここにキャパシタとは、通常の誘電体層が両側から金属電極により挟持されるキャパシタのほか、強誘電体メモリ(FRAM)のように、MOSトランジスタのゲート電極とキャパシタの下部電極とが共通にされたMFMS構造などのFET型構造のものも含む。また、シリコンチッ化物系化合物とは、シリコンチッ化物の他、シリコンチッ化物に酸素
- 25 原子が含まれ得る $\text{SiO}_u\text{N}_x$  ( $0 \leq u$ 、 $0 < x$ 、 $u$ および $x$ はSiを1としたときの含有比を示す)を含む意味である。

この構成にすることにより、絶縁バリア層は $SiO_2$ などに比べてTiやPbなどの強誘電体を構成する元素の拡散係数が小さかったり( $SiO_uN_x$ の場合)、同種の金属が存在するバリアとなる(2種以上の複合金属酸化物の場合)ため、その拡散を防止する。一方、Siを含有

5 しているため、エッチングをしやすく加工性に優れている。

前記絶縁バリア層に、前記誘電体層の構成元素を含有していることが、バリアとなって強誘電体層からのその元素の拡散を防止するためとくに好ましい。

前記絶縁バリア層の複合金属酸化物が、 $SiZr_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$ および $z$ はSiを1としたときの含有比を示す)、 $SiTi_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$ および $z$ はSiを1としたときの含有比を示す)または $SiTa_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$ および $z$ はSiを1としたときの含有比を示す)であれば強誘電体のTiやZrの拡散を防止しながら、ドライエッチングの加工性が向上するため好ましい。

10

前記絶縁バリア層が前記下部電極とほぼ同一面になるように形成されることにより、誘電体層にウィークポイントが形成されにくくなるため好ましい。

15

本発明によるキャパシタの他の形態は、絶縁膜上に形成されるコンタクトホール内に設けられる接続用のプラグと、該プラグと電氣的に接続

20 されるように形成される下部電極と、該下部電極上に設けられる誘電体層と、該誘電体層上に設けられる上部電極と、前記プラグおよび下部電極の間に介在される高融点金属または該高融点金属のチッ化物からなる密着層と、前記誘電体層が前記下部電極よりはみ出して前記絶縁膜上に延伸する部分の前記誘電体層および絶縁膜の間に介在される前記密着層

25 と同じ材料の酸化物からなる絶縁バリア層とからなっている。

この構成にすることにより、プラグと下部電極との間に密着層が介在

されており、下部電極のパターンからはみ出して絶縁膜上に延伸する誘電体層部分と絶縁膜との間には絶縁バリア層が介在されているため、いずれを介しても誘電体層の構成元素が絶縁膜や半導体層などに拡散するのを防止することができる。しかも、絶縁バリア層は高融点金属などの酸化物からなっているため、同時に形成された層の選択的酸化処理により形成することができ、エッチングなどの加工のしにくい高融点金属などの酸化物をパターンニングすることなく、絶縁バリア層として使用することができる。その結果、非常に良好な絶縁バリア層として作用すると共に、密着層は接合層として作用し、下部電極とプラグとの電氣的接続を非常に良好に保持する。

前記誘電体層が強誘電体または高誘電率の誘電体からなる場合にとくに効果が大きい。また、前記密着層は、高融点金属、該高融点金属のチッ化物または該チッ化物にさらにSiが含まれる導電体により形成される。

本発明によるキャパシタの製法は、(a)半導体基板上の絶縁膜に下層と電氣的接続をするためのコンタクトホールを形成し、(b)該コンタクトホール内に導電性材料を充填してプラグを形成し、(c)該プラグおよび前記絶縁膜上に高融点金属を含む導電体層を成膜し、(d)該導電体層上に電極材料を成膜し、パターンニングすることにより、下部電極を形成し、(e)該下部電極をマスクとして、該下部電極から露出する部分の前記導電体層を選択的に酸化処理することにより、前記下部電極の下側に密着層を、その外周に絶縁バリア層を形成し、(f)該絶縁バリア層上に延伸するように前記下部電極上に誘電体層を成膜し、(g)該誘電体層上に上部電極を形成することを特徴とする。

この方法を用いることにより、高融点金属などの酸化物による重金属をバリアする特性の優れた絶縁バリア層を、コンタクトホール部のパタ



ーニングをすることなく、非常に容易に形成することができる。

前記密着層の選択的な酸化処理は、酸素雰囲気中で熱処理をすることにより行うこともできるし、酸素イオンの打込みにより行うこともできる。

- 5 本発明によるキャパシタの製法の他の形態は、(a) 半導体基板上の絶縁膜上にSiを含む2種以上の複合金属酸化物層を成膜することにより絶縁バリア層を形成し、(b) 該絶縁バリア層の表面から前記絶縁膜を貫通して該絶縁膜の下層を露出させるコンタクトホールを形成し、
- (c) 該コンタクトホール内に導電性材料を充填してプラグを形成し、
- 10 (d) 該プラグと接触するように下部電極を形成し、(e) 該下部電極上に誘電体層および上部電極を形成することを特徴とする。

- この方法によれば、プラグと接続するキャパシタを絶縁バリア層を介在させて形成する場合でも、絶縁バリア層にSiが含まれているため、そのエッチング加工が容易で、簡単にコンタクトホールを形成すること
- 15 ができる。

前記上部電極を形成する前に、前記誘電体層の表面を平坦化処理することにより、誘電体層にウィークポイントが形成されないため好ましい。

#### 図面の簡単な説明

- 20 図1は、本発明によるキャパシタの一実施形態の製造工程を示す図である。

図2は、図1のキャパシタの変形例を示す断面説明図である。

図3は、本発明のキャパシタにおける他の構造例の製造工程を示す図である。

- 25 図4は、本発明のキャパシタにおける他の実施形態の製造工程を示す図である。

図5は、図4に示されるキャパシタの他の構造例を示す図である。

図6は、本発明によるキャパシタにおけるさらに他の実施形態の製造工程を示す図である。

図7は、強誘電体キャパシタを用いたメモリを示す図である。

5 図8は、従来のキャパシタの構造例を示す図である。

発明を実施するための最良の形態

本発明によるキャパシタの第1の形態は、図1(c)にその一実施形態の断面説明図が示されるように、たとえば半導体基板1上のシリコン酸化膜 $\text{SiO}_x$  (たとえば $\text{SiO}_2$ )膜2上に、後述する誘電体層5からの元素の拡散を防止する、たとえば $\text{SiN}_x$  (たとえば $\text{Si}_3\text{N}_4$ )からなる絶縁バリア層3が設けられ、その上に所望の大きさにパターンニングされた下部電極4、強誘電体材料または高誘電率材料からなり、下部電極4より大きくはみ出して形成される誘電体層5、および上部電極6  
15 が順次設けられることにより形成されている。その結果、下部電極4のない部分で誘電体層5が下部電極4からはみ出しているところは、絶縁バリア層3上に誘電体層5が直接積層された構造になっており、誘電体層5と $\text{SiO}_2$ などの $\text{SiO}_x$ 膜2との間に絶縁バリア層3が介在した構造になっていることに特徴がある。

20 すなわち、前述のように誘電体層5と $\text{SiO}_x$ 膜2とが直接接することによる拡散の問題や、誘電体層5と $\text{SiO}_x$ 膜2との間に $\text{TiO}_2$ 膜や $\text{ZrO}_2$ 膜などを介在させることによるドライエッチングの問題を解決するため、本発明者が鋭意検討を重ねた結果、 $\text{SiN}_x$ などのSiを含有し、PbやTiなどの拡散係数が小さいか、Siを含む2種以上の  
25 複合金属酸化物のような誘電体層の構成元素の拡散の障害となる金属を含む絶縁バリア層3を誘電体層5と $\text{SiO}_x$ 膜2との間に介在させるこ

とにより、誘電体層5の構成元素の拡散を防止しながら、絶縁バリア層3のパターニングも $\text{SiO}_u$ と同様に簡単に行うことができることを見出したものである。

絶縁バリア層3は、前述の $\text{Si}_3\text{N}_4$ などのシリコンチツ化膜( $\text{SiN}_x$ )の他に、たとえばシリコン酸化チツ化膜( $\text{SiO}_u\text{N}_x$ )を含むシリコンチツ化物系化合物または $\text{SiZr}_y\text{O}_z$ 、 $\text{SiTi}_y\text{O}_z$ 、 $\text{SiTa}_y\text{O}_z$ などのSiを含有して、誘電体層の構成元素や、その構成元素の拡散のバリアとなるPbやTiなどを含有する、2種以上の金属酸化物が用いられる。この絶縁バリア層3は、単層でもよいし、前述の材料の複数種類からなる複層で形成されてもよい。

誘電体層5としては、強誘電体メモリFETや、DRAM用のキャパシタには、たとえば強誘電体材料のチタン酸ジルコン酸鉛PZT( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ )、チタン酸ジルコン酸ランタン鉛PLZT( $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ )、SBT( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )、高誘電率材料のBST( $\text{Ba}, \text{St}, \text{Ti}, \text{O}$ )などが用いられる。これらの誘電体材料は、重金属を含んでおり、この重金属が拡散すると前述の問題が生じるが、本発明では絶縁バリア層3によりその拡散を防止している。

また、下部電極4および上部電極6としては、前述の誘電体層5を成膜した後に、酸化雰囲気中で $650\sim 850^\circ\text{C}$ 程度の高温で熱処理をして結晶化を図る必要があるため、高温の酸化雰囲気においても、表面に不導電性の酸化物が形成されて電気特性が損なわれないように、Pt、Ir、Ruなどの貴金属または貴金属の酸化物で導電性のある酸化イリジウムや酸化ルテニウムなどが用いられる。これらの貴金属にReが添加されることにより、電極のパターニングも容易になるというメリットがある。Irの物性はPtの物性とほぼ等しい。Irの抵抗率は、Pt

よりも小さく、酸素などを阻止するバリア性もPtより優れ、電極として好ましい材料である。また、酸化イリジウムの抵抗率は、 $49 \times 10^{-6} \Omega \cdot \text{cm}$ であって、電極材料として問題はなく、酸素などのバリア性は一層向上し好ましい。とくに、後述する例の下部電極をマスクとしてその下層の高融点金属層などを選択酸化する場合には、酸素などを阻止することができて好ましい。

つぎに、図1(a)～(c)を参照しながら本発明によるキャパシタの一実施形態の製法について説明をする。

まず、図1(a)に示されるように、 $\text{SiO}_2$ 膜2上に、たとえばCVD法により $\text{Si}_3\text{N}_4$ を堆積し、絶縁バリア層3を500～2000Å程度形成し、さらに真空蒸着などにより、たとえばPt膜4aを堆積する。ついで、図1(b)に示されるように、Pt膜4aを所定のパターンにエッチングすることにより下部電極4を形成する。その後、図1(c)に示されるように、スパッタリング法などにより、PZTを成膜して誘電体層5を形成し、さらに前述と同様にPt膜を成膜してパターンニングすることにより上部電極6を形成する。その後、酸化雰囲気中で650～850℃程度の高温熱処理を行うことにより、強誘電体層の結晶化を行う。その結果、図1(c)に示される構造のキャパシタが得られる。

本発明のキャパシタによれば、ZrやTiなどの拡散係数の小さい $\text{SiO}_u\text{N}_x$  (uが0の場合を含む、 $0 < x$ ) または $\text{SiZr}_y\text{O}_z$ や $\text{SiTi}_y\text{O}_z$ などのSiを含んだ2種以上の複合金属酸化物を誘電体層とシリコン酸化膜( $\text{SiO}_u$ 膜)との間に介在させているため、拡散係数が小さかったり、重金属のバリアとなるTiやZrなどの金属が含まれていることにより、重金属の拡散を阻止することができ、誘電体層のPbやTiなどの拡散を防止することができる。その結果、誘電体層への

クラックの発生も防止することができる。一方、この絶縁バリア層は、 $\text{Si}$ を含んでいるため、ドライエッチングの反応ガスである $\text{CH}_4$ 、 $\text{CHF}_3$ 、などと $\text{Si}$ は非常に反応しやすく、しかもその化合物は融点が低いため、そのままの化合物として除去される。そのため、 $\text{Si}$ の抜けた

5  $\text{Ti}$ や $\text{Zr}$ なども容易に分離しやすく反応ガスとの化合物として除去され、容易にエッチングをすることができる。その結果、精細なパターンニングをすることができる。

図2は、図1の変形例を示す同様の断面説明図で、この例は、たとえば誘電体層5をゾルゲル法により形成することにより、誘電体層5の表面を平坦面にしたものである。すなわち、図1に示される構造では、下部電極4のエッジ部分の誘電体層5が薄くなり、ウイークポイントとな

10 って上下の電極4、6の接触の危険性が生じるが、図2に示される構造にすることにより、下部電極4のエッジ部分でもウイークポイントは生ぜず、その虞れがなくなる。

15 この構造にするには、ゾルゲル法を用いなくても、スパッタリングなどにより厚く誘電体層を形成し、表面からケミカル・メカニカル・ポリッシュ（CMP）により表面を研磨することにより、表面の平坦化をしてもよい。さらに、誘電体層5の表面を平坦化しなくても、上部電極6を下部電極4より小さくなるようにパターンニングをすればウイークポイントの発生を防止することができる。

20

図3は、本発明によるキャパシタのさらに他の実施形態を、製造工程で示す図である。すなわち、この例はコンタクトホールをプラグにより埋め込み、その上にキャパシタを形成するスタックキャパシタの例である。

25 まず、前述の例と同様に、図3(a)に示されるように、 $\text{SiO}_2$ 膜2上に、たとえばCVD法により $\text{Si}_3\text{N}_4$ を堆積し、絶縁バリア層3

を500～2000 Å程度形成する。そして、図3 (b) に示されるように、絶縁バリア層3およびSiO<sub>2</sub>膜2をエッチングしてコンタクトホール11を形成する。その後、図3 (c) に示されるように、ポリシリコンやWなどをコンタクトホール11内に埋め込みプラグ7を形成する。そして、図1の例と同様に、真空蒸着などによりPt膜を堆積して、所定のパターンにエッチングすることにより下部電極4を形成する。さらに、スパッタリング法などにより、PZTを成膜して誘電体層5を形成し、さらに上部電極6を形成して高温熱処理を行うことにより、強誘電体層の結晶化を行う。その結果、図3 (d) に示されるスタックキャパシタが得られる。

図4に示される例は、図2に示される例と同様に、ウイークポイントをなくする他の製法例の説明図である。この例は、まず図4 (a) に示されるように、SiO<sub>2</sub>膜2上に、たとえばPt膜4aを成膜し、ついでパターンングをして下部電極4を形成し (図4 (b) 参照)、その上に下部電極4より厚くなるように、絶縁バリア膜3aをスパッタリング法などにより成膜する (図4 (c) 参照)。そして、CMP法により表面を研磨して、下部電極4の表面と絶縁バリア層3の表面を揃える (図4 (d) 参照)。その後、前述の各例と同様に、誘電体層5および上部電極6を形成する。この方法によれば、下部電極4のエッジ部で誘電体層5にウイークポイントが発生することを防止することができる。

図5 (a) ～ (e) は、図4と同様に、スタックキャパシタの誘電体層5にウイークポイントが発生しないように製造する工程図である。図3および図4と同じ部分には同じ符号を付してその説明を省略する。この方法によれば、スタックキャパシタにおいて、誘電体層にウイークポイントが発生することがなく、信頼性の高いスタックキャパシタが得られる。

以上の発明によれば、誘電体層とシリコン酸化膜との間に強誘電体材料などの構成元素であるPbやTiなどが拡散する度合いの小さい（拡散係数の小さい）材料または拡散のバリアとなる絶縁バリア層が設けられているため、拡散に伴う素子特性の劣化や誘電体層のクラックなどが生じない。一方で絶縁バリア層はSiを含有しているため、ドライエッチングなどの加工がしやすい。その結果、製造コストが低く高性能のキャパシタが得られる。

以上の各例では、SiO<sub>2</sub>膜上に下部電極、誘電体層、上部電極が順次積層されるキャパシタの例であったが、強誘電体メモリFET（FRAM）のように、MOSFETのゲート電極と兼用して下部電極が設けられ、その上に強誘電体層および上部電極が設けられる、MFMISS構造などの強誘電体メモリFETのようなキャパシタでも同様である。

前述の各例は、誘電体層5と絶縁膜2間の重金属などの移動を阻止する絶縁バリア層のみの好ましい例であったが、前述の図3および図5に示されるようなスタックキャパシタでは、とくにPtなどからなる下部電極4と、プラグとの密着性がよくなく、オーミック接触性が低下すること、下部電極4を介してプラグ7側に誘電体層を構成する元素が拡散すること、という問題がある。すなわち、下部電極4に、前述のように、PtやIr（Ptよりはバリア性は高い）などが用いられると、強誘電体の配向性を良好に維持する反面、柱状多結晶であるため、誘電体層の構成元素を透過しやすいという性質を有している。図6は、このような問題を解決するキャパシタの同様な製造工程を示す図である。

この例は、図6（e）に示されるように、下部電極4とプラグ7との間にTi膜などからなる密着層8が介在され、下部電極4とプラグ7との密着性の改良および相互拡散の阻止がなされている。さらに、密着層8として、Ti、Taなどの高融点金属が用いられることにより、前述

の絶縁バリア層3の代わりに、これらの導電体を選択酸化して絶縁化し、絶縁バリア層8Sとすることができ、密着層8と同じ材料の酸化物が絶縁バリア層8Sとして用いられている。その結果、コンタクト部のパターンニングをする必要がなく、バリア性の強い絶縁バリア層8Sを密着層5  
8と共に一層で形成することができ、簡単な製造工程で下部電極4を介した誘電体層5からの拡散、および絶縁膜2上の誘電体層5からの直接の拡散の両方を同時に阻止することができ、高特性のキャパシタが得られる。なお、密着層8および絶縁バリア層8S以外の部分は図1に示される例と同じで、同じ符号を付してその説明を省略する。

10 密着層8としては、Ti、Ta、Zr、W、Nb、Cr、Mo、Vなどからなる高融点金属、これらの高融点金属のチッ化物、またはこれらのチッ化物にさらにAlやSiを含有させたTaAlN、TaSiNなどの合金を用いることができる。

Tiは、Siおよび酸化シリコンとの密着性が良好であり、下部電極15  
および強誘電体層との密着性の向上を図ることができる。すなわち、下部電極4の材料であるPtやIrなどとプラグ7の材料であるSiまたはSiO<sub>2</sub>膜2との密着性はあまりよくない。そのため、部分的に膜剥がれや強誘電特性を劣化させる虞れがあるが、密着層8としてTi層を用いることにより、接合層として作用し、密着性が向上する。

20 また、Ti層は、プラグ7を構成する多結晶シリコン層と下部電極4との間のバリア層としても機能する。下部電極4としてPtやIrが用いられると、その柱状結晶性により、たとえばPZTのO、Pb、Zrなどの構成元素が拡散しやすいが、Ti層が介在されることにより、とくにその拡散が阻止され、これらの元素が抜け出したりすることもなく、  
25 経年変化および分極反転の繰り返しによっても変化はなく、良好な強誘電性を維持することが可能となる。また、プラグ7が多結晶シリコンで、



その不純物濃度が高濃度の場合、そのドーパントが下部電極4側に拡散する可能性があるが、このTi層によりその拡散も阻止される。さらに、Ti層が用いられることにより、下部電極4の周囲の部分を酸化させ、酸化チタン層にすることにより、絶縁膜5上に延びる誘電体層5から絶縁膜2への拡散を阻止する絶縁バリア層8Sとして機能し、密着性の向上と共に強誘電特性を改善することができる。

Taは、酸化物である酸化タンタルも同様に、拡散バリア効果が高いため、より拡散防止機能が高いという特徴を有している。

Wは、低抵抗であり、密着性、オーミック接触性などにおいて多結晶シリコンと良好な組合せとなり得る。

チッ化チタニウムは、Tiよりもさらにバリア性が高い導電体であり、プラグが高濃度にドーパされた多結晶シリコン層の場合にも、プラグの不純物が下部電極に拡散するのを防止することができ、その一方で、酸化チタン層は絶縁層と誘電体層との間で絶縁バリアとして有効なバリア性を発揮する。また、Tiは、前述のように、密着性が良好であり、Siと反応してTiSiを形成し、オーミック接触性が向上する。従って、Tiとチッ化チタニウムの2層構造で用いるのが望ましい。

Ti、Ta、Zr、Wなどのチッ化物にさらにAlやSiを含有させたTaAlN、TaSiNなどの合金も、同様に接合層およびバリア層として機能すると共に、加工性が良好になるという利点がある。たとえば、Ta<sub>2</sub>NにAlを加えたTaAlNは、エッチングが容易であり、加工性が良好であるため、パターンングが必要である場合にとくに有効である。また、Ta<sub>2</sub>NにSiを加えたTaSiNは、シリコンを含有しているため、酸化シリコンからのSiの拡散防止効果が高く、また、Ta<sub>2</sub>Nに比べてエッチングが容易であり、加工性が良好であるため、これもパターンングが必要な場合に有効である。さらにまた、TaSiNは、S

i の添加により微結晶またはアモルファスとなり、バリア性が一層向上する。

絶縁バリア層 8 S は、前述の密着層 8 と同じ材料の酸化物が用いられている。すなわち、Ti、Ta、Zr、W、Nb、Cr、Mo、V など  
5 からなる高融点金属、またはこれらのチッ化物もしくはさらに Si を含むものの、それぞれの酸化物が用いられる。これらの酸化物は、いずれも強誘電体材料の構成元素である Ti、Pb などの拡散を阻止する高い  
10 バリア機能を有しており、誘電体層 5 と絶縁膜 2 との間に介在されることにより、誘電体層 5 を構成する元素が絶縁膜 2 や半導体層 1 に侵入するのを防止することができる。しかも、密着層 8 と同一材料で形成されることにより、密着層 8 を絶縁バリア層 8 S の形成部分にも同時に形成しておき、選択的に酸化処理をするだけで絶縁バリア層 8 S を簡単に形成  
15 することができる。しかも、バリア性は優れているがパターニングなどの加工性が劣る、高融点金属の酸化物をパターニングすることなく、誘電体層と絶縁膜との間に介在させることができる。

この選択的酸化は、たとえば Ir や酸化イリジウムなどからなる下部電極 4 をマスクとして、下部電極 4 から露出する部分を酸素雰囲気下で熱処理をすることによりなされる。Pt のみでは酸素を通しやすいため、  
20 マスクとしては好ましくない。この酸素雰囲気下での熱処理によれば、簡単に酸化膜を選択的に形成することができる。しかし、酸素雰囲気中での熱処理に代えて、下部電極 4 をマスクとして酸素をイオン注入し、なまし処理を行うことによっても選択的に酸化することができる。このような方法を用いれば、高温の熱処理を避けることができ、また、酸素イオンの注入領域の下地は絶縁膜であるため、酸素イオンが下地まで到着しても、特性に影響を及ぼすことがない。したがって、下層に Al 配  
25 線などの融点の低い材料を使用している場合でも、採用することができる。

る。

つぎに、図6(a)～(e)を参照しながら具体例により、このキャパシタの製法を説明する。まず、Si基板1の表面を熱酸化し、膜厚が600nm程度のSiO<sub>2</sub>膜(絶縁膜)2を形成した後、この絶縁膜2

5 にコンタクトホール11を形成する。そして、図6(a)に示されるように、コンタクトホール11内に高濃度にドーパされた多結晶シリコン層を埋め込みプラグ7を形成する。その後、基板1の表面全体にスパッタリング法により膜厚10～100nm程度のTi層(導電体層)8aを成膜する。

10 ついで、図6(b)に示されるように、真空状態を維持したまま、Irをターゲットとして、Arと酸素の混合ガスを用いて、酸化イリジウム層をTi層8a上に50nm程度成膜する。そして、さらにこの上にPtをターゲットとして用い、Pt層を200nm程度成膜し、酸化イリジウム層とPt層との2層構造4aを形成する。

15 その後、2層構造4aをフォトリソグラフィ工程によりパターニングをして、図6(c)に示されるように、下部電極4を形成する。さらに、この下部電極4をマスクとして、600～800℃程度の酸素雰囲気中で30～60分程度熱処理を行うことにより、図6(d)に示されるように、下部電極4のパターンから露出するTi層8aが選択的に酸化され、酸化チタンからなる絶縁バリア層8Sが形成される。このとき下部

20 電極4の下のTi層8aは酸化されないでそのまま密着層8となる。

つぎに、この下部電極4の上にゾルゲル法によって、たとえばPZTからなる強誘電体の誘電体層5を形成する。具体的には、原材料のPb(CH<sub>3</sub>COO)<sub>2</sub>・3H<sub>2</sub>O、Zr(t-OC<sub>4</sub>H<sub>9</sub>)<sub>4</sub>、およびTi(i-OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>の混合溶液を用い、前述の下部電極4および絶縁バリア層

25 8S上にスピコートし、150℃程度で乾燥させ、さらにドライエア

一雰囲気において、400℃程度で30分程度の仮焼成を行った。これを5回繰り返した後、 $O_2$ の雰囲気中で、700℃以上の温度で熱処理を施した。このようにして、250nm程度の厚さの強誘電体からなる誘電体層5を形成した。なお、ここでは、 $PbZr_vTi_{1-v}O_3$ のvを0.52としてPZT膜を形成した。

さらに、誘電体層5の上にスパッタリング法により酸化イリジウムとIrとの積層膜を形成し、パターニングすることにより、図6(e)に示されるように、上部電極6を形成した。ここでは、Ir層と酸化イリジウム層とを合わせて200nm程度の厚さになるように形成した。その結果、図6(e)に示される構造のキャパシタが得られた。

このキャパシタは、たとえば図7に示されるようなMOSFETのソース・ドレイン領域10の一方とプラグ7を介して下部電極4が接続するように、基板1表面を覆うように設けられた絶縁膜2上に形成される。なお、WLは、ゲート絶縁膜を介して半導体基板1の表面に形成されたゲート電極が連結されたワードライン、BLはビットラインである。

この構成にすることにより、プラグ7と下部電極4との間にはTiからなる密着層8が介在されており、誘電体層5と絶縁膜2との間には酸化チタンからなる絶縁バリア層8Sが介在されている。そのため、プラグ7と下部電極4との間の密着性はよく、低抵抗で接触すると共に、誘電体層5とプラグ7との間でその構成元素が相互に拡散することがなく、それぞれの特性を低下させることもない。また、誘電体層5の構成元素が絶縁膜や半導体層へ拡散することも、絶縁バリア層8Sにより阻止され、半導体素子の素子特性を劣化させることもない。その結果、信頼性の高い強誘電体キャパシタが得られる。一方、絶縁バリア層8Sは、密着層8と同時に成膜した導電体膜を選択的に酸化するだけで形成されるため、加工性の悪い高融点金属酸化物に拘わらず、加工することなく非

常に簡単に形成される。

この例では、誘電体層5として、PZTからなる強誘電体膜が用いられたが、SBTからなる強誘電体、BSTからなる高誘電率誘電体などを用いる場合でも同様である。

- 5 この図6に示される発明によれば、製造が容易で微細化、高集積化が可能で、信頼性の高いキャパシタが得られる。また、下部電極とプラグとの密着性を向上させ、かつ、下部電極を介した誘電体層とプラグとの間での相互拡散を防止すると共に、誘電体層と絶縁膜との間の拡散を防止する絶縁バリア層も、バリア能力の大きい高融点金属の酸化物として
- 10 形成することができ、長期に亘って、良好に強誘電体の特性を維持することができる。そのため、経年変化および分極反転による劣化の少ない強誘電体キャパシタを得ることができる。

#### 産業上の利用性

- 15 本発明によれば、強誘電体や高誘電率誘電体を用いたキャパシタを含む半導体装置を、非常に小さく高性能に作製することができ、強誘電体メモリ、DRAM（ダイナミック・ランダム・アクセス・メモリ）などに利用することができ、コンピュータなどのさらなる高性能化に寄与する。

## 請求の範囲

- 1 シリコン酸化膜上に形成される下部電極と、該下部電極上に設けられ強誘電体材料または高誘電率材料からなる誘電体層と、該誘電体層  
5 上に設けられる上部電極とからなり、前記下部電極はパターンニングされて前記誘電体層が該下部電極よりはみ出して形成され、かつ、該下部電極よりはみ出した部分の前記誘電体層と前記シリコン酸化膜との間に Si を含む 2 種以上の複合金属酸化物またはシリコンチッ化物系化合物からなる絶縁バリア層が介在されてなるキャパシタ。
- 10 2 前記絶縁バリア層が、前記誘電体層の構成元素を含有する請求項 1 記載のキャパシタ。
- 3 前記絶縁バリア層の複合金属酸化物が、 $SiZr_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$  および  $z$  は Si を 1 としたときの含有比を示す) または  $SiTi_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$  および  $z$  は Si を 1 としたときの含有  
15 比を示す) または  $SiTa_yO_z$  ( $0 < y$ 、 $0 < z$ 、 $y$  および  $z$  は Si を 1 としたときの含有比を示す) である請求項 1 記載のキャパシタ。
- 4 前記絶縁バリア層が前記下部電極とほぼ同一面になるように形成されてなる請求項 1 記載のキャパシタ。
- 5 絶縁膜に形成されるコンタクトホール内に設けられる接続用のプラグと、該プラグと電氣的に接続されるように形成される下部電極と、  
20 該下部電極上に設けられる誘電体層と、該誘電体層上に設けられる上部電極と、前記プラグおよび下部電極の間に介在される密着層と、前記誘電体層が前記下部電極よりはみ出して前記絶縁膜上に延伸する部分の前記誘電体層および絶縁膜の間に介在される前記密着層と同じ材料の酸化物  
25 からなる絶縁バリア層とからなるキャパシタ。
- 6 前記誘電体層が強誘電体または高誘電率の誘電体からなる請求項

5 記載のキャパシタ。

7 前記密着層が、高融点金属、該高融点金属のチッ化物または該チッ化物にさらにSiが含まれる導電体からなる請求項5記載のキャパシタ。

- 5 8 (a) 半導体基板上の絶縁膜に下層と電気的接続をするためのコンタクトホールを形成し、
- (b) 該コンタクトホール内に導電性材料を充填してプラグを形成し、
- (c) 該プラグおよび前記絶縁膜上に高融点金属を含む導電体層を成膜し、
- 10 (d) 該導電体層上に電極材料を成膜し、パターニングすることにより、下部電極を形成し、
- (e) 該下部電極をマスクとして、該下部電極から露出する部分の前記導電体層を選択的に酸化処理することにより、前記下部電極の下側に密着層を、その外周に絶縁バリア層を形成し、
- 15 (f) 該絶縁バリア層上に延伸するように前記下部電極上に誘電体層を成膜し、
- (g) 該誘電体層上に上部電極を形成することを特徴とするキャパシタの製法。

- 9 前記導電体層の選択的な酸化処理を、酸素雰囲気中で熱処理をす
- 20 ることにより行う請求項8記載の製法。

10 前記バリア層の選択的な酸化処理を、酸素イオンの打込みにより行う請求項8記載の製法。

- 11 (a) 半導体基板上の絶縁膜上にSiを含む2種以上の複合金属酸化物層を成膜することにより絶縁バリア層を形成し、
- 25 (b) 該絶縁バリア層の表面から前記絶縁膜を貫通して該絶縁膜の下層を露出させるコンタクトホールを形成し、

(c) 該コンタクトホール内に導電性材料を充填してプラグを形成し、  
(d) 該プラグと接触するように下部電極を形成し、  
(e) 該下部電極上に誘電体層および上部電極を形成する  
ことを特徴とするキャパシタの製法。

- 5 12 前記上部電極を形成する前に、前記誘電体層の表面を平坦化処理する請求項11記載の製法。



図 1

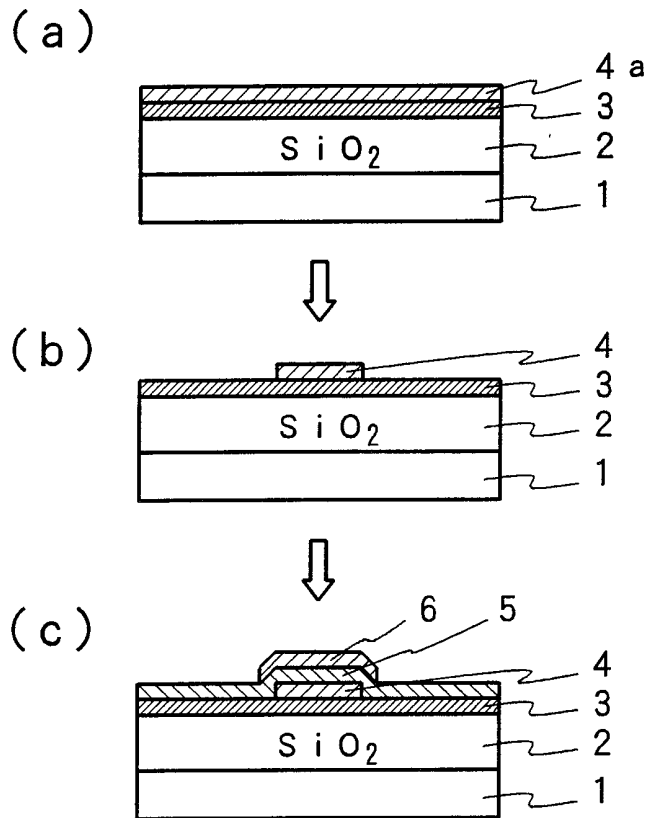


図 2

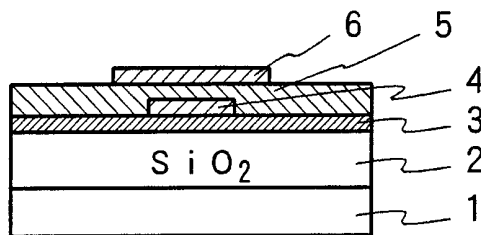


図 3

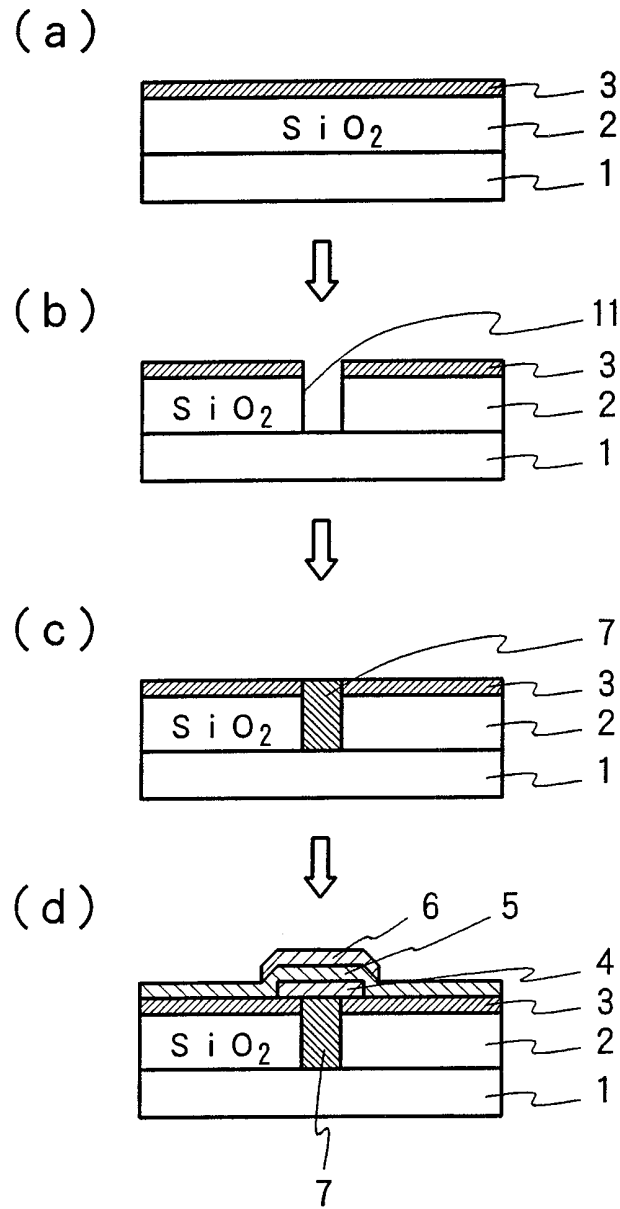
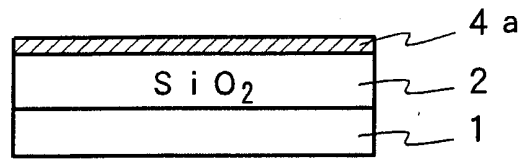
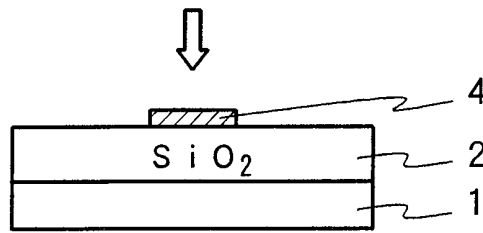


図 4

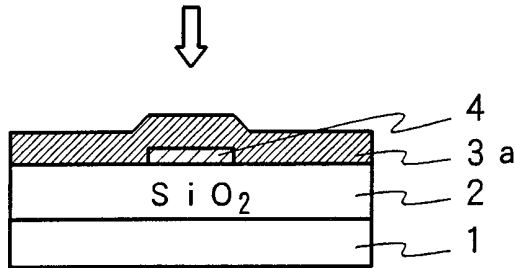
(a)



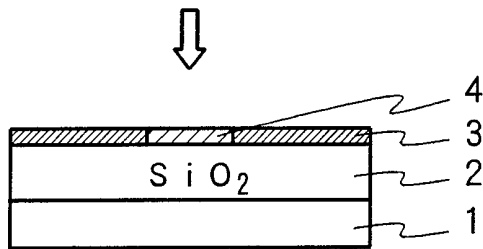
(b)



(c)



(d)



(e)

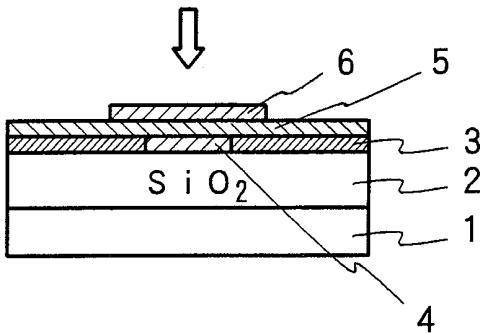


図 5

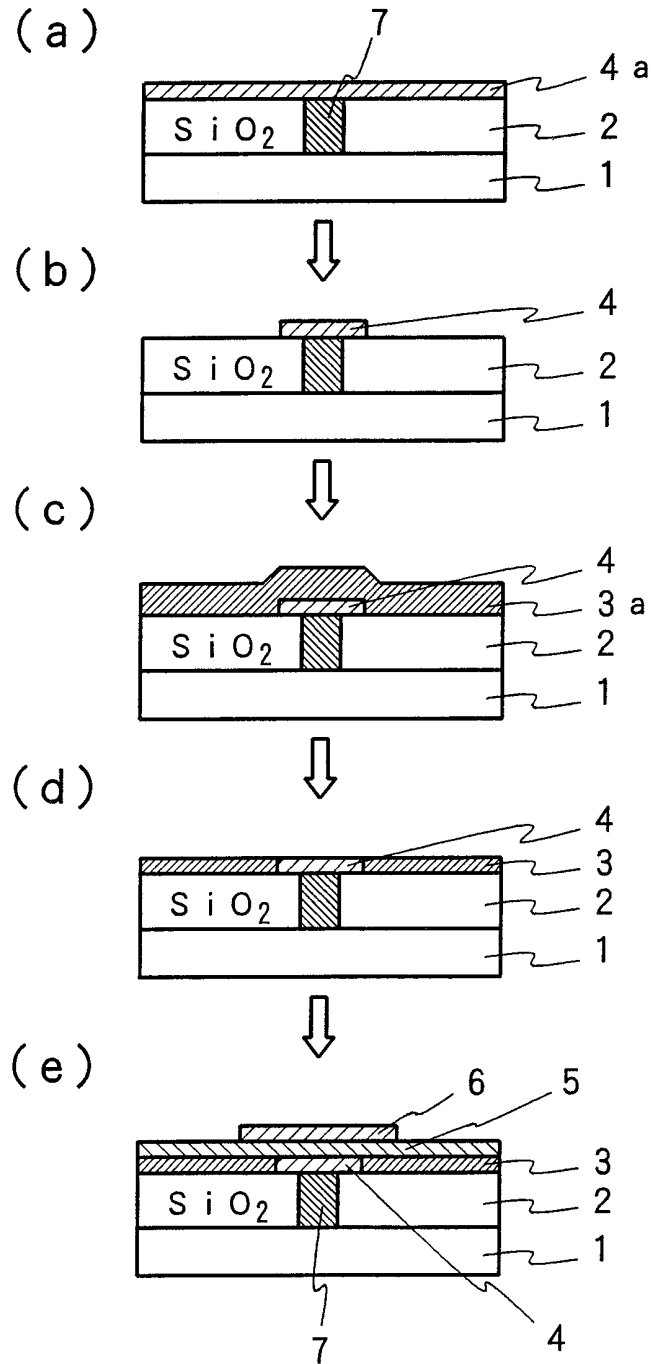


図 6

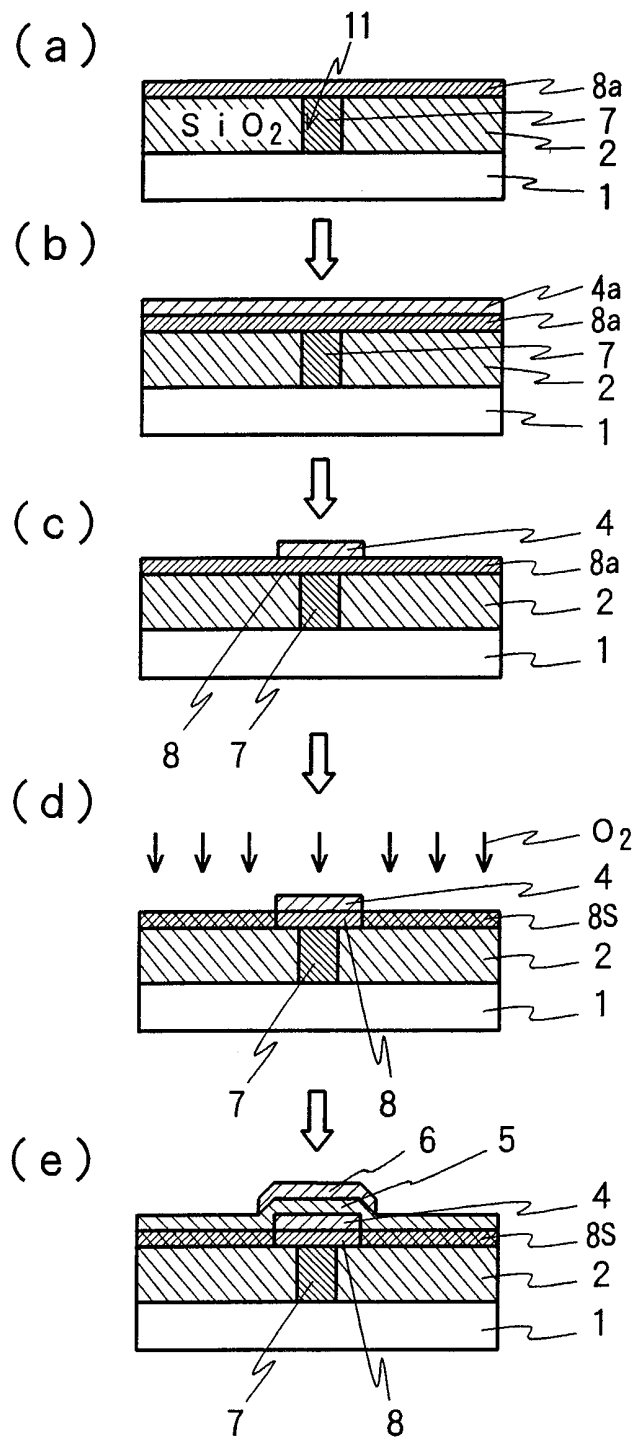


図 7

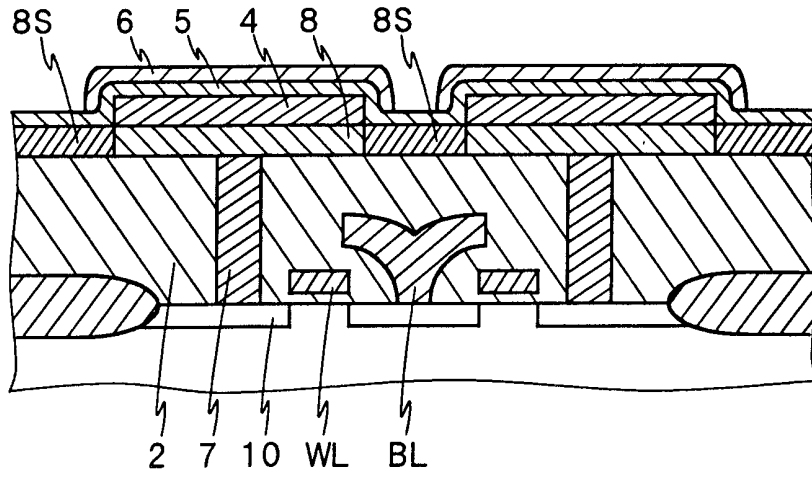
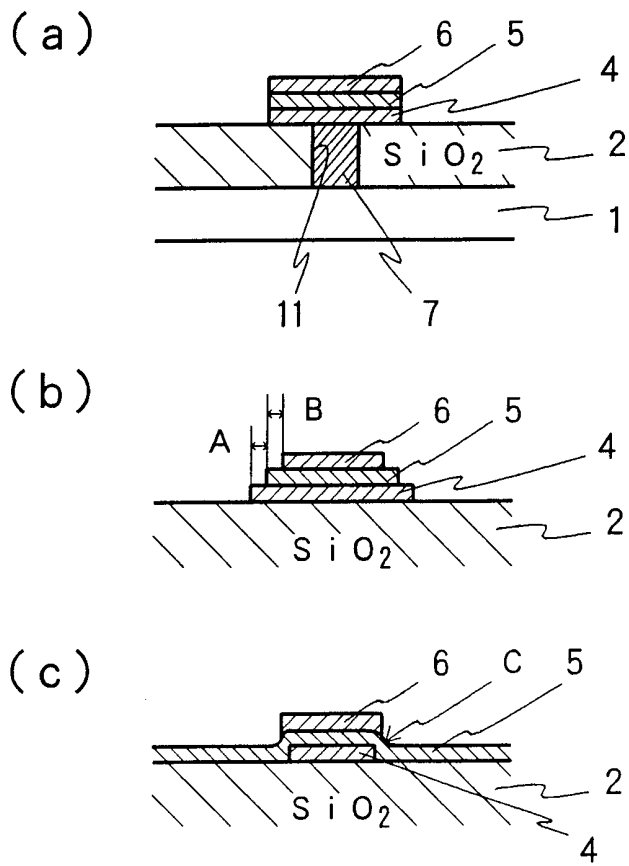


図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00597

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl<sup>7</sup> H01L27/04</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																																									
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl<sup>7</sup> H01L27/04</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																																									
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP, 10-335597, A (NEC Corporation), 18 December, 1998 (18.12.98),</td> <td>1-3</td> </tr> <tr> <td>Y</td> <td>Full text; Figs. 1 to 6 (Family: none)</td> <td>4-12</td> </tr> <tr> <td>Y</td> <td>JP, 10-242399, A (Samsung Electron Co., Ltd. ), 11 September, 1998 (11.09.98), Full text; Figs. 1 to 11 &amp; US, 5892254, A</td> <td>5-12</td> </tr> <tr> <td>Y</td> <td>JP, 10-209394, A (Mitsubishi Electric Corporation), 07 August, 1998 (07.08.98), Full text; Figs. 1 to 8 (Family: none)</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>US, 5638319, A (Sharp Kabushiki Kaisha), 10 June, 1997 (10.06.97), Full text; Figs. 1 to 13 &amp; JP, 8-335673, A</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>JP, 8-162619, A (Hitachi, Ltd.),</td> <td>1-12</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p> <table border="1"> <tr> <td>* Special categories of cited documents:</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier document but published on or after the international filing date</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"&amp;" document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table> <table border="1"> <tr> <td>Date of the actual completion of the international search 02 May, 2000 (02.05.00)</td> <td>Date of mailing of the international search report 02 May, 2000 (02.05.00)</td> </tr> <tr> <td>Name and mailing address of the ISA/ Japanese Patent Office</td> <td>Authorized officer</td> </tr> <tr> <td>Facsimile No.</td> <td>Telephone No.</td> </tr> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP, 10-335597, A (NEC Corporation), 18 December, 1998 (18.12.98),	1-3	Y	Full text; Figs. 1 to 6 (Family: none)	4-12	Y	JP, 10-242399, A (Samsung Electron Co., Ltd. ), 11 September, 1998 (11.09.98), Full text; Figs. 1 to 11 & US, 5892254, A	5-12	Y	JP, 10-209394, A (Mitsubishi Electric Corporation), 07 August, 1998 (07.08.98), Full text; Figs. 1 to 8 (Family: none)	1-12	Y	US, 5638319, A (Sharp Kabushiki Kaisha), 10 June, 1997 (10.06.97), Full text; Figs. 1 to 13 & JP, 8-335673, A	1-12	Y	JP, 8-162619, A (Hitachi, Ltd.),	1-12	* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed		Date of the actual completion of the international search 02 May, 2000 (02.05.00)	Date of mailing of the international search report 02 May, 2000 (02.05.00)	Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	Facsimile No.	Telephone No.
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																																							
X	JP, 10-335597, A (NEC Corporation), 18 December, 1998 (18.12.98),	1-3																																							
Y	Full text; Figs. 1 to 6 (Family: none)	4-12																																							
Y	JP, 10-242399, A (Samsung Electron Co., Ltd. ), 11 September, 1998 (11.09.98), Full text; Figs. 1 to 11 & US, 5892254, A	5-12																																							
Y	JP, 10-209394, A (Mitsubishi Electric Corporation), 07 August, 1998 (07.08.98), Full text; Figs. 1 to 8 (Family: none)	1-12																																							
Y	US, 5638319, A (Sharp Kabushiki Kaisha), 10 June, 1997 (10.06.97), Full text; Figs. 1 to 13 & JP, 8-335673, A	1-12																																							
Y	JP, 8-162619, A (Hitachi, Ltd.),	1-12																																							
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																																								
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																																								
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																																								
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family																																								
"O" document referring to an oral disclosure, use, exhibition or other means																																									
"P" document published prior to the international filing date but later than the priority date claimed																																									
Date of the actual completion of the international search 02 May, 2000 (02.05.00)	Date of mailing of the international search report 02 May, 2000 (02.05.00)																																								
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer																																								
Facsimile No.	Telephone No.																																								

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00597

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	21 June, 1996 (21.06.96), Full text; Figs. 1 to 24 (Family: none)	



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-335597, A (日本電気株式会社) 18. 12月. 1998 (18. 12. 98)	1-3
Y	全文, 図1-6 (ファミリーなし)	4-12
Y	JP, 10-242399, A (三星電子株式会社) 11. 9月. 1998 (11. 09. 98) 全文, 図1-11 & US, 5892254, A	5-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日 02.05.00

国際調査報告の発送日 02.05.00

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 小野田 誠



4M 8427

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 10-209394, A (三菱電機株式会社) 7. 8月. 1998 (07. 08. 98) 全文, 図1-8 (ファミリーなし)	1-12
Y	US, 5638319, A (Sharp Kabushiki Kaisha) 10. 6月. 1997 (10. 06. 97) 全文, 図1-13 & JP, 8-335673, A	1-12
Y	JP, 8-162619, A (株式会社日立製作所) 21. 6月. 1996 (21. 06. 96) 全文, 図1-24 (ファミリーなし)	1-12