



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I414936 B

(45) 公告日：中華民國 102 (2013) 年 11 月 11 日

(21) 申請案號：099118226

(22) 申請日：中華民國 99 (2010) 年 06 月 04 日

(51) Int. Cl. : **G06F11/22 (2006.01)**

(71) 申請人：廣達電腦股份有限公司 (中華民國) QUANTA COMPUTER INC. (TW)

桃園縣龜山鄉文化二路 188 號

(72) 發明人：游春傑 YU, CHUN JIE (TW) ; 呂俊毅 LU, CHUN YI (TW) ; 陳鈺輝 CHEN, YU HUEI (TW) ; 郭志宏 KUO, CHIH HUNG (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

US 2003/0061020A1

審查人員：李開暉

申請專利範圍項數：7 項 圖式數：3 共 0 頁

(54) 名稱

電腦系統之除錯方法

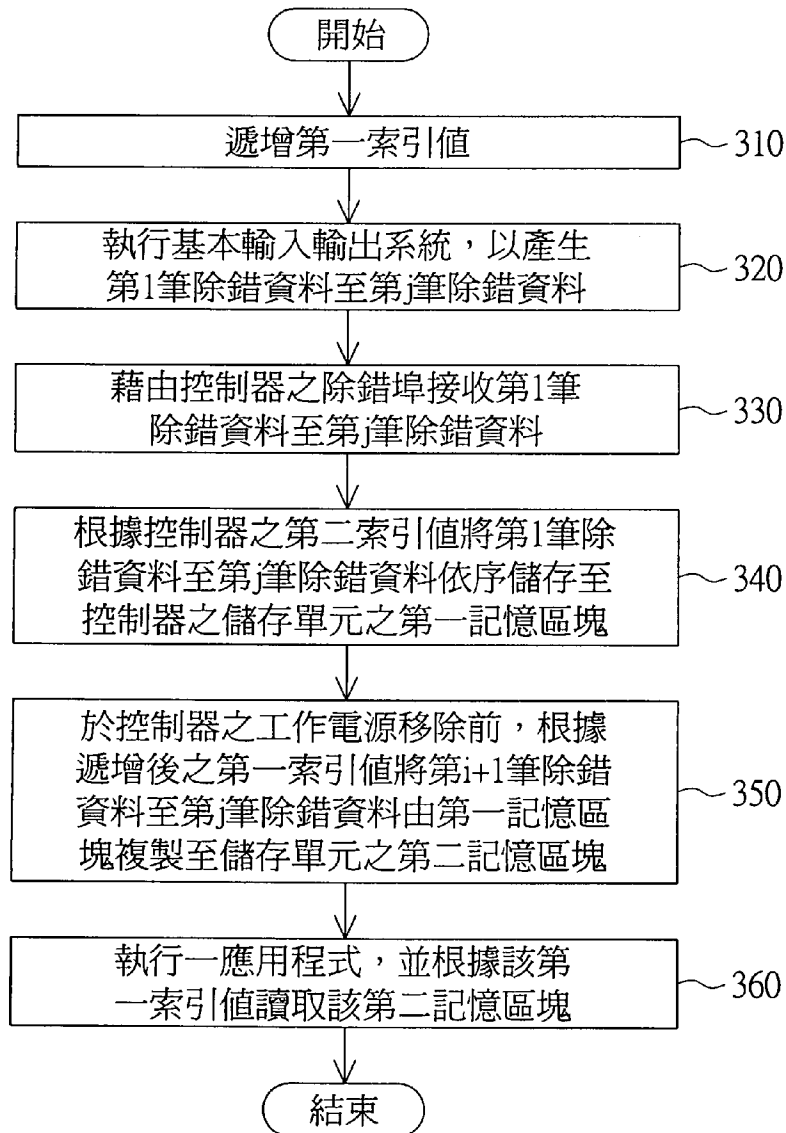
DEBUG METHOD FOR COMPUTER SYSTEM

(57) 摘要

一種電腦系統之除錯方法包括：遞增第一索引值；藉由控制器之除錯埠(Debug Port)接收第 1 筆除錯資料至第 j 筆除錯資料；根據控制器之第二索引值將第 1 筆除錯資料至第 j 筆除錯資料依序儲存至控制器之儲存單元之第一記憶區塊；於控制器之工作電源移除前，根據遞增後之第一索引值將第 i+1 筆除錯資料至第 j 筆除錯資料由第一記憶區塊複製至第二記憶區塊；以及執行應用程式，並根據第一索引值讀取第二記憶區塊；其中，i 及 j 係為整數。

A debug method for computer system is disclosed. First, a first index is increased. Then, a first debug data to a jth debug data are received via a debug port of controller. A(i+1)th debug data to the jth debug data copy to a second memory block from a first memory block according to increased first index before a controller' power is removed. Wherein the i and j are integer. An application is implemented so that the second memory block is read according to the first index.

310、320、330、
340、350、
360 . . . 步驟



第 3 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99118226

※申請日：99.6.4

※IPC 分類：

G06F 11/22

(2006.01)

一、發明名稱：(中文/英文)

電腦系統之除錯方法/ DEBUG METHOD FOR COMPUTER SYSTEM

二、中文發明摘要：

一種電腦系統之除錯方法包括：遞增第一索引值；藉由控制器之除錯埠(Debug Port)接收第 1 筆除錯資料至第 j 筆除錯資料；根據控制器之第二索引值將第 1 筆除錯資料至第 j 筆除錯資料依序儲存至控制器之儲存單元之第一記憶區塊；於控制器之工作電源移除前，根據遞增後之第一索引值將第 i+1 筆除錯資料至第 j 筆除錯資料由第一記憶區塊複製至第二記憶區塊；以及執行應用程式，並根據第一索引值讀取第二記憶區塊；其中，i 及 j 係為整數。

三、英文發明摘要：

A debug method for computer system is disclosed. First, a first index is increased. Then, a first debug data to a jth debug data are received via a debug port of controller. A (i+1)th debug data to the jth debug data copy to a second memory block from a first memory block according to increased first index before a controller' power is removed. Wherein the i and j are integer. An application is implemented so that the second memory block is read according to the first index.

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

310、320、330、340、350、360：步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種電腦系統之除錯方法，且特別是有關於一種不需使用除錯卡之電腦系統之除錯方法。

【先前技術】

在電腦開機程序中，係由中央處理器先讀取基本輸入輸出系統(Basic Input/Output System, BIOS)以執行電腦周邊硬體(如硬碟、光碟機等)的初始設定和測試，而在確認電腦周邊硬體元件均正常運作之後，接著電腦的中央處理器就會開始讀取儲存於硬碟中的開機作業系統資料，藉以載入電腦中各個軟硬體元件的控制與運算。然而，若是在上述的開機程序中有出現硬體設定異常或是軟體運算錯誤等問題，則會使電腦無法順利地啟動，甚至會產生當機的現象，此時，就需要使用除錯卡來進行電腦運作檢測，以輔助使用者順利地找出問題所在，進而排除開機錯誤。

一般常見的除錯卡係利用單個或多個以上的七段顯示器(7-segment display)，藉以顯示電腦開機時所傳來的除錯資料。請參閱第 1 圖，第 1 圖繪示係為傳統電腦藉由除錯卡進行除錯之示意圖。傳統電腦 1 包括中央處理器 12 及主機板 11。中央處理器 12 係安裝於主機板 11 上，而除錯卡 13 係藉由安裝於主機板 11 上與中央處理器 12 耦接。

除錯卡 13 包括匯流排傳輸介面 132、微處理晶片 134

及七段顯示器 136，且微處理晶片 134 係電連接於匯流排傳輸介面 132 及七段顯示器 136。微處理晶片 134 係用來經由匯流排傳輸介面 132 讀取中央處理器 12 執行基本輸入輸出系統時所傳來之除錯資料，如開機自我測試(Power On Self Test, POST)碼。微處理晶片 134 並控制七段顯示器 136 顯示除錯資料，以作為開機程序除錯之用。

然而，此種作法不僅需額外購置除錯卡，且必須先打開電腦機殼才能安裝除錯卡。倘若有多台電腦需進行開機程序除錯，則必須於各電腦反覆地插入及移除除錯卡以進行開機，不僅耗時費力且相當不便

【發明內容】

本發明係有關於一種電腦系統之除錯方法，不僅不需要額外購置除錯卡且不需打開電腦機殼安裝除錯卡，大幅度地提高使用上的便利性。

根據本發明之一方面，提出一種電腦系統之除錯方法。電腦系統之除錯方法包括：遞增第一索引值；藉由控制器之除錯埠(Debug Port)接收第 1 筆除錯資料至第 j 筆除錯資料；根據控制器之第二索引值將第 1 筆除錯資料至第 j 筆除錯資料依序儲存至控制器之儲存單元之第一記憶區塊；於控制器之工作電源移除前，根據遞增後之第一索引值將第 i+1 筆除錯資料至第 j 筆除錯資料由第一記憶區塊複製至儲存單元之第二記憶區塊；以及執行應用程式，並根據第一索引值讀取第二記憶區塊；其中，i 及 j 係為整數。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

為了改善傳統開機程序除錯必需使用除錯卡之不便，下述實施例揭露一種電腦系統之除錯方法，且包括如下步驟：遞增第一索引值；藉由控制器之除錯埠 (Debug Port) 接收第 1 筆除錯資料至第 j 筆除錯資料；根據控制器之第二索引值將第 1 筆除錯資料至第 j 筆除錯資料依序儲存至控制器之儲存單元之第一記憶區塊；於控制器之工作電源移除前，根據遞增後之第一索引值將第 i+1 筆除錯資料至第 j 筆除錯資料由第一記憶區塊複製至儲存單元之第二記憶區塊；以及執行應用程式，並根據第一索引值讀取第二記憶區塊；其中，i 及 j 係為整數。

請同時參照第 2 圖及第 3 圖，第 2 圖繪示係為一種電腦系統之方塊圖，第 3 圖繪示係為一種電腦系統之除錯方法之流程圖。電腦系統 2 例如為筆記型電腦或桌上型電腦，且電腦系統 2 包括中央處理器 21 及控制器 22。控制器 22 例如為嵌入式控制器 (Embedded Controller, EC) 或鍵盤控制器 (Keyboard Controller, KBC)，且控制器 22 包括除錯埠 (Debug Port) 222 及儲存單元 224。除錯埠 222 例如為輸入輸出埠 80h (I/O port 80h)，且除錯埠 222 用以接收中央處理器 21 執行基本輸入輸出系統 (Basic Input/Output System) 後所輸出之第 1 筆除錯資料至第 j 筆除錯資料。第 1 筆除錯資料至第 j 筆除錯資料例如為除錯碼 (Debug Code) 或稱為開機自我測試 (Power On Self Test, POST) 碼。

儲存單元 224 例如為嵌入式控制器 (Embedded Controller, EC) 隨機存取記憶體 (Random Access Memory, RAM) 或即時時鐘 (Real Time Clock, RTC) 隨機存取記憶體 (Random Access Memory, RAM)。儲存單元 224 包括第一記憶區塊 224a 及第二記憶區塊 224b。第一記憶區塊 224a 儲存第二索引值 Index Y 及除錯埠 222 所接收之第 1 筆除錯資料至第 j 筆除錯資料，而第二記憶區塊 224b 儲存第一索引值 Index X 及由第一記憶區塊 224a 複製的第 i+1 筆除錯資料至第 j 筆除錯資料。其中，X 例如係由 0 至 M，而 i 及 j 係整數。前述 i 例如係等於 0 或大於 0。換言之，第二記憶區塊 224b 可以複製第一記憶區塊 224a 中的所有除錯資料或是最後幾筆除錯資料。

電腦系統 1 之除錯方法包括如下步驟：首先如步驟 310 所示，控制器 22 於電源啟動時遞增第一索引值 Index X。舉例來說，第一索引值 Index X 由 Index 0 遞增為 Index 1。接著如步驟 320，中央處理器 21 執行基本輸入輸出系統 (Basic Input/Output System)，以產生第 1 筆除錯資料至第 j 筆除錯資料。接著如步驟 330 所示，藉由控制器 22 之除錯埠接收第 1 筆除錯資料至第 j 筆除錯資料。然後如步驟 340 所示，根據控制器 22 之第二索引值 Index Y 將第 1 筆除錯資料至第 j 筆除錯資料依序儲存至控制器 22 之儲存單元 224 之第一記憶區塊 224a。

若電腦系統 2 於開機過程中發生當機情況，使用者會按下電源鍵強制關機。若電源鍵被按下後將如步驟 350 所示，於控制器 22 之工作電源移除前，根據遞增後之第一

索引值 index X 將第 i+1 筆除錯資料至第 j 筆除錯資料由第一記憶區塊 224a 複製至儲存單元 224 之第二記憶區塊 224b。之後，當使用者欲查看除錯資料時，則可如步驟 360 所示，中央處理器 21 執行應用程式，並根據第一索引值 Index X 讀取第二記憶區塊 224b。前述應用程式例如係儲存於可攜式儲存裝置，如通用序列匯流排 (Universal Serial Bus, USB) 隨身碟，以方便使用者隨身攜帶。

前述電腦系統 2 之除錯方法不僅不需要額外購置除錯卡且不需打開電腦機殼安裝除錯卡，大幅地提高使用上的便利性。除此之外，由於每次電源啟動時控制器 22 都會遞增第一索引值 Index X，因此第二記憶區塊 224b 可以保留先前發生多次當機所產生的除錯資料。如此一來，程式設計者可以徹底地根據先前多次當機所產生的除錯資料進行較完整徹底的除錯工作。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示係為傳統電腦藉由除錯卡進行除錯之示意圖。

第 2 圖繪示係為一種電腦系統之方塊圖。

第 3 圖繪示係為一種電腦系統之除錯方法之流程圖。

【主要元件符號說明】

- 1：傳統電腦
- 2：依照本發明實施例之電腦系統
- 11：中央處理器
- 12：主機板
- 13：除錯卡
- 21：中央處理器
- 22：控制器
- 132：匯流排傳輸介面
- 134：微處理晶片
- 136：七段顯示器
- 222：除錯埠
- 224：儲存單元
- 224a：第一記憶區塊
- 224b：第二記憶區塊
- 310、320、330、340、350、360：步驟
- Index X、Index 1~M：第一索引值
- Index Y：第二索引值

七、申請專利範圍：

1. 一種電腦系統之除錯方法，包括：

遞增一第一索引值；

藉由一控制器之一除錯埠(Debug Port)接收一第 1 筆除錯資料至一第 j 筆除錯資料；

根據該控制器之一第二索引值將該第 1 筆除錯資料至該第 j 筆除錯資料依序儲存至該控制器之一儲存單元之一第一記憶區塊；

於該控制器之工作電源移除前，根據遞增後之該第一索引值將一第 $i+1$ 筆除錯資料至該第 j 筆除錯資料由該第一記憶區塊複製至該儲存單元之一第二記憶區塊；以及

執行一應用程式，並根據該第一索引值讀取該第二記憶區塊；

其中， i 及 j 係為整數。

2. 如申請專利範圍第 1 項所述之除錯方法，其中 i 等於 0。

3. 如申請專利範圍第 1 項所述之除錯方法，其中 i 大於 0。

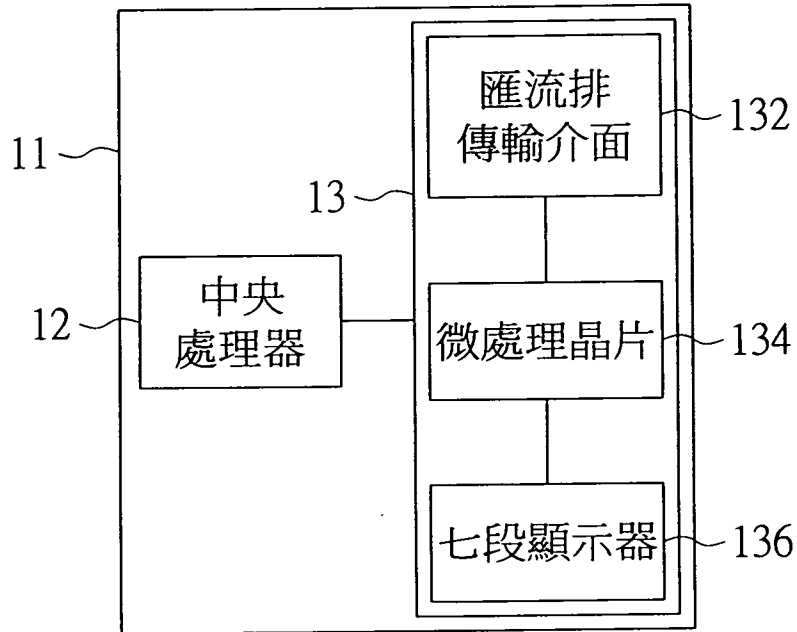
4. 如申請專利範圍第 1 項所述之除錯方法，更包括：
執行一基本輸入輸出系統，以產生該第 1 筆除錯資料至該第 j 筆除錯資料。

5. 如申請專利範圍第 1 項所述之除錯方法，其中該控制器係為嵌入式控制器 (Embedded Controller, EC)。

6. 如申請專利範圍第 1 項所述之除錯方法，其中該控制器係為鍵盤控制器 (Keyboard Controller, KBC)。

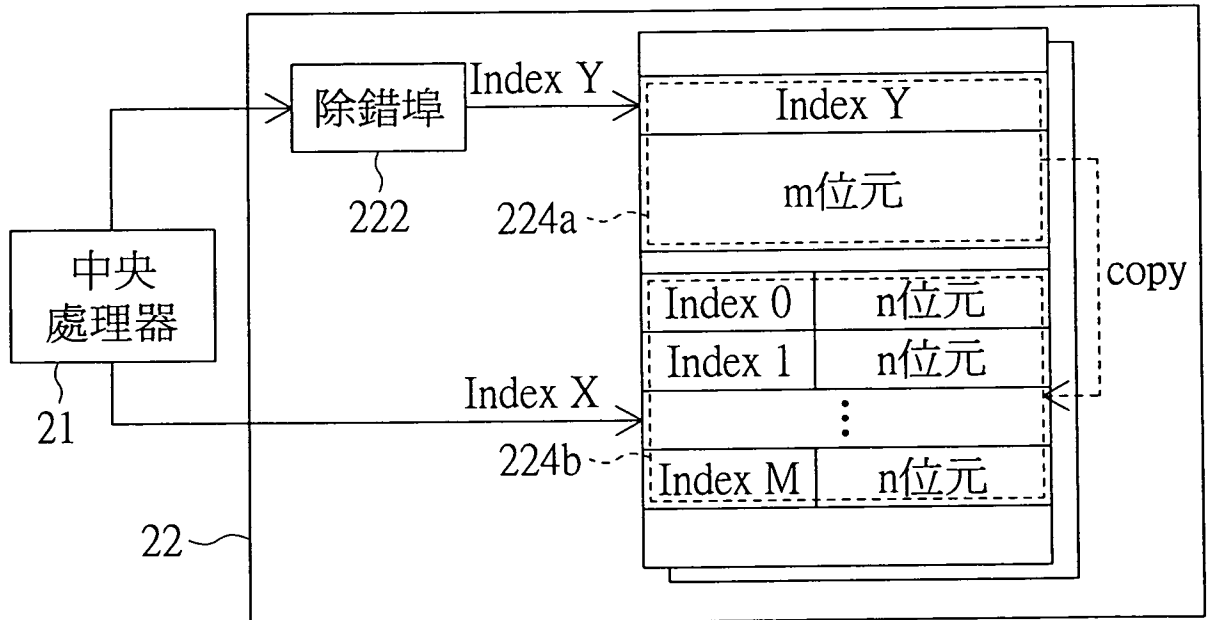
7. 如申請專利範圍第 1 項所述之除錯方法，其中該應用程式係儲存於一可攜式儲存裝置。

1

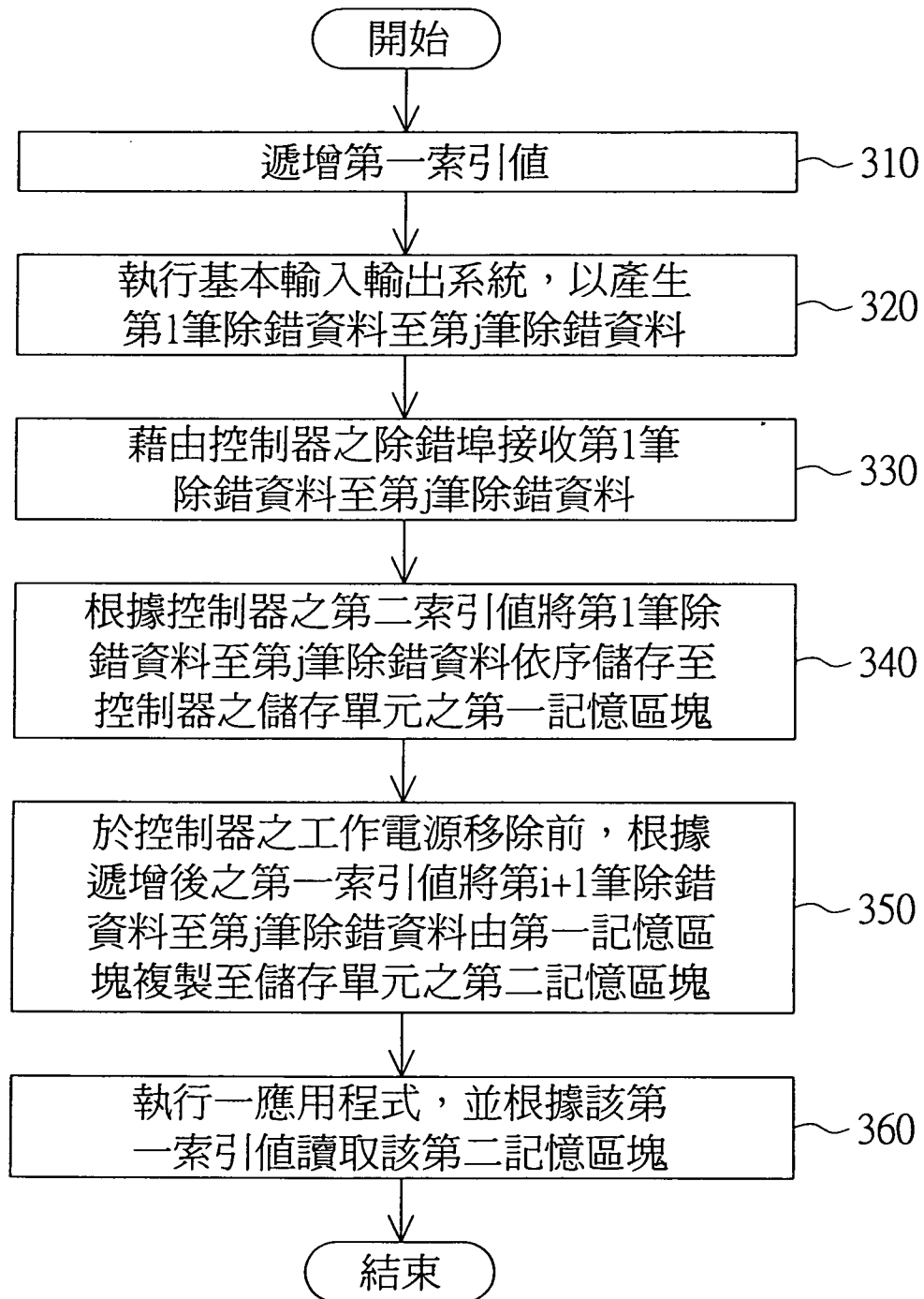


第 1 圖

2



第 2 圖



第 3 圖