



(12) 发明专利

(10) 授权公告号 CN 110034117 B

(45) 授权公告日 2021.02.23

(21) 申请号 201811016489.6

(22) 申请日 2018.08.31

(65) 同一申请的已公布的文献号  
申请公布号 CN 110034117 A

(43) 申请公布日 2019.07.19

(73) 专利权人 济南德欧雅安全技术有限公司  
地址 250101 山东省济南市高新区新泺大街1768号齐鲁软件大厦B座B601室

(72) 发明人 濮必得 殷和国 赵修金

(74) 专利代理机构 济南诚智商标专利事务有限公司 37105

代理人 李修杰

(51) Int. Cl.

H01L 27/108 (2006.01)

(56) 对比文件

US 2007001299 A1, 2007.01.04

CN 1219015 A, 1999.06.09

CN 105280595 A, 2016.01.27

审查员 瞿晓雷

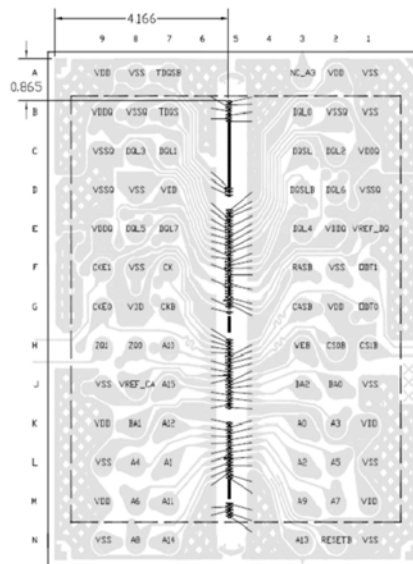
权利要求书3页 说明书5页 附图7页

(54) 发明名称

一种存储器件

(57) 摘要

本发明提供一种存储装置,所述存储装置包括至少一个DRAM芯片,所述存储装置中,将几个电源信号短路以提高整体芯片速度性能,将VSS和VSSQ以及VDD和VDDQ短接在一起。这可以在衬底上完成,或者在芯片级上更好,因为引线键合对高频噪声起隔离器的作用。通过这个短路,本发明可以更好的输出电路整体电源供应,因此更好的信号质量和更高的输出速度。本发明的衬底设计更简单,因此整体上可以降低衬底上的电阻性电源。



1. 一种存储器件,其特征在于,所述存储器件包括:
  - 一个或多个DRAM芯片;
  - 由上述DRAM芯片共同共享的衬底;
  - 分别连接到外封装上VSS和VSSQ焊球的接地电源;
  - 其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ球;
  - 所述DRAM芯片包括:
    - 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;
    - 具有用于其他电路电源的电源焊盘VSS和/或VDD;
    - 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;
    - VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
2. 一种存储器件,其特征在于,所述存储器件包括:
  - 一个或多个DRAM芯片;
  - 由上述DRAM芯片共同共享的衬底;
  - 分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号;
  - 其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ球;
  - 所述DRAM芯片包括:
    - 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;
    - 具有用于其他电路电源的电源焊盘VSS和/或VDD;
    - 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;
    - VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
3. 一种存储器件,其特征在于,所述存储器件包括:
  - 一个或多个DRAM芯片;
  - 由上述DRAM芯片共同共享的衬底;
  - 分别连接到外封装上VSS和VSSQ焊球的接地电源;分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号;
  - 其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ球;其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ球;
  - 所述DRAM芯片包括:
    - 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;
    - 具有用于其他电路电源的电源焊盘VSS和/或VDD;
    - 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;
    - VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
4. 一种电子器件,其特征在于,所述电子器件包括:

- 至少一个DRAM芯片；  
至少一个DRAM芯片上的芯片上再分配布线层，用于连接原始芯片焊盘和其他连接焊盘；  
通过引线键合将其他连接焊盘连接到基板或载体上的电源信号；这些独立的电源焊盘连接到外部VSS和VSSQ信号；  
至少一个外部VSS信号在DRAM芯片上连接到VSSQ信号中的一个；  
所述DRAM芯片包括：  
具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ，所述驱动器电路包括DQ和/或DQS信号；  
具有用于其他电路电源的电源焊盘VSS和/或VDD；  
在工艺流程中使用一个或几个金属层级的芯片上再分配机制；  
VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
5. 一种电子器件，其特征在于，所述电子器件包括：  
至少一个DRAM芯片；  
至少一个DRAM芯片上的芯片上再分配布线层，用于连接原始芯片焊盘和其他连接焊盘；  
通过引线键合将其他连接焊盘连接到基板或载体上的电源信号；这些独立的电源焊盘连接到外部VDD和VDDQ信号；  
至少一个外部VDD信号在DRAM芯片上连接到VDDQ信号中的一个；  
所述DRAM芯片包括：  
具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ，所述驱动器电路包括DQ和/或DQS信号；  
具有用于其他电路电源的电源焊盘VSS和/或VDD；  
在工艺流程中使用一个或几个金属层级的芯片上再分配机制；  
VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
6. 一种电子器件，其特征在于，所述电子器件包括：  
至少一个DRAM芯片；  
至少一个DRAM芯片上的芯片上再分配布线层，用于连接原始芯片焊盘和其他连接焊盘；  
通过引线键合将其他连接焊盘连接到基板或载体上的电源信号；这些独立的电源焊盘连接到外部VSS和VSSQ信号；  
至少一个外部VSS信号在DRAM芯片上连接到VSSQ信号中的一个；至少一个外部VDD信号在DRAM芯片上连接到VDDQ信号中的一个；  
所述DRAM芯片包括：  
具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ，所述驱动器电路包括DQ和/或DQS信号；  
具有用于其他电路电源的电源焊盘VSS和/或VDD；

在工艺流程中使用一个或几个金属层级的芯片上再分配机制；  
VSSQ或VDDQ焊盘中的至少一个焊盘通过重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。

## 一种存储器件

### 技术领域

[0001] 本发明涉及半导体集成领域,具体地跟计算机存储器件有关,更具体地涉及一种作为共享衬底上的单个或多个堆叠存储器设备的DRAM器件。

### 背景技术

[0002] 动态随机存取存储器DRAM和闪存Flash存储器技术已发展多年,DRAM和Flash的基本技术基本上保持不变,只是接口随时间变化不断更新,例如快速页面模式(FPM),扩展数据输出(EDO),同步DRAM(SDRAM),双倍数据速率1-4(DDR1,DDR2,DDR3,DDR4)等。

[0003] 图1显示了DRAM的基本架构。外部提供的行地址被解码并导致字线WL的激活,例如,连接到8192个单独的存储单元的的门。这将会开始一个感测过程,放大那些微弱的信号,如8192个单独的存储单元,并将它们保存在读出放大器SA中。

[0004] 之后,将通过相同的外部地址线在行地址之后顺序提供列地址。该列地址通过选择WL的子集的列解码器提供,即,例如8192个选定的位的子集。在我们的例子中,1:128解码选择8192个感测位中的64个被转发到次级读出放大器。当今最先进的DRAM技术通常执行所谓的预取,即在内部访问更多的数据,而不是转发到外部引脚。在我们的例子中,我们预取了64位,然后通过一个序列发生器顺序地将其转发到外部I/O驱动器(例如4个16位依次被16个I/O驱动器驱动)。

[0005] 图2显示了典型DRAM架构实现的具体例子。为了最低功耗和最低成本,这种DRAM通常以低成本和低性能的CMOS或类似技术完成。实际的存储单元被分成几个,例如,4个独立的内存块。通过用于外部连接的焊盘行访问DRAM。在大多数标准设计中,如图所示采用中央焊盘排列设计,但也有分布在芯片四周的设计。用于从内部存储器单元到外部焊盘的信号处理的逻辑电路部分位于深内存阵列芯片之外。不幸的是,由于在同一芯片上,这个信号处理电路必须以相同的差的CMOS技术来实现,以折中性能参数,如速度和功耗。

[0006] 图3显示了一个标准FBGA(Fine Ball Grid Array,细间距球栅阵列封装)78(管脚)元件,其中DRAM芯片301面朝下地连接在衬底302材料上。通过线303键合,它通过衬底底部的信号线连接到外部封装球上。其他配置也可能是芯片正面朝上或多个芯片彼此并排或堆叠放置(参见例如图4)。

[0007] 衬底实现一个,两个或多个布线层级以将引线键合或以其他方式连接的芯片信号连接到外部封装连接器(通常为焊球)。图5作为例子示出了单层衬底的布线。此外,还可以通过提供在芯片之上提供一个或多个导电布线层的技术在芯片上连接信号。其中一种最先进的技术就是RDL-再分配层技术。图6示出了在芯片上应用单层RDL技术以将芯片焊盘布线和连接到芯片上的不同位置的示例。为了完整起见,我们在图7中列出了JEDEC标准定义的DRAM操作的最重要的信号,这些名称在一些权利要求和其他相关专利中被引用。

### 发明内容

[0008] 本发明本发明的目的是提供一种存储器件,本发明中,旨在以非显而易见的方式

提高整体芯片速度性能。

[0009] 为了达到上述目的,本发明提供一种存储器件,所述存储器件包括:

[0010] 一个或多个DRAM芯片;

[0011] 由上述DRAM芯片共同共享的衬底;

[0012] 分别连接到外封装上VSS和VSSQ焊球的接地电源;

[0013] 其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ球。

[0014] 优选地,所述DRAM芯片包括:

[0015] 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;

[0016] 具有用于其他电路电源的电源焊盘VSS和/或VDD;

[0017] 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;

[0018] VSSQ或VDDQ焊盘中的至少一个焊盘通过所述重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。

[0019] 本发明还提供了一种存储器件,所述存储器件包括:

[0020] 一个或多个DRAM芯片;

[0021] 由上述DRAM芯片共同共享的衬底;

[0022] 分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号;

[0023] 其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ球。

[0024] 优选地,所述DRAM芯片包括:

[0025] 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;

[0026] 具有用于其他电路电源的电源焊盘VSS和/或VDD;

[0027] 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;

[0028] VSSQ或VDDQ焊盘中的至少一个焊盘通过所述重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。

[0029] 本发明还提供了一种存储器件,所述存储器件包括:

[0030] 一个或多个DRAM芯片;

[0031] 由上述DRAM芯片共同共享的衬底;

[0032] 分别连接到外封装上VSS和VSSQ焊球的接地电源;分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号;

[0033] 其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ球;其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ球。

[0034] 优选地,所述DRAM芯片包括:

[0035] 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;

[0036] 具有用于其他电路电源的电源焊盘VSS和/或VDD;

[0037] 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;

[0038] VSSQ或VDDQ焊盘中的至少一个焊盘通过所述重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。

- [0039] 本发明还提供了一种电子器件,所述电子器件包括:
- [0040] 至少一个DRAM芯片;
- [0041] 至少一个DRAM芯片上的芯片上再分配布线层,用于连接原始芯片焊盘和其他连接焊盘;
- [0042] 通过引线键合或其他技术将其他连接焊盘连接到基板或载体上的电源信号;这些独立的电源焊盘连接到外部VSS和VSSQ信号;
- [0043] 至少一个外部VSS信号在DRAM芯片上连接到VSSQ信号中的一个。
- [0044] 本发明还提供了一种电子器件,所述电子器件包括:
- [0045] 至少一个DRAM芯片;
- [0046] 至少一个DRAM芯片上的芯片上再分配布线层,用于连接原始芯片焊盘和其他连接焊盘;
- [0047] 通过引线键合将其他连接焊盘连接到基板或载体上的电源信号;这些独立的电源焊盘连接到外部VDD和VDDQ信号;
- [0048] 至少一个外部VDD信号在DRAM芯片上连接到VDDQ信号中的一个。
- [0049] 本发明还提供了一种电子器件,所述电子器件包括:
- [0050] 至少一个DRAM芯片;
- [0051] 至少一个DRAM芯片上的芯片上再分配布线层,用于连接原始芯片焊盘和其他连接焊盘;
- [0052] 通过引线键合将其他连接焊盘连接到基板或载体上的电源信号;这些独立的电源焊盘连接到外部VSS和VSSQ信号;
- [0053] 通过引线键合将其他连接焊盘连接到基板或载体上的电源信号;这些独立的电源焊盘连接到外部VDD和VDDQ信号;
- [0054] 至少一个外部VSS信号在DRAM芯片上连接到VSSQ信号中的一个;至少一个外部VDD信号在DRAM芯片上连接到VDDQ信号中的一个。
- [0055] 优选地,所述DRAM芯片包括:
- [0056] 具有用于输出驱动器电路的电源焊盘VSSQ和/或VDDQ,所述驱动器电路包括DQ和/或DQS信号;
- [0057] 具有用于其他电路电源的电源焊盘VSS和/或VDD;
- [0058] 在工艺流程中使用一个或几个金属层级的芯片上再分配机制;
- [0059] VSSQ或VDDQ焊盘中的至少一个焊盘通过所述重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。
- [0060] 因此,与现有技术不同,本发明以非显而易见的方式将几个电源信号短路以提高整体芯片速度性能,将VSS和VSSQ以及VDD和VDDQ短接在一起。这可以在衬底上完成,或者在芯片级上更好(因为引线键合对高频噪声起隔离器的作用)。通过这个短路,本发明可以获得以下有益效果:
- [0061] (1) 更好的输出电路整体电源供应,因此更好的信号质量和更高的输出速度。
- [0062] (2) 衬底设计更简单,因此整体上可以降低衬底上的电阻性电源。

## 附图说明

- [0063] 图1为DRAM的基本架构;
- [0064] 图2为典型的DRAM架构实现的具体例子;
- [0065] 图3为标准的FBGA 78元件;
- [0066] 图4为两个管芯的多芯片封装结构图;
- [0067] 图5为单层衬底的布线图;
- [0068] 图6为单层RDL布线图;
- [0069] 图7为JEDEC标准定义的DRAM操作的最重要的信号;

## 具体实施方式

[0070] 为了能清楚说明本方案的技术特点,下面通过具体实施方式,并结合其附图,对本发明进行详细阐述。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。应当注意,在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

[0071] 下面结合附图对本发明实施例所提供的一种存储器件进行详细说明。

[0072] 图5显示了一个可能的衬底设计。JEDEC标准提供四种专用电源:VSS,VSSQ,VDD和VDDQ。VSS实现接地电源供应,VDD实现正常外部芯片工作电压供应。VSSQ和VDDQ的电压电平由输入/输出数据DQ索引,因为它们为芯片输出驱动器提供专用电源网络。VSSQ和VDDQ的电压电平与VSS和VDD是相同的,即VSSQ和VSS的电压电平是相同的,VDDQ和VDD的电压电平是相同地,但是,VSS和VSSQ,以及VDD和VDDQ是芯片级独立供电网络,这样做的目的是为了

避免输出驱动器切换到其他潜在的敏感电路所产生的噪声。

[0073] 具体,本发明提供一种存储器件,所述存储器件包括一个或多个DRAM芯片,上述一个或多个DRAM芯片共享衬底,该衬底也是存储器件的一部分,VSS实现接地电源供应,分别连接到外封装上VSS和VSSQ焊球的接地电源,其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ焊球。对于VDD和VDDQ信号来说,分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号,其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ焊球。

[0074] 具体,本发明提供一种电子器件,所述电子器件包括至少一个DRAM芯片,所述至少一个DRAM芯片共享衬底,该衬底也是电子器件的一部分,VSS实现接地电源供应,分别连接到外封装上VSS和VSSQ焊球的接地电源,其中至少一个外部VSS球在衬底上电连接到至少一个VSSQ焊球。对于VDD和VDDQ信号来说,分别连接到外封装上VDD和VDDQ焊球的有源供电电压信号,其中至少一个外部VDD球在衬底上电连接到至少一个VDDQ焊球。

[0075] 其中,对于所述其中一个DRAM芯片来说,该芯片具有用于输出驱动器电路(DQ和/或DQS信号)的电源焊盘VSSQ和/或VDDQ,具有用于其他电路电源的电源焊盘VSS和/或VDD,在工艺流程中使用一个或几个金属层级的芯片上再分配机制,而不是原始DRAM芯片焊盘,VSSQ或VDDQ焊盘中的至少一个焊盘通过所述重新分配机构电连接到原始DRAM芯片焊盘的VSS或VDD焊盘中的至少一个。

[0076] JEDEC标准通过提供相关的专用封装信号来支持这种电源信号分离。但是,如果信



号短路,经过测试,结果是芯片性能更优越。基于上述测试结果,当DRAM的输出有效时,此时噪声敏感电路或者不活跃,或者执行对电源干扰不敏感的任务。

[0077] 因此,与现有技术不同,本发明将VSS和VSSQ以及VDD和VDDQ短接在一起,其中一种方式,短接可以在衬底上完成,另外一种方式,在芯片级上实现,在芯片级上实现效果会更好,这是因为引线键合对高频噪声起隔离器的作用。通过短路,本发明可以实现以下技术效果:

[0078] (1) 更好的输出电路整体电源供应,因此更好的信号质量和更高的输出速度。

[0079] (2) 衬底设计更简单,因此整体上可以降低衬底上的电阻性电源。

[0080] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

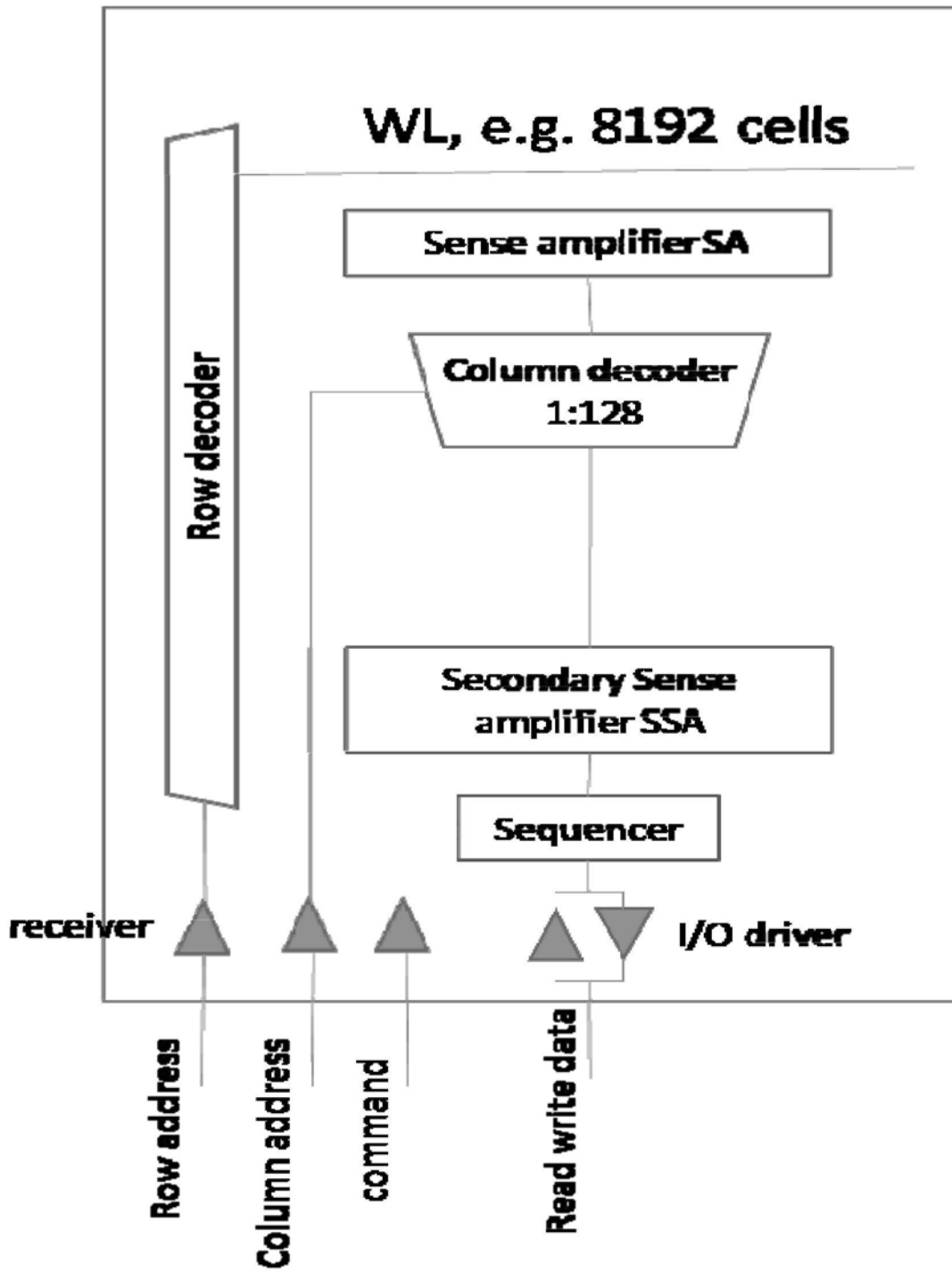


图1

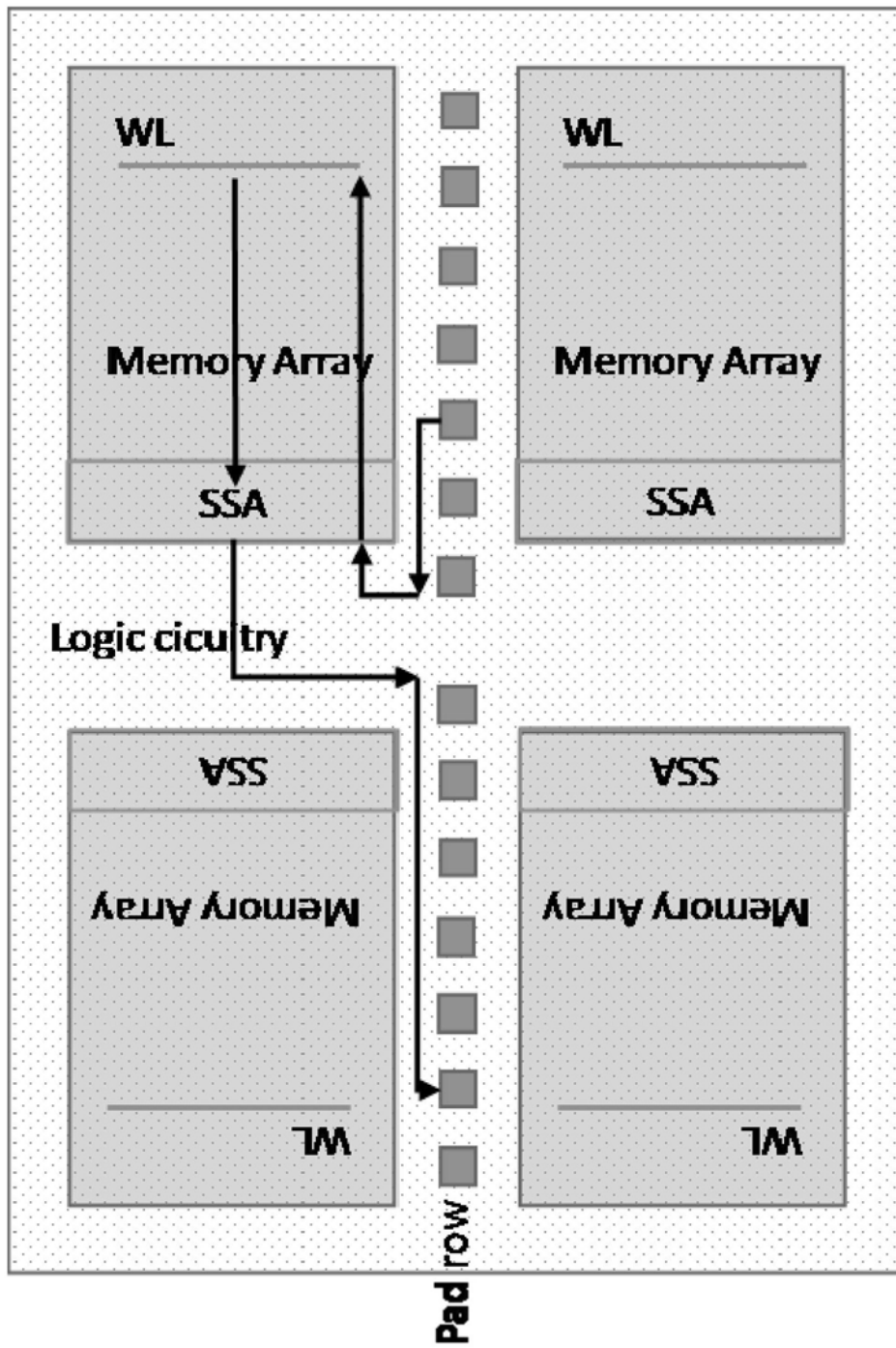


图2

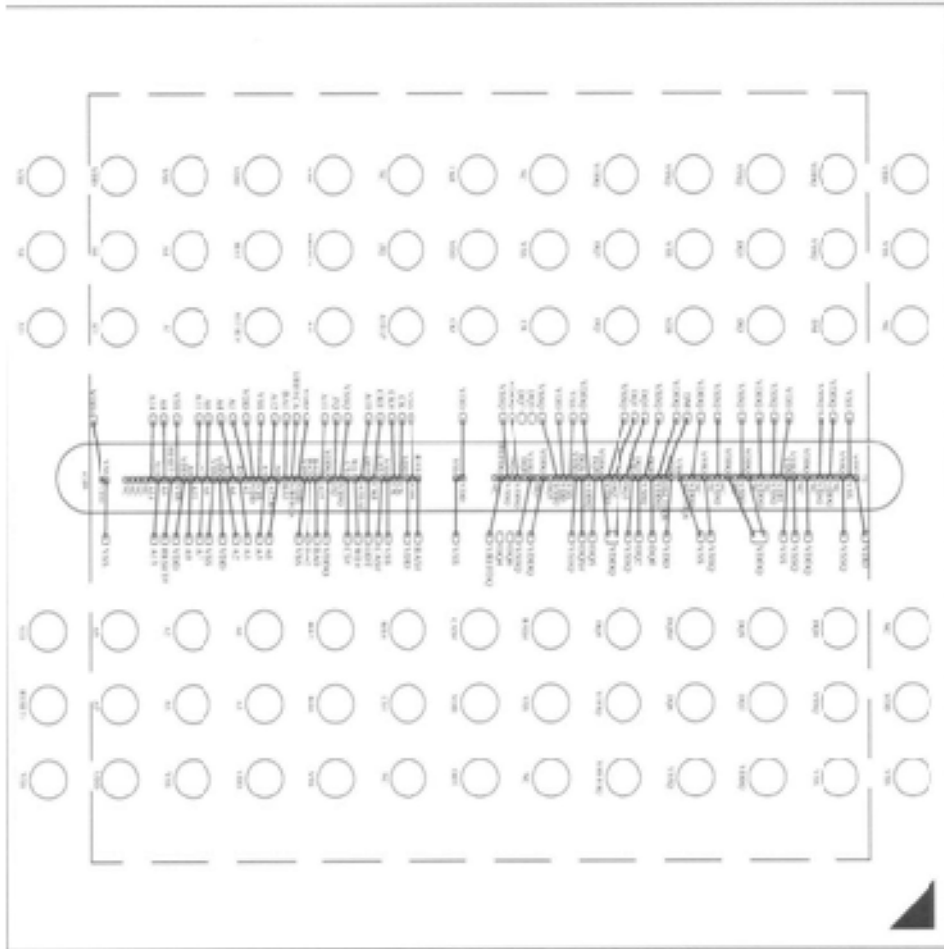
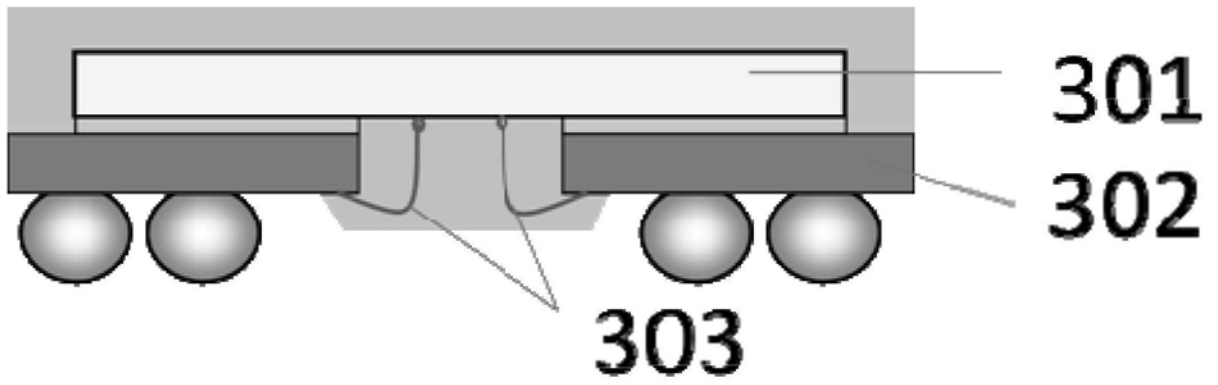


图3

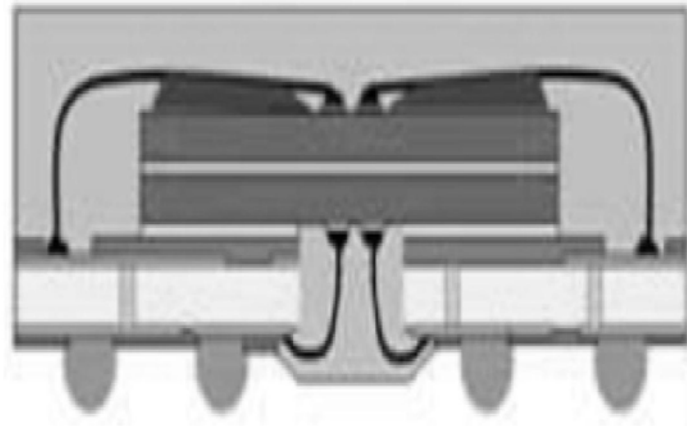


图4

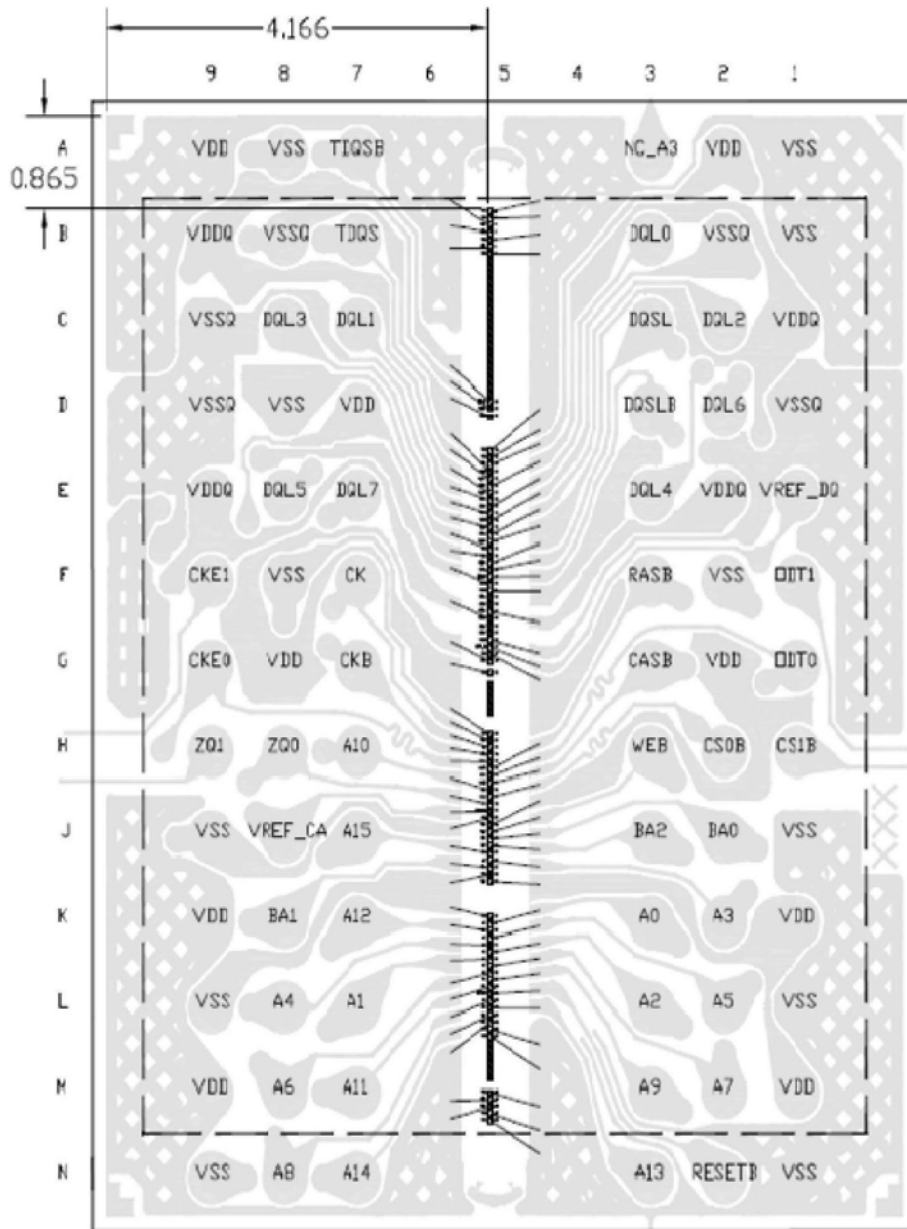


图5

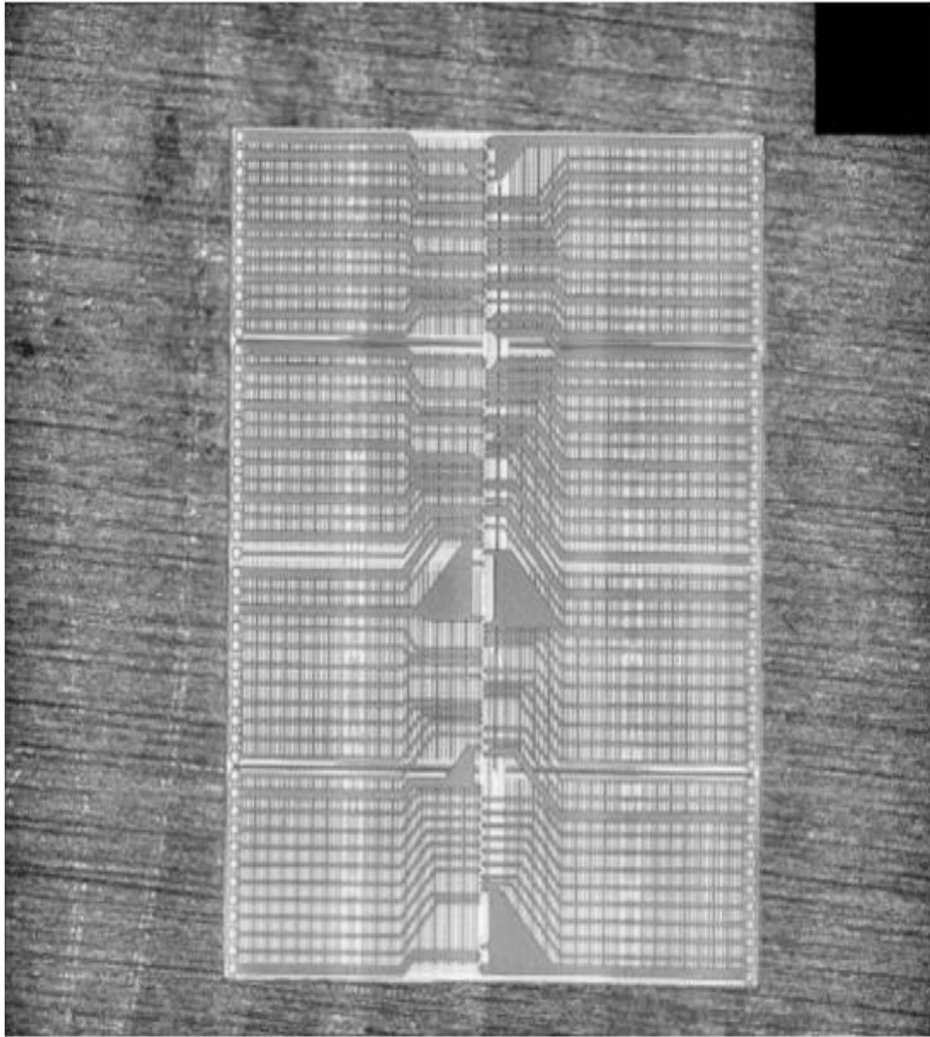


图6

Set no.	DDR3 Signal Abbreviation	DDR3 Signal name	Signal type
1	DQ0 – DQ7	Data bits 0-7	Input/output data
	DQS	Data Strobe	Input/output control
	/DQS	Data Strobe complement	Input/output control
	DM	Data Mask	Input control
2	CK	Clock	Input control
	/CK	Clock complement	
3	/CS	Chip Select	Input control
	CKE	Clock Enable	
	ODT	On Die Termination	
4	A0-A15	Address signals 0-15	Input address
	BA0-BA2	Bank Address signals 0-2	
	/RAS	Row Address Strobe	Input control
	/CAS	Column Address Strobe	
	/WE	Writ Enable	

图7