



(12) 发明专利

(10) 授权公告号 CN 102751240 B

(45) 授权公告日 2015.03.11

(21) 申请号 201210181618.3

KR 10-2006-0026621 A, 2006.03.24, 说明书第3页第6行-第6页第9行, 附图1-6.

(22) 申请日 2012.06.04

审查员 叶常茂

(66) 本国优先权数据

201210157572.1 2012.05.18 CN

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 刘翔 李禹奉

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

代理人 许静 赵爱军

(51) Int. Cl.

H01L 21/77(2006.01)

H01L 29/786(2006.01)

(56) 对比文件

CN 101901838 A, 2010.12.01, 说明书第0020-0284段, 附图1A-23.

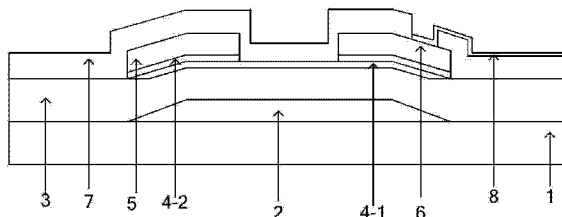
权利要求书2页 说明书8页 附图3页

(54) 发明名称

薄膜晶体管阵列基板及其制造方法、显示面板、显示装置

(57) 摘要

本发明提供一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置,属于液晶显示领域。其中,该薄膜晶体管阵列基板包括:由第一金属氧化物层形成的有源层;由第二金属氧化物层形成的过渡层,过渡层的导电率比有源层的导电率大,过渡层包括源电极过渡层和漏电极过渡层;由源漏金属层形成的源电极、漏电极;其中,源电极过渡层位于所述有源层和所述源电极之间,所述漏电极过渡层位于所述有源层和所述漏电极之间。本发明的技术方案能够简化金属氧化物 TFT 阵列基板的制造工艺,降低产品的生产成本。



1. 一种薄膜晶体管阵列基板的制造方法,其特征在于,包括:

依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层,所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率,所述第二金属氧化物层由至少两个金属氧化物层形成,且从靠近第一金属氧化物层到远离第一金属氧化物层的方向上,所述至少两个金属氧化物层的导电率依次增大;

在所述源漏金属层上涂布光刻胶;

利用灰色调或半色调掩模板对所述光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区和完全去除区,之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层,形成有源层,进行光刻胶灰化工艺去除掉所述部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,形成薄膜晶体管的沟道区域,去除所述完全保留区的光刻胶,形成包括源电极过渡层和漏电极过渡层的过渡层,以及分别位于所述源电极过渡层和漏电极过渡层上的由所述源漏金属层形成的源电极和漏电极。

2. 根据权利要求1所述的薄膜晶体管阵列基板的制造方法,其特征在于,所述形成源电极、漏电极之后还包括:

对所述沟道区域的有源层的表面进行修复。

3. 根据权利要求1或2所述的薄膜晶体管阵列基板的制造方法,其特征在于,所述制造方法具体包括:

在基板上形成栅电极和栅极扫描线的图形;

在形成有所述栅电极和栅极扫描线的图形的基板上形成栅绝缘层;

在所述栅绝缘层上进行所述依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层,所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率;

在所述源漏金属层上涂布光刻胶;

利用灰色调或半色调掩模板对所述光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极和数据线的完全保留区和对应沟道区域的部分保留区,之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层,形成有源层,进行光刻胶灰化工艺去除掉所述部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,形成薄膜晶体管的沟道区域,去除所述完全保留区的光刻胶,形成包括源电极过渡层和漏电极过渡层的过渡层,以及分别位于所述源电极过渡层和漏电极过渡层上的由所述源漏金属层形成的源电极、漏电极和数据线;

在形成有所述源电极、漏电极和数据线的图形的基板上形成包括有接触过孔的钝化层的图形;

在所述钝化层上形成像素电极,所述像素电极通过所述接触过孔与所述漏电极相连接。

4. 一种薄膜晶体管阵列基板,其特征在于,包括:

由第一金属氧化物层形成的有源层;

由第二金属氧化物层形成的过渡层,过渡层的导电率比有源层的导电率大,过渡层包括源电极过渡层和漏电极过渡层;

由源漏金属层形成的源电极、漏电极;

其中,源电极过渡层位于所述有源层和所述源电极之间,所述漏电极过渡层位于所述有源层和所述漏电极之间,所述第二金属氧化物层由至少两个金属氧化物层形成,且从靠近第一金属氧化物层到远离第一金属氧化物层的方向上,所述至少两个金属氧化物层的导电率依次增大。

5. 根据权利要求 4 所述的薄膜晶体管阵列基板,其特征在于,所述过渡层包括有至少两个金属氧化物层,从靠近所述有源层到远离所述有源层的方向上,金属氧化物层的导电率依次增大。

6. 根据权利要求 4 所述的薄膜晶体管阵列基板,其特征在于,具体包括:

基板;

位于所述基板上由栅金属层形成的栅电极和栅极扫描线;

位于形成有所述栅电极和栅极扫描线的基板上的栅绝缘层;

位于所述栅绝缘层上的所述由第一金属氧化物层形成的有源层;

位于所述有源层上的所述由第二金属氧化物层形成的源电极过渡层和漏电极过渡层;

分别位于所述源电极过渡层和漏电极过渡层上的所述由所述源漏金属层形成的所述源电极、所述漏电极和数据线;

位于形成有所述源电极、漏电极和数据线的基板上的包括有接触过孔的钝化层;

位于所述钝化层上的像素电极,所述像素电极通过所述接触过孔与所述漏电极相连接。

7. 根据权利要求 6 所述的薄膜晶体管阵列基板,其特征在于,所述过渡层的材料为非晶 IGZO。

8. 根据权利要求 6 所述的薄膜晶体管阵列基板,其特征在于,所述有源层的材料为非晶 IGZO、HIZO、IZO、a-InZnO、ZnO:F、In<sub>2</sub>O<sub>3</sub>:Sn、In<sub>2</sub>O<sub>3</sub>:Mo、Cd<sub>2</sub>SnO<sub>4</sub>、ZnO:Al、TiO<sub>2</sub>:Nb 或 Cd-Sn-O。

9. 一种显示面板,其特征在于,包括如权利要求 4-8 中任一项所述的薄膜晶体管阵列基板。

10. 一种显示装置,其特征在于,包括如权利要求 4-8 中任一项所述的薄膜晶体管阵列基板。

## 薄膜晶体管阵列基板及其制造方法、显示面板、显示装置

### 技术领域

[0001] 本发明涉及液晶显示领域，特别是指一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置。

### 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射等特点, 在当前的平板显示器市场中占据了主导地位。

[0003] 近年来 TFT-LCD 获得了飞速的发展, 其尺寸和分辨率不断地提高, 大尺寸、高分辨率的液晶电视成为 TFT-LCD 发展的一个主流。随着 TFT-LCD 尺寸的不断增大、分辨率的不断提高, 为了提高显示质量, 需要采用更高频率的驱动电路, 现有的非晶硅薄膜晶体管的迁移率很难满足液晶显示器的需要。非晶硅薄膜晶体管的迁移率一般在  $0.5\text{cm}^2/\text{V}\cdot\text{S}$  左右, 但是在液晶显示器尺寸超过 80 英寸, 驱动频率为 120Hz 时需要  $1\text{cm}^2/\text{V}\cdot\text{S}$  以上的迁移率, 现在非晶硅薄膜晶体管的迁移率显然很难满足。金属氧化物 TFT (非晶 IGZO) 迁移率高, 均一性好, 透明且制作工艺简单, 可以更好地满足大尺寸液晶显示器和有源有机电致发光的需求, 备受人们的关注。

[0004] 但是现有技术制作金属氧化物 TFT 时, 一般在金属氧化物上面加一层保护层, 以避免在形成源漏金属电极时对金属氧化物层的破坏, 这样就增加了构图工艺的次數, 影响了生产效率。

### 发明内容

[0005] 本发明要解决的技术问题是提供一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置, 能够简化金属氧化物 TFT 阵列基板的制造工艺, 降低产品的生产成本。

[0006] 为解决上述技术问题, 本发明的实施例提供技术方案如下:

[0007] 一方面, 提供一种薄膜晶体管阵列基板的制造方法, 包括:

[0008] 依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层, 所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率;

[0009] 在所述源漏金属层上涂布光刻胶;

[0010] 利用灰色调或半色调掩模板对所述光刻胶进行曝光和显影, 形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区, 之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层, 形成有源层, 进行光刻胶灰化工艺去除掉所述部分保留区的光刻胶, 之后先刻蚀掉部分保留区的源漏金属层, 再刻蚀掉部分保留区的第二金属氧化物层, 形成薄膜晶体管的沟道区域, 去除所述完全保留区的光刻胶, 形成包括源电极过渡层和漏电极过渡层的过渡层, 以及分别位于所述源电极过渡层和漏电极过渡层上的由所述源漏金属层形成的源电极和漏电极。

[0011] 进一步地, 所述形成源电极、漏电极之后还包括:

- [0012] 对所述沟道区域的有源层的表面进行修复。
- [0013] 进一步地,所述制造方法具体包括:
- [0014] 在基板上形成栅电极和栅极扫描线的图形;
- [0015] 在形成有所述栅电极和栅极扫描线的图形的基板上形成栅绝缘层;
- [0016] 在所述栅绝缘层上进行所述依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层,所述第一金属氧化物层的导电率小于所述第二金属氧化物层的导电率;
- [0017] 在所述源漏金属层上涂布光刻胶;
- [0018] 利用灰色调或半色调掩模板对所述光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极和数据线的完全保留区和对应沟道区域的部分保留区,之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层,形成有源层,进行光刻胶灰化工艺去除掉所述部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,形成薄膜晶体管的沟道区域,去除所述完全保留区的光刻胶,形成包括源电极过渡层和漏电极过渡层的过渡层,以及分别位于所述源电极过渡层和漏电极过渡层上的由所述源漏金属层形成的源电极、漏电极和数据线;
- [0019] 在形成有所述源电极、漏电极和数据线的图形的基板上形成包括有接触过孔的钝化层的图形;
- [0020] 在所述钝化层上形成像素电极,所述像素电极通过所述接触过孔与所述漏电极相连接。
- [0021] 本发明实施例还提供了一种薄膜晶体管阵列基板,包括:
- [0022] 由第一金属氧化物层形成的有源层;
- [0023] 由第二金属氧化物层形成的过渡层,过渡层的导电率比有源层的导电率大,过渡层包括源电极过渡层和漏电极过渡层;
- [0024] 由源漏金属层形成的源电极、漏电极;
- [0025] 其中,源电极过渡层位于所述有源层和所述源电极之间,所述漏电极过渡层位于所述有源层和所述漏电极之间。
- [0026] 进一步地,所述过渡层包括有至少两个金属氧化物层,从靠近所述有源层到远离所述有源层的方向上,金属氧化物层的导电率依次增大。
- [0027] 进一步地,所述薄膜晶体管阵列基板具体包括:
- [0028] 基板;
- [0029] 位于所述基板上由栅金属层形成的栅电极和栅极扫描线;
- [0030] 位于形成有所述栅电极和栅极扫描线的基板上的栅绝缘层;
- [0031] 位于所述栅绝缘层上的所述由第一金属氧化物层形成的有源层;
- [0032] 位于所述有源层上的所述由第二金属氧化物层形成的源电极过渡层和漏电极过渡层;
- [0033] 分别位于所述源电极过渡层和漏电极过渡层上的所述由所述源漏金属层形成的所述源电极、所述漏电极和数据线;
- [0034] 位于形成有所述源电极、漏电极和数据线的基板上的包括有接触过孔的钝化层;
- [0035] 位于所述钝化层上的像素电极,所述像素电极通过所述接触过孔与所述漏电极相连接。

- [0036] 进一步地,所述过渡层的材料为非晶 IGZO。
- [0037] 进一步地,所述有源层的材料为非晶 IGZO、HIZO、IZO、 $\alpha$ -InZnO、ZnO:F、 $\text{In}_2\text{O}_3$ :Sn、 $\text{In}_2\text{O}_3$ :Mo、 $\text{Cd}_2\text{SnO}_4$ 、ZnO:Al、 $\text{TiO}_2$ :Nb 或 Cd-Sn-O。
- [0038] 本发明实施例还提供了一种显示面板,包括如上所述的薄膜晶体管阵列基板。
- [0039] 本发明实施例还提供了一种显示装置,包括如上所述的薄膜晶体管阵列基板。
- [0040] 本发明的实施例具有以下有益效果:
- [0041] 上述方案中,通过导电率高的第二金属氧化物层既可在刻蚀源漏金属层时保护有源层,而且第二金属氧化物层还可以最后形成减少源电极和漏电极与有源层的接触电阻的过渡层,从而有源层和由源漏金属层形成的源电极、漏电极通过一次构图工艺形成,能够节省构图工艺,提升生产效率,降低产品的生产成本。

#### 附图说明

- [0042] 图 1 为本发明实施例的薄膜晶体管阵列基板的平面示意图;
- [0043] 图 2 为本发明实施例的薄膜晶体管阵列基板的制造方法第一次构图工艺后对应于图 1 中 A—B 位置处的截面示意图;
- [0044] 图 3 为本发明实施例的薄膜晶体管阵列基板的制造方法第二次构图工艺中曝光显影后对应于图 1 中 A—B 位置处的截面示意图;
- [0045] 图 4 为本发明实施例的薄膜晶体管阵列基板的制造方法第二次构图工艺中第一次刻蚀后对应于图 1 中 A—B 位置处的截面示意图;
- [0046] 图 5 为本发明实施例的薄膜晶体管阵列基板的制造方法第二次构图工艺中灰化后对应于图 1 中 A—B 位置处的截面示意图;
- [0047] 图 6 为本发明实施例的薄膜晶体管阵列基板的制造方法第二次构图工艺后对应于图 1 中 A—B 位置处的截面示意图;
- [0048] 图 7 为本发明实施例的薄膜晶体管阵列基板的制造方法第三次构图工艺中第一次刻蚀后对应于图 1 中 A—B 位置处的截面示意图;
- [0049] 图 8 为本发明实施例的薄膜晶体管阵列基板的对应于图 1 中 A—B 位置处的截面示意图。
- [0050] 附图标记
- [0051] 1 基板
- [0052] 2 栅电极
- [0053] 3 栅绝缘层
- [0054] 4-1 有源层
- [0055] 4-2 过渡层
- [0056] 5 源电极
- [0057] 6 漏电极
- [0058] 7 钝化层
- [0059] 8 像素电极
- [0060] 10 光刻胶
- [0061] 12 栅极扫描线

## [0062] 13 数据线

**具体实施方式**

[0063] 为使本发明的实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0064] 本发明的实施例针对现有技术中在制作金属氧化物 TFT 时,一般在金属氧化物上面加一层保护层,以避免在形成源漏金属电极时对金属氧化物层的破坏,这样就增加了构图工艺的次数,影响了生产效率的问题,提供一种薄膜晶体管阵列基板及其制造方法、显示面板、显示装置,能够简化金属氧化物 TFT 阵列基板的制造工艺,降低产品的生产成本。

[0065] 本发明实施例提供了一种薄膜晶体管阵列基板的制造方法,该制造方法能够通过一次构图工艺形成由金属氧化物层形成的有源层和由源漏金属层形成的源电极、漏电极。

[0066] 其中,该制造方法中形成有源层和源电极、漏电极的步骤包括:

[0067] 依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层,第一金属氧化物层的导电率小于第二金属氧化物层的导电率;

[0068] 在源漏金属层上涂布光刻胶;

[0069] 利用灰色调或半色调掩模板对光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区,之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层,形成有源层,进行光刻胶灰化工艺去除掉部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,形成薄膜晶体管的沟道区域,去除完全保留区的光刻胶,形成包括源电极过渡层和漏电极过渡层的过渡层,以及分别位于源电极过渡层和漏电极过渡层上的由源漏金属层形成的源电极和漏电极。

[0070] 其中,过渡层位于有源层和源漏金属层之间,也是由金属氧化物层形成,其目的是为了减少源电极和漏电极与有源层的接触电阻,同时保护下面的有源层,提升金属氧化物 TFT 的性能。过渡层包括有源电极过渡层和漏电极过渡层,源电极过渡层位于有源层和源电极之间,漏电极过渡层位于有源层和漏电极之间。

[0071] 有源层为由低导电率的金属氧化物层形成,过渡层为由高导电率的金属氧化物层形成。高导电率的金属氧化物层中氧的含量高,该金属氧化物层的导电性好, $R_s < 10^6$  欧姆·平方毫米/米,接近导体;低导电率的金属氧化物层中氧的含量低,该金属氧化物层的导电性不好, $10^6$  欧姆·平方毫米/米  $< R_s < 10^{11}$  欧姆·平方毫米/米,为半导体。具体地,高导电率的金属氧化物层可以采用非晶 IGZO。低导电率的金属氧化物层可以采用 HIZO、IZO、a-InZnO、ZnO:F、In<sub>2</sub>O<sub>3</sub>:Sn、In<sub>2</sub>O<sub>3</sub>:Mo、Cd<sub>2</sub>SnO<sub>4</sub>、ZnO:Al、TiO<sub>2</sub>:Nb、Cd-Sn-O 或其他金属氧化物。

[0072] 进一步地,过渡层可以由至少两个高导电率的金属氧化物层形成,从靠近有源层到远离有源层的方向上,该至少两个的金属氧化物层的导电率依次增大。

[0073] 进一步地,在形成源电极、漏电极之后还可以对沟道区域的有源层的表面进行修复处理,以修复刻蚀时对有源层的损伤和污染。具体地,可以利用 N<sub>2</sub>O 或 O<sub>2</sub> 等离子体对沟道区域的有源层的表面进行处理。一种实施例中,等离子体的工艺参数范围是:气压 100-2000mT,射频功率 500W-4000W, N<sub>2</sub>O 气体流量 500-3000sccm。

[0074] 进一步地,本发明的薄膜晶体管阵列基板的制造方法具体包括:

- [0075] 在基板上形成栅电极和栅极扫描线的图形；
- [0076] 在形成有栅电极和栅极扫描线的图形的基板上形成栅绝缘层；
- [0077] 在栅绝缘层上进行依次沉积第一金属氧化物层、第二金属氧化物层和源漏金属层，第一金属氧化物层的导电率小于第二金属氧化物层的导电率；
- [0078] 在源漏金属层上涂布光刻胶；
- [0079] 利用灰色调或半色调掩模板对光刻胶进行曝光和显影，形成完全去除区、对应源电极、漏电极和数据线的完全保留区和对应沟道区域的部分保留区，之后刻蚀掉完全去除区的源漏金属层、第一金属氧化物层和第二金属氧化物层，形成有源层，进行光刻胶灰化工艺去除掉部分保留区的光刻胶，之后先刻蚀掉部分保留区的源漏金属层，再刻蚀掉部分保留区的第二金属氧化物层，形成薄膜晶体管的沟道区域，去除完全保留区的光刻胶，形成包括源电极过渡层和漏电极过渡层的过渡层，以及分别位于源电极过渡层和漏电极过渡层上的由源漏金属层形成的源电极、漏电极和数据线；
- [0080] 在形成有源电极、漏电极和数据线的图形的基板上形成包括有接触过孔的钝化层的图形；
- [0081] 在钝化层上形成像素电极，像素电极通过接触过孔与漏电极相连接。
- [0082] 本发明的薄膜晶体管阵列基板的制造方法，通过导电率高的第二金属氧化物层既可在刻蚀源漏金属层时保护有源层，而且第二金属氧化物层还可以最后形成减少源电极和漏电极与有源层的接触电阻的过渡层，从而通过一次构图工艺即可形成有源层和由源漏金属层形成的源电极、漏电极，能够节省构图工艺，提升生产效率，降低产品的生产成本。
- [0083] 本发明实施例还提供了一种薄膜晶体管阵列基板，包括：
- [0084] 由第一金属氧化物层形成的有源层；
- [0085] 由第二金属氧化物层形成的过渡层，过渡层的导电率比有源层的导电率大，过渡层包括源电极过渡层和漏电极过渡层；
- [0086] 由源漏金属层形成的源电极、漏电极；
- [0087] 其中，源电极过渡层位于有源层和源电极之间，漏电极过渡层位于有源层和漏电极之间。
- [0088] 其中，过渡层位于有源层和源漏金属层之间，由金属氧化物形成，其目的是为了减少源电极和漏电极与有源层的接触电阻，同时保护有源层，提升金属氧化物 TFT 的性能。
- [0089] 其中，有源层的材料为低导电率的金属氧化物层，过渡层的材料为高导电率的金属氧化物层。其中，高导电率的金属氧化物层中氧的含量高，该金属氧化物层的导电性好， $R_s < 10^6$  欧姆·平方毫米/米，接近导体；低导电率的金属氧化物层中氧的含量低，该金属氧化物层的导电性不好， $10^6$  欧姆·平方毫米/米  $< R_s < 10^{11}$  欧姆平方毫米/米，为半导体。具体地，过渡层可以采用非晶 IGZO，有源层可以采用 HIZO、IZO、 $\alpha$ -InZnO、ZnO:F、 $\text{In}_2\text{O}_3$ :Sn、 $\text{In}_2\text{O}_3$ :Mo、 $\text{Cd}_2\text{SnO}_4$ 、ZnO:Al、 $\text{TiO}_2$ :Nb、Cd-Sn-O 或其他金属氧化物。
- [0090] 进一步地，过渡层可以由两个以上高导电率的金属氧化物层形成，从靠近有源层到远离有源的方向上，该两个以上金属氧化物层的导电率依次增大。
- [0091] 下面结合具体的实施例对本发明的薄膜晶体管阵列基板进行进一步地说明。
- [0092] 本实施例中，沟道区域和源电极、漏电极、数据线等部分的结构为：
- [0093] 由第一金属氧化物层形成的有源层；



[0094] 位于有源层上由第二金属氧化物层形成的过渡层,过渡层的导电率比有源层的导电率大,过渡层包括源电极过渡层和漏电极过渡层;

[0095] 分别位于源电极过渡层和漏电极过渡层上的由源漏金属层形成的源电极、漏电极。

[0096] 该薄膜晶体管阵列基板的结构可以如图 1 和图 8 所示,具体包括:

[0097] 基板 1;

[0098] 位于基板 1 上由栅金属层形成的栅电极 2 和栅极扫描线 12;

[0099] 位于形成有栅电极 2 和栅极扫描线 12 的基板 1 上的栅绝缘层 3;

[0100] 位于栅绝缘层 3 上的由第一金属氧化物层形成的有源层 4-1;

[0101] 位于有源层 4-1 上由第二金属氧化物层形成的源电极过渡层和漏电极过渡层;

[0102] 分别位于源电极过渡层和漏电极过渡层上的由源漏金属层形成的源电极 5、漏电极 6 和数据线 13;

[0103] 位于形成有源电极 5、漏电极 6 和数据线 13 的基板 1 上的包括有接触过孔的钝化层 7;

[0104] 位于钝化层 7 上的像素电极 8,像素电极 8 通过接触过孔与漏电极 6 相连接。

[0105] 下面对本实施例的薄膜晶体管阵列基板的制造工艺进行详细说明,其工艺流程包括:

[0106] 第一次构图工艺:提供一基板 1,该基板 1 可以为玻璃基板或者石英基板,在基板 1 上沉积栅金属层以形成栅电极和栅极扫描线。

[0107] 具体地,可以采用溅射或热蒸发的方法在基板 1 上沉积厚度为  $500 \sim 4000 \text{ \AA}$  的栅金属层,栅金属层可以选用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金,栅金属层可以是单层金属或单层合金,还可以是多层金属或多层合金。在栅金属层上涂布光刻胶,利用掩模板对光刻胶进行曝光和显影之后进行刻蚀,形成栅电极 2 和栅极扫描线 12,图 2 所示为经第一次构图工艺后所形成结构的截面示意图。

[0108] 第二次构图工艺:在形成有栅电极 2 和栅极扫描线 12 的基板 1 上依次沉积栅绝缘层 3、第一金属氧化物层、第二金属氧化物层和源漏金属层。

[0109] 具体地,可以在形成有栅电极 2 和栅极扫描线 12 的基板 1 通过 PECVD (Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法) 沉积厚度为  $2000 \sim 5000 \text{ \AA}$  的栅绝缘层 3,栅绝缘层 3 可以选用氧化物、氮化物或者氧氮化合物,对应的反应气体可以为  $\text{SiH}_4$ ,  $\text{NH}_3$ ,  $\text{N}_2$  或  $\text{SiH}_2\text{Cl}_2$ ,  $\text{NH}_3$ ,  $\text{N}_2$ 。栅绝缘层可以使单层,也可以是多层,一般靠近金属氧化物层的为氧化物栅绝缘层。

[0110] 然后通过溅射的方法在栅绝缘层 3 上连续沉积厚度均为  $50 \sim 2000 \text{ \AA}$  的第一金属氧化物层和第二金属氧化物层,以便由第一金属氧化物层形成有源层,由第二金属氧化物层形成过渡层。过渡层位于有源层和源漏金属层之间,由金属氧化物形成,其目的是为了减少源电极和漏电极与有源层的接触电阻,同时用于形成该过渡层的第二金属氧化物层在刻蚀源漏金属层形成源电极和漏电极时还可保护下面的有源层,提升金属氧化物 TFT 的性能。

[0111] 其中,有源层的导电率低于过渡层的导电率,导电率接近半导体,过渡层可以由至少一个金属氧化物层形成,在过渡层由两个以上高导电率的金属氧化物层形成时,从靠近

有源层到远离有源层的方向上,该两个以上的金属氧化物层的导电率依次增大。

[0112] 本实施例以过渡层仅包括一个金属氧化物层为例进行具体说明。本实施例中,在栅绝缘层 3 上连续沉积两个金属氧化物层,先沉积的金属氧化物层导电率较低,可以作为有源层 4-1,后沉积的金属氧化物层导电率较高,可以作为过渡层 4-2。如果在栅绝缘层 3 上沉积三个以上的金属氧化物层时,则最下层的金属氧化物层作为有源层,其余的金属氧化物层作为过渡层。

[0113] 沉积金属氧化物层时通过控制氧的含量可以有效地控制金属氧化物层的导电性,金属氧化物层中氧的含量高,则该金属氧化物层的导电性好, $R_s < 10^6$  欧姆·平方毫米/米,接近导体;金属氧化物层中氧的含量低,则该金属氧化物层导电性不好, $10^6$  欧姆·平方毫米/米  $< R_s < 10^{11}$  欧姆·平方毫米/米,为半导体。具体地,第二金属氧化物层可以采用非晶 IGZO,第一金属氧化物层可以采用非晶 IGZO、HIZO、IZO、 $\alpha$ -InZnO、ZnO:F、 $In_2O_3$ :Sn、 $In_2O_3$ :Mo、 $Cd_2SnO_4$ 、ZnO:Al、 $TiO_2$ :Nb、Cd-Sn-O 或其他金属氧化物;之后在第二金属氧化物层上沉积源漏金属层,具体地,可以通过溅射或热蒸发的方法沉积厚度为 2000 ~ 4000 Å 源漏金属层,源漏金属层可以选用 Cr、W、Ti、Ta、Mo 等金属和合金,可以是单层金属薄膜或单层合金薄膜,也可以多层金属薄膜或多层合金薄膜合并而成。

[0114] 通过涂布光刻胶和一次灰色调或者半色调掩模板曝光显影后,形成完全去除区、部分保留区和完全保留区,如图 3 所示,完全保留区对应于源漏金属电极和数据线,部分保留区对应于 TFT 沟道区域。进行第一次刻蚀工艺,刻蚀掉完全去除区的源漏金属层和第一金属氧化物层、第二金属氧化物层,形成有源层 4-1,结构如图 4 所示;接着进行一次光刻胶灰化工艺去除掉部分保留区的光刻胶 10,形成如图 5 所示的结构;接着再进行第二次刻蚀工艺,先刻蚀掉 TFT 沟道区域的源漏金属层,再刻蚀掉部分保留区的第二金属氧化物层,为了保证完全刻蚀掉第二金属氧化物层,在刻蚀时可以刻蚀掉一部分的第一金属氧化物层,在源电极和漏电极之间形成 TFT 的沟道。

[0115] 本实施例中,过渡层 4-2 直接与源漏金属层接触,这样设计可以减少有源层 4-1 与源电极和漏电极的接触电阻,提升金属氧化物 TFT 的开态电流。有源层 4-1 直接与栅绝缘层 3 接触,低含氧量的金属氧化物层形成有源层能够使得 TFT 性能更稳定。

[0116] 进一步地,为提升金属氧化物 TFT 的性能可以对 TFT 沟道区域的有源层的表面进行处理,以修复刻蚀时对有源层的损伤和污染。具体地,可以利用  $N_2O$  或  $O_2$  等离子体对沟道区域的有源层的表面进行处理。以 5G 生产线为例,等离子体的工艺参数范围是:气压 100-2000mT,射频功率 500W-4000W,  $N_2O$  气体流量 500-3000sccm,不同产线的设备,工艺参数有所不同,但处理的思想相同。

[0117] 之后去除残余的光刻胶 10,形成包括源电极过渡层和漏电极过渡层的过渡层 4-2、源电极 5、漏电极 6 和数据线 13,经第二次构图工艺最后形成的结构如图 6 所示。

[0118] 第三次构图工艺:在完成第二次构图工艺的基板 1 上沉积钝化层 7,具体地,可以通过 PECVD 方法沉积厚度为 2000 ~ 5000 Å 的钝化层 7,钝化层 7 可以选用氧化物、氮化物或者氧氮化合物,钝化层 7 可以是单层结构也可以是多层结构,对应的反应气体可以为  $SiH_4$ ,  $NH_3$ ,  $N_2$  或  $SiH_2Cl_2$ ,  $NH_3$ ,  $N_2$ 。在钝化层上涂布光刻胶,利用掩模板对光刻胶进行曝光和显影之后进行刻蚀,形成包括有接触过孔的钝化层 7 的图形,如图 7 所示为经第三次构图工艺后所形成结构的截面示意图;

[0119] 第四次构图工艺：在完成第三次构图工艺的基板 1 上沉积透明导电层，具体地，可以通过溅射或热蒸发的方法在形成有钝化层 7 的基板 1 上沉积厚度为  $300 \sim 1500 \text{ \AA}$  的透明导电层，透明导电层可以采用 ITO 或者 IZO，或者其他的透明金属氧化物。在透明导电层上涂布光刻胶，利用掩模板对光刻胶进行曝光和显影之后进行刻蚀，形成像素电极 8，像素电极 8 通过接触过孔与漏电极 6 相连接。

[0120] 如图 8 所示为经第四次构图工艺后所形成的薄膜晶体管阵列基板的截面示意图，如图 1 所示为经过四次构图工艺后形成的薄膜晶体管阵列基板的平面示意图。

[0121] 本实施例通过导电率高的第二金属氧化物层既可在刻蚀源漏金属层时保护有源层，而且第二金属氧化物层还可以最后形成减少源电极和漏电极与有源层的接触电阻的过渡层，从而可通过一次构图工艺形成有源层、源电极和漏电极，能够节省构图工艺，提升生产效率，降低产品的生产成本。此外，本发明的技术方案在栅绝缘层上形成两层以上的金属氧化物层，底层是有源层，其余层作为过渡层，在形成源电极和漏电极时刻蚀掉过渡层，形成沟道，这样设计既可以减少源电极和漏电极与有源层的接触电阻，同时利用过渡层保护有源层，可以提升金属氧化物 TFT 的性能。

[0122] 本发明还提供了一种显示面板，包括如上所述的薄膜晶体管阵列基板。

[0123] 本发明还提供了一种显示装置，包括如上所述的薄膜晶体管阵列基板，具体地，该显示装置可以应用在液晶显示器、平板电脑等电子器件中。

[0124] 以上所述是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

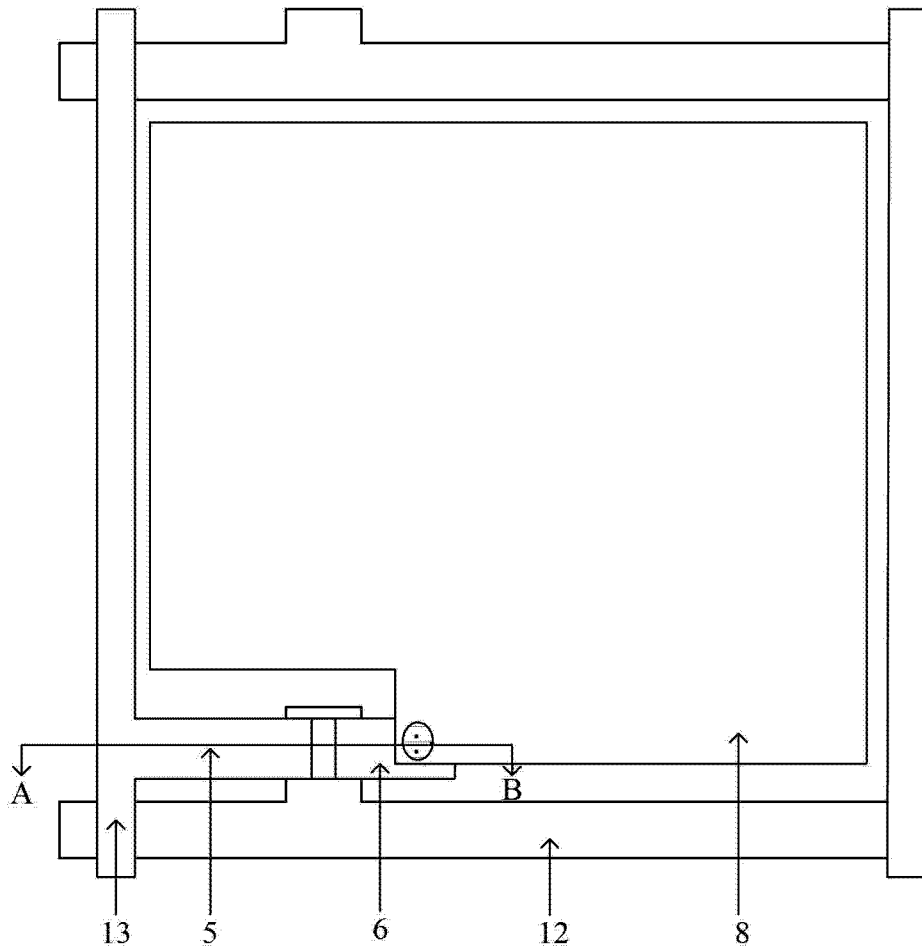


图 1

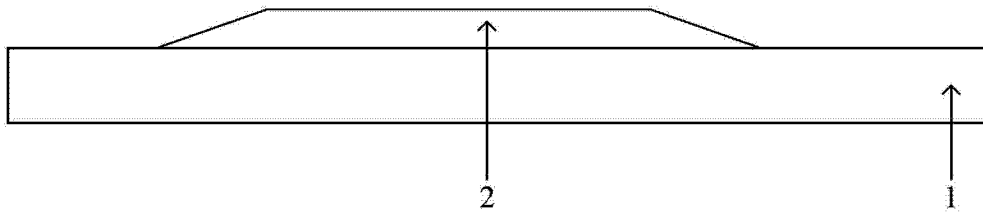


图 2

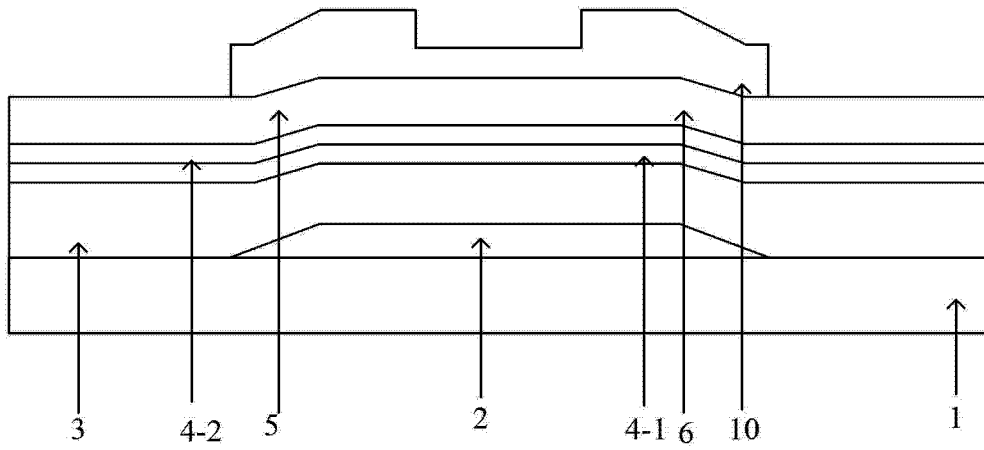


图 3

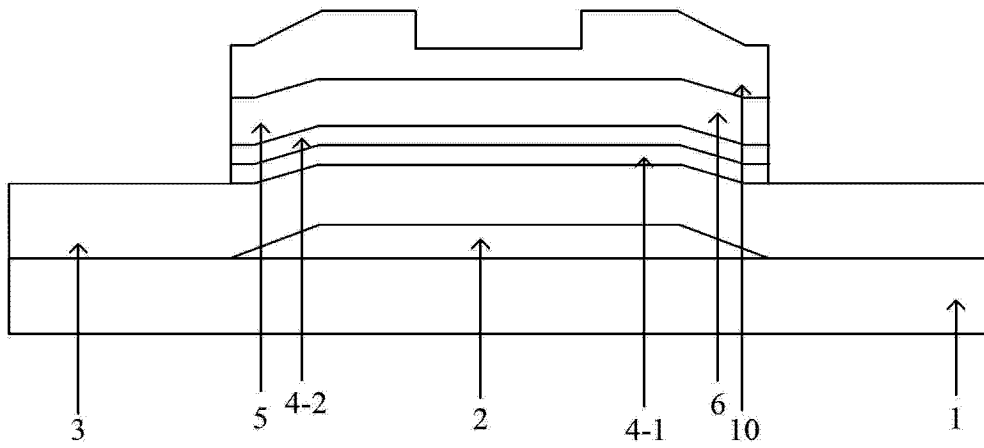


图 4

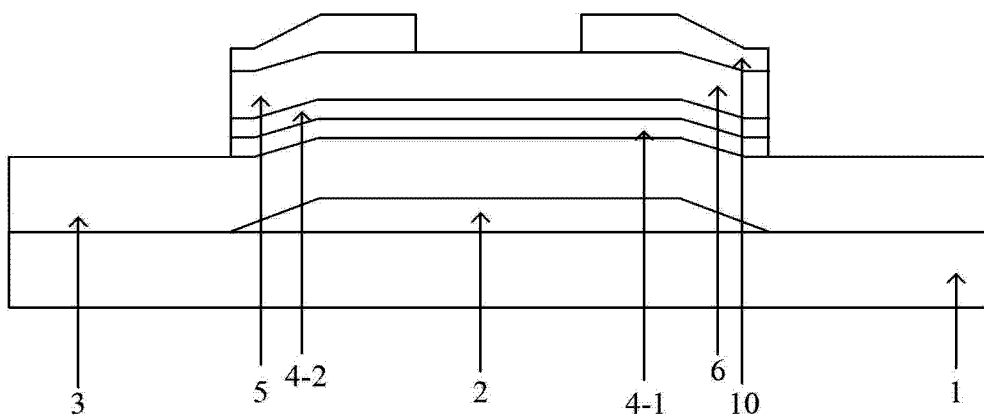


图 5

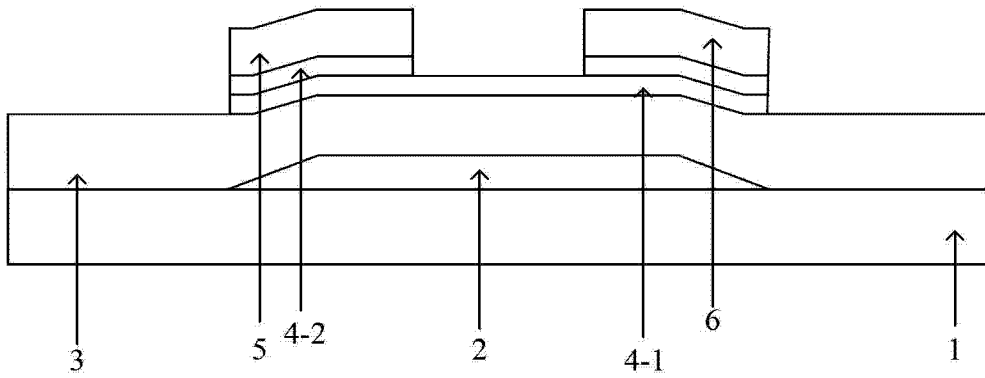


图 6

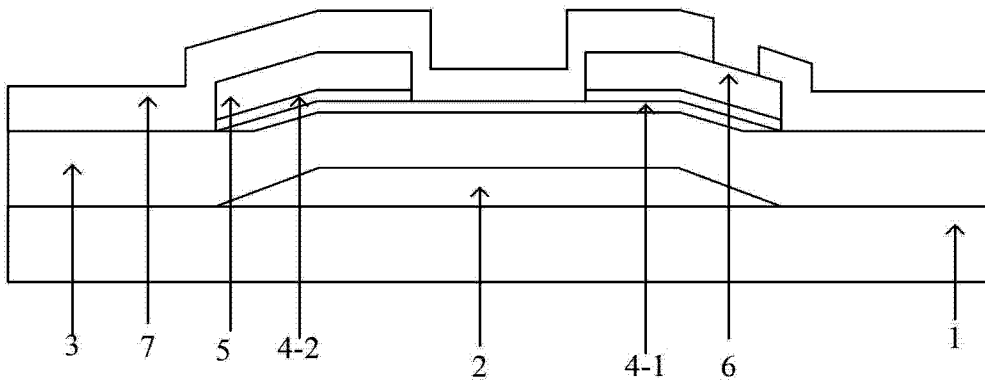


图 7

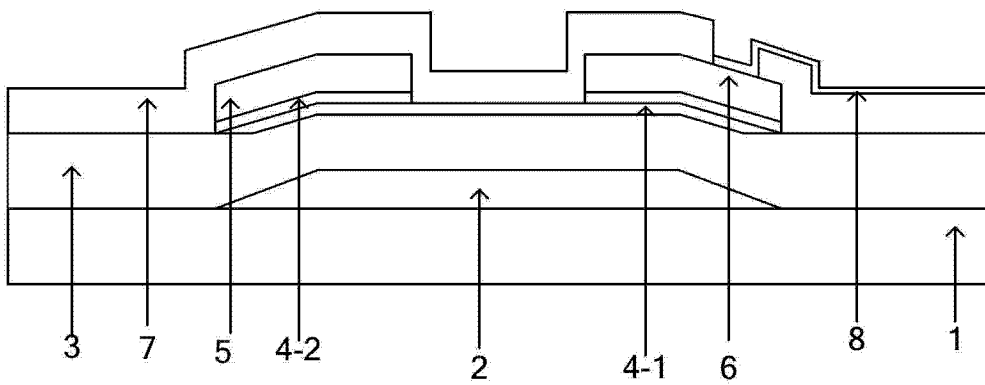


图 8