



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월04일  
(11) 등록번호 10-1874587  
(24) 등록일자 2018년06월28일

- (51) 국제특허분류(Int. Cl.)  
*H01L 33/62* (2010.01) *H01L 33/00* (2010.01)  
*H01L 33/20* (2010.01) *H01L 33/32* (2010.01)  
*H01L 33/38* (2010.01) *H01L 33/40* (2010.01)  
*H01L 33/44* (2010.01)  
 (52) CPC특허분류  
*H01L 33/62* (2013.01)  
*H01L 33/0025* (2013.01)  
 (21) 출원번호 10-2017-0123366(분할)  
 (22) 출원일자 2017년09월25일  
 심사청구일자 2017년09월25일  
 (65) 공개번호 10-2017-0115026  
 (43) 공개일자 2017년10월16일  
 (62) 원출원 특허 10-2012-0129107  
 원출원일자 2012년11월14일  
 심사청구일자 2016년07월05일  
 (30) 우선권주장  
 1020100065967 2010년07월08일 대한민국(KR)  
 (뒷면에 계속)  
 (56) 선행기술조사문헌  
 JP2010141176 A

- (73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**양종인**  
 경기도 화성시 동탄순환대로21길 53, 1313동 604호 (청계동, 롯데캐슬 알바트로스)  
**김태형**  
 경기도 수원시 영통구 매탄로126번길 22, 101동 1001호 (매탄동, 주공그린빌)  
 (뒷면에 계속)  
 (74) 대리인  
**리앤목특허법인**

전체 청구항 수 : 총 10 항

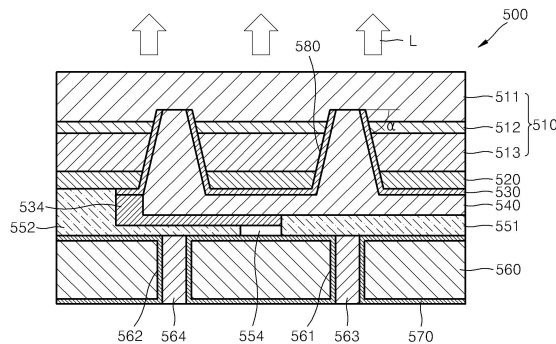
심사관 : 김동우

(54) 발명의 명칭 **반도체 발광소자 및 이의 제조방법**

**(57) 요약**

반도체 발광소자 및 그 제조방법이 개시된다. 개시된 반도체 발광소자는, 기판 상에 순차적으로 적층된 제1전극층, 제1절연층, 제2전극층, 제2반도체층, 활성층 및 제1반도체층과, 상기 제1전극층의 일부 영역 상에 형성된 제1전극패드와, 상기 제1전극층의 나머지 영역 상으로 형성된 제2절연층과, 상기 제2전극층 상에서 상기 제2절연층 상으로 연장된 제2전극패드와, 상기 기판을 관통하여 상기 제1전극패드와 전기적으로 연결된 제1콘택과, 상기 기판을 관통하여 상기 제2전극층과 통전하는 제2콘택;을 구비하며, 상기 제1전극층은 상기 제2전극층, 제2반도체층 및 활성층을 관통하는 콘택홀을 채워서 상기 제1반도체층과 전기적으로 연결되며, 상기 제1절연층은 상기 콘택홀의 내주를 감싸도록 형성되어 상기 제1전극층을 상기 제2전극층으로부터 절연한다

**대표도** - 도5



(52) CPC특허분류

*H01L 33/005* (2013.01)  
*H01L 33/0079* (2013.01)  
*H01L 33/20* (2013.01)  
*H01L 33/32* (2013.01)  
*H01L 33/382* (2013.01)  
*H01L 33/387* (2013.01)  
*H01L 33/405* (2013.01)  
*H01L 33/44* (2013.01)  
*H01L 2924/0002* (2013.01)

(30) 우선권주장

1020100079225 2010년08월17일 대한민국(KR)  
1020100075670 2010년08월05일 대한민국(KR)

(72) 발명자

**송상엽**

경기도 수원시 영통구 광고호수로152번길 23, 230  
1동 1403호 (하동, 광고 LAKE PARK 한양수자인)

**김학환**

경기도 수원시 영통구 태장로82번길 32, 105동 40  
1호 (망포동, 동수원자이1차)

**손철수**

서울특별시 송파구 올림픽로35길 104, 15동 907호  
(신천동, 장미아파트)

**이시혁**

경기도 안양시 동안구 귀인로 193, 206동 903호 (   
평촌동, 향촌현대4차아파트)

**이진현**

경기도 수원시 영통구 매탄로 82, 202동 201호 (매  
탄동, 우남퍼스트빌)

## 명세서

### 청구범위

#### 청구항 1

제1 반도체층, 활성층 및 제2 반도체층을 포함하는 반도체 구조물을 포함하되, 상기 반도체 구조물은 상기 제2 반도체층으로부터 상기 제1 반도체층으로 연장되고 상기 제1 반도체층의 표면 내측으로 리세스된 복수개의 콘택 홀들을 포함하고;

상기 제2 반도체층에서 상기 제1 반도체층까지 연장되어 형성된 상기 각각의 콘택홀 내에 형성되어 상기 제1 반도체층과 전기적으로 연결되는 제1 전극층;

상기 제2 반도체층 상에 마련되고 상기 제1 전극층과 이격되어 상기 제2 반도체층에 전기적으로 연결되는 제2 전극층;

상기 반도체 구조물 상에서 상기 제1 전극층 및 상기 제2 전극층을 절연하도록 형성된 제1 절연층;

상기 제1 절연층의 일부분과 접촉하여 형성되고, 상기 제2 전극층의 일부인 제1 영역과 상기 제1 전극층의 일부인 제2 영역을 노출시키는 제2 절연층;

상기 제2 영역에서 상기 제1 전극층과 연결된 제1 금속층;

상기 제1 영역에서 상기 제2 전극층과 연결된 제2 금속층;

상기 제1 금속층 및 제2 금속층 상에 각각 마련된 제1 전극패드 및 제2 전극패드; 및

상기 제1 전극패드와 상기 제2 전극패드 사이에 마련된 절연 격벽;을 포함하고,

상기 제1 절연층 및 상기 제2 절연층의 일부분은 수직적으로 상기 절연 격벽 및 상기 제2 전극층 사이에 위치하고, 상기 제2 전극층, 상기 제1 절연층, 상기 제2 절연층 및 상기 절연 격벽은 상기 반도체 구조물 상에서 순차적으로 적층되어 있고,

상기 제1 금속층의 면적은 상기 반도체 구조물의 제2 반도체층 상에서 평면적으로 상기 제2 금속층의 면적보다 크고, 상기 제1 전극 패드의 면적은 상기 제1 금속층의 면적보다 작은 것을 특징으로 하는 반도체 발광소자.

#### 청구항 2

제 1 항에 있어서,

상기 제1 금속층과 상기 제1 전극 패드 사이에 배치되는 제3 금속층;

상기 제2 금속층과 상기 제2 전극 패드 사이에 배치되는 제4 금속층을 더 포함하고,

상기 제3 금속층의 면적은 평면적으로 상기 제1 금속층의 면적보다 작은 것을 특징으로 하는 반도체 발광소자.

#### 청구항 3

제 1 항에 있어서,

상기 제1 절연층은 상기 각각의 콘택홀의 측벽 및 상기 제2 반도체층 상에 형성되어 상기 제1 전극층이 상기 제2 반도체층과 절연되어 있는 것을 특징으로 하는 반도체 발광소자.

#### 청구항 4

제 1 항에 있어서,

상기 제1 절연층이 상기 제2 전극층 상으로 연장되어 있고, 상기 제1 금속층은 상기 제2 전극층과 수직적으로 오버랩되어 있는 것을 특징으로 하는 반도체 발광소자.

#### 청구항 5

제 1 항에 있어서,

상기 제2 절연층이 상기 제1 금속층 상으로 연장되어 형성되어 있고, 상기 제1 전극 패드는 상기 제2 전극층과 수직적으로 오버랩되어 있는 것을 특징으로 하는 반도체 발광소자.

**청구항 6**

제 1 항에 있어서,

상기 복수개의 콘택홀들은 원형 단면을 가지며,

상기 각각의 콘택홀의 측면은 상기 제1 반도체층, 상기 활성층 및 상기 제2 반도체층의 방향으로 경사져있는 것을 특징으로 하는 반도체 발광소자.

**청구항 7**

제1 반도체층, 활성층 및 제2 반도체층을 포함하는 반도체 구조물을 포함하되, 상기 반도체 구조물은 상기 제2 반도체층으로부터 상기 제1 반도체층으로 연장되고 상기 제1 반도체층의 표면 내측으로 리세스된 복수개의 콘택홀들을 포함하고;

상기 제2 반도체층에서 상기 제1 반도체층까지 연장되어 형성된 상기 각각의 콘택홀 내에 형성되어 상기 제1 반도체층과 전기적으로 연결되는 제1 전극층;

상기 제2 반도체층 상에 마련되고 상기 제1 전극층과 이격되어 상기 제2 반도체층에 전기적으로 연결되는 제2 전극층;

상기 반도체 구조물 상에서 상기 제1 전극층 및 상기 제2 전극층을 절연하도록 형성되는 제1 절연층;

상기 제1 절연층의 일부분과 접촉하여 형성되고, 상기 제2 전극층의 일부인 제1 영역과 상기 제1 전극층의 일부인 제2 영역을 노출시키는 제2 절연층;

상기 제2 영역에서 상기 제1 전극층과 연결된 제1 금속층;

상기 제1 영역에서 상기 제2 전극층과 연결된 제2 금속층;

상기 제1 금속층 및 상기 제2 금속층 상에 각각 배치되는 제3 금속층 및 제4 금속층;

상기 제3 금속층 및 제4 금속층 상에 각각 배치되는 제1 전극패드 및 제2 전극패드; 및

상기 제1 전극패드와 상기 제2 전극패드 사이에 배치되는 절연 격벽;을 포함하고,

상기 제2 전극층, 상기 제1 절연층, 상기 제2 절연층 및 상기 절연 격벽은 상기 반도체 구조물 상에서 순차적으로 적층되어 있고,

상기 제2 절연층은 상기 제1 금속층, 상기 제2 금속층, 상기 제3 금속층, 및 상기 제4 금속층의 측벽을 둘러싸며, 상기 절연 격벽과 접촉하고,

상기 제1 금속층의 면적은 상기 반도체 구조물 상에서 평면적으로 상기 제2 금속층의 면적보다 큰 것을 특징으로 하는 반도체 발광소자.

**청구항 8**

제 7 항에 있어서,

상기 제2 전극 패드의 면적은 상기 제1 금속층의 면적보다 작은 것을 특징으로 하는 반도체 발광소자.

**청구항 9**

제 8 항에 있어서,

상기 제3 금속층의 면적은 평면적으로 상기 제1 금속층의 면적보다 작은 것을 특징으로 하는 반도체 발광소자

**청구항 10**

제 8 항에 있어서,

상기 제1 절연층 및 상기 제2 절연층의 일부분은 수직적으로 상기 절연 격벽 및 상기 제2 전극층 사이에 위치하고,

상기 제2 절연층은 상기 제1 금속층과 상기 제2 금속층 사이의 공간 및 상기 제3 금속층과 상기 제4 금속층 사이의 공간을 채우는 것을 특징으로 하는 반도체 발광소자.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 기관의 하부면에 반도체층 발광소자에 전류를 공급하는 전극이 형성된 발광소자 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 발광 다이오드(Light Emitting Diode: LED)와 같은 발광소자는 일반적으로 p형 반도체 및 n형 반도체의 접합구조이다. 이러한 반도체 접합 발광소자는 반도체층과 연결된 전극의 위치에 따라서 수평형 및 수직형 구조로 구분될 수 있다.

[0003] 수평형 발광소자는 발광면적의 일부를 제거하고 전극을 형성하므로 발광효율이 감소되며, 또한, 와이어 본딩을 필요로 하므로 발광소자로부터의 발열로 와이어가 단선될 수 있다.

[0004] 반도체 발광소자는 일반적으로 하나의 반도체층 하부에 도전성 기관을 사용하고 다른 반도체층에 전극을 배치하여 와이어 본딩을 한다. 상기 전극은 전류 분산을 위해 어느 정도 크기를 필요로 하며, 이에 따라 광추출이 제한되고 상기 전극에 의한 광흡수로 발광효율이 감소될 수 있다. 또한, 상기 전극에 전류를 공급하기 위한 와이어 본딩을 필요로 한다.

**발명의 내용**

**해결하려는 과제**

[0005] 반도체 구조물의 하부면에 p형 전극과 n형 전극이 위치하여 발광면적의 손실이 적으며, 와이어 본딩 없이 패키징이 가능한 반도체 발광소자와, 그 제조방법을 제공한다.

**과제의 해결 수단**

- [0006] 본 발명의 일 실시예에 따른 반도체 발광소자는;
- [0007] 기관 상에 순차적으로 적층된 제1전극층, 제1절연층, 제2전극층, 제2반도체층, 활성층 및 제1반도체층;
- [0008] 상기 제1전극층의 일부 영역 상에 형성된 제1전극패드;
- [0009] 상기 제1전극층의 나머지 영역 상으로 형성된 제2절연층;
- [0010] 상기 제2전극층 상에서 상기 제2절연층 상으로 연장된 제2전극패드;
- [0011] 상기 기관을 관통하여 상기 제1전극패드와 전기적으로 연결된 제1콘택과, 상기 기관을 관통하여 상기 제2전극층과 통전하는 제2콘택;을 구비하며, 상기 제1전극층은 상기 제2전극층, 제2반도체층 및 활성층을 관통하는 콘택홀을 채워서 상기 제1반도체층과 전기적으로 연결되며, 상기 제1절연층은 상기 콘택홀의 내주를 감싸도록 형성되어 상기 제1전극층을 상기 제2전극층으로부터 절연한다.
- [0012] 본 발명의 일 다른 실시예에 따른 반도체 발광소자의 제조방법은, 제1기관 상에 제1반도체층, 활성층, 제2반도체층을 순차적으로 형성하는 단계;
- [0013] 상기 제2반도체층으로부터 상기 제1반도체층을 노출하는 콘택홀을 형성하고, 상기 콘택홀에 상기 제1반도체층과 연결되게 콘택층을 형성하는 단계;
- [0014] 상기 제2반도체층 상으로 상기 콘택홀을 둘러싸는 제2전극층을 형성하는 단계;
- [0015] 상기 제2전극층 상으로 제1절연층을 형성하는 단계;
- [0016] 상기 제1절연층 상으로 상기 제2전극층의 제1영역을 제외한 제2영역에서 상기 콘택층과 연결된 제1전극층을 형

성하는 단계;

- [0017] 상기 제1전극층을 덮는 제2절연층을 형성하는 단계;
- [0018] 상기 제1영역의 상기 제2전극층과 연결되는 제2전극패드를 상기 제2절연층 상으로 연장하여 형성하는 단계;
- [0019] 상기 제2영역에서 상기 제2전극패드와 이격되게 상기 제1전극층과 연결되는 제1전극패드를 형성하는 단계;
- [0020] 제2기판에 서로 이격된 관통홀을 메탈로 채워서 제1콘택 및 제2콘택을 형성하는 단계;
- [0021] 상기 제2기판을 상기 제1콘택 및 상기 제2콘택이 각각 상기 제1전극패드 및 상기 제2전극패드와 접합하는 단계;를 포함한다.
- [0022] 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법은:
- [0023] 제1기판 상에 제1반도체층, 활성층, 제2반도체층, 제2전극층을 순차적으로 형성하는 단계;
- [0024] 상기 제2전극층으로부터 상기 제1반도체층을 노출하는 콘택홀을 형성하는 단계;
- [0025] 상기 제2전극층 상으로 상기 콘택홀의 내주를 덮는 제1절연층을 형성하는 단계;
- [0026] 상기 콘택홀의 바닥의 상기 제1절연층을 식각하여 상기 제1반도체층을 노출시키는 단계;
- [0027] 상기 제1절연층 상으로 상기 제2전극층의 제1영역을 제외한 제2영역에서 상기 콘택층과 연결된 제1전극층을 형성하는 단계;
- [0028] 상기 제1전극층을 덮는 제2절연층을 형성하는 단계;
- [0029] 상기 제1영역의 상기 제2전극층과 연결되는 제2전극패드를 상기 제2절연층 상으로 연장하여 형성하는 단계;
- [0030] 상기 제2영역에서 상기 제2전극패드와 이격되게 상기 제1전극층과 연결되는 제1전극패드를 형성하는 단계;
- [0031] 제2기판에 서로 이격된 관통홀을 메탈로 채워서 제1콘택 및 제2콘택을 형성하는 단계;
- [0032] 상기 제2기판을 상기 제1콘택 및 상기 제2콘택이 각각 상기 제1전극패드 및 상기 제2전극패드와 연결되게 접합하는 단계;를 포함한다.
- [0033] 본 발명의 또 다른 실시예에 따른 반도체 발광소자는:
- [0034] 제1 반도체층, 활성층, 및 제2 반도체층을 포함하는 반도체 구조물;
- [0035] 상기 제2 반도체층 상에 마련된 것으로, 상기 제1 반도체층 및 상기 제2 반도체층 각각에 전기적으로 연결되는 제1전극층 및 제2전극층;
- [0036] 상기 반도체 구조물의 상면에서 상기 제1전극층 및 상기 제2전극층을 절연하는 절연층;
- [0037] 상기 제1전극층 상에 마련된 제1 전극패드와, 상기 제2전극층 상의 제2 전극패드를 포함하는 도금 전극층; 및
- [0038] 상기 제1 전극패드와 상기 제2 전극패드 사이에 마련된 절연 격벽;을 포함한다.
- [0039] 상기 제1전극층은 상기 제2 반도체층에서 상기 제1 반도체층까지 형성된 적어도 하나의 콘택홀을 통하여 상기 제1 반도체층에 전기적으로 연결도록 상기 적어도 하나의 콘택홀의 상부를 덮는다.
- [0040] 상기 절연층은 연장되어서 상기 적어도 하나의 콘택홀의 측벽에 형성되어서 상기 제1전극층이 상기 제2 반도체층과 절연한다.
- [0041] 상기 반도체 구조물은 소정 기판 상에 적층하여 형성된 질화갈륨계 발광 다이오드에서 상기 기판이 제거된 것이다.
- [0042] 본 발명의 또 다른 실시예에 따른 반도체 발광소자는:
- [0043] 제1 반도체층, 활성층 및 제2 반도체층을 포함하는 반도체 구조물;
- [0044] 상기 제2 반도체층 상에 마련된 것으로, 상기 제1 반도체층 및 상기 제2 반도체층 각각에 전기적으로 연결되는 제1전극층 및 제2전극층;
- [0045] 상기 반도체 구조물의 상면에서 상기 제1전극층 및 상기 제2전극층을 절연하는 제1절연층;

- [0046] 상기 제1절연층, 상기 제1전극층 및 상기 제2전극층을 덮으며, 상기 제2전극층의 일부인 제1영역과 상기 제1전극층의 일부인 제2영역을 노출시키는 제2절연층;
- [0047] 상기 제2영역에서 상기 제1전극층과 연결된 제1금속층;
- [0048] 상기 제1영역에서 상기 제2전극층과 연결된 제2금속층;
- [0049] 상기 제1금속층 상에 마련된 제1 전극패드와, 상기 제2금속층 상의 제2 전극패드를 포함하는 도금 전극층; 및
- [0050] 상기 제1 전극패드와 상기 제2 전극패드 사이에 마련된 절연 격벽;을 포함한다.
- [0051] 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법은:
- [0052] 기판 상에 제1 반도체층, 활성층, 및 제2 반도체층을 적층하여 반도체 구조물을 형성하는 단계;
- [0053] 상기 반도체 구조물의 상면에 상기 제1 반도체층 및 제2 반도체층에 각각 전기적으로 연결되는 제1전극층 및 제2전극층을 형성하는 단계;
- [0054] 상기 제1전극층이 위치한 영역 및 상기 제2전극층이 위치한 영역의 일부를 노출시키는 절연층을 도포하는 단계;
- [0055] 상기 제1전극층이 노출된 제1 전극 영역과 상기 제2전극층이 노출된 제2 전극 영역에 도금하여 제1 전극패드 및 제2 전극패드를 형성하는 단계;
- [0056] 상기 제1 전극패드 및 상기 제2 전극패드 사이의 경계 영역에 절연물질을 증전하여 절연 격벽을 형성하는 단계; 및
- [0057] 상기 기판을 제거하는 단계;를 포함한다.
- [0058] 상기 제1전극층 및 제2전극층을 형성하는 단계는,
- [0059] 상기 제2 반도체층에서 상기 제1 반도체층까지 적어도 하나의 콘택홀을 형성하는 단계;
- [0060] 상기 제2 반도체층 및 상기 적어도 하나의 콘택홀에 보호층을 형성하는 단계;
- [0061] 상기 적어도 하나의 콘택홀의 바닥에 위치한 보호층을 제거하여 상기 제1 반도체층을 노출하는 단계;
- [0062] 상기 제1 반도체층의 노출된 영역에 제1전극층을 형성하는 단계;
- [0063] 상기 제2 반도체층의 상기 제1전극층을 둘러싼 영역을 제외한 나머지 영역의 보호층을 제거하는 단계; 및
- [0064] 상기 제2 반도체층의 상기 보호층이 제거되어 노출된 영역에 제2전극층을 형성하는 단계;를 포함할 수 있다.
- [0065] 상기 절연층을 도포하는 단계는,
- [0066] 상기 제1전극층, 상기 제2전극층, 및 상기 반도체 구조물의 상면 전역에 절연층을 도포하는 단계; 및
- [0067] 상기 절연층 중 상기 제1전극층 및 상기 제2전극층이 위치한 영역의 일부를 제거하는 단계;를 포함할 수 있다.
- [0068] 상기 제1 전극패드 및 제2 전극패드를 형성하는 단계는,
- [0069] 상기 제1 전극 영역과 상기 제2 전극 영역 사이의 경계 영역에 포토레지스트를 형성하는 단계;
- [0070] 상기 포토레지스트를 사이에 두고 도금하여 상기 제1 전극패드 및 상기 제2 전극패드를 형성하는 단계; 및
- [0071] 상기 포토레지스트를 제거하는 단계;를 포함할 수 있다.
- [0072] 상기 제1 전극패드 및 제2 전극패드를 형성하는 단계는 상기 제1 전극 영역과 상기 제2 전극 영역에 도금을 위한 시드층을 형성하는 단계를 더 포함할 수 있다.
- [0073] 상기 제1 전극, 제2 전극 및 상기 절연 격벽의 상면을 평탄화하는 단계를 더 포함할 수 있다.
- [0074] 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법은:
- [0075] 기판 상에 제1 반도체층, 활성층, 및 제2 반도체층을 적층하여 반도체 구조물을 형성하는 단계;
- [0076] 상기 반도체 구조물의 상면에 상기 제1 반도체층 및 제2 반도체층에 각각 전기적으로 연결되는 제1전극층 및 제2전극층을 형성하는 단계;
- [0077] 상기 제1전극층이 위치한 영역 및 상기 제2전극층이 위치한 영역의 일부를 노출시키는 제1절연층을 형성하는 단

계;

- [0078] 상기 제1절연층, 상기 제1전극층 및 상기 제2전극층을 덮는 제2절연층을 형성하는 단계;
- [0079] 상기 제2절연층을 식각하여 상기 제1전극층의 일부인 제1영역과, 상기 제2전극층의 제2영역을 노출시키는 제2절연층을 형성하는 단계;
- [0080] 상기 제1영역 및 상기 제2영역에 각각 제1금속층과 제2금속층을 형성하는 단계;
- [0081] 상기 제1금속층과 상기 제2금속층 상에 도금하여 각각 제1 전극패드 및 제2 전극패드를 형성하는 단계;
- [0082] 상기 제1 전극패드 및 상기 제2 전극패드 사이의 경계 영역에 절연물질을 충전하여 절연 격벽을 형성하는 단계; 및
- [0083] 상기 기판을 제거하는 단계;를 포함한다.

**발명의 효과**

- [0084] 개시된 실시예들에 의한 반도체 발광소자 및 제조방법은 발광구조물의 하부면으로부터 n형 반도체 및 p형 반도체로 전류를 공급하므로, 광추출 효율이 향상되며, 와이어 본딩없이 직접 다이본딩이 가능하므로, 신뢰성이 향상된 반도체 발광소자를 제공한다.
- [0085] 또한, 제2전극층과 연결되는 면적을 증가시켜서 콘택이 형성된 별도의 기판과의 전기적 연결이 용이해진다.
- [0086] 또한, 다른 실시예에 따르면, 도금공정을 이용하여 형성된 두터운 금속층을 지지기판으로 사용함으로써, 대량생산, 대면적화가 용이하면서, 제조비용을 저감시킬 수 있다.

**도면의 간단한 설명**

- [0087] 도 1a는 본 발명의 일 실시예에 따른 반도체 발광소자의 개략적인 단면도이며, 도 1b는 도 1의 변형예인 단면도이다.  
 도 2는 도 1a의 II-II'선단면도이다.  
 도 3a 내지 도 3j는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다.  
 도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다.  
 도 5는 다른 실시예에 따른 반도체 발광소자의 개략적인 단면도이다.  
 도 6a 내지 도 6g는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 도면이다.  
 도 7a 내지 도 7c는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다.  
 도 8은 본 발명의 다른 실시예에 따른 반도체 발광소자의 개략적인 단면도이다.  
 도 9a 내지 도 9l은 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위해 순차적으로 도시한 공정단면도이다.  
 도 10a 내지 도 10d는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조 공정의 단계에서 전극 패턴의 일 예를 도시한 평면도이다.  
 도 11은 본 발명의 다른 실시예에 따른 반도체 발광소자의 개략적인 단면도이다.  
 도 12a 내지 도 12g는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위해 순차적으로 도시한 공정단면도이다.  
 도 13a 내지 도 13c는 본 발명의 일 실시예에 따른 반도체 발광소자의 제조 공정의 단계에서 전극 패턴의 일 예를 도시한 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0088] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 반도체 발광소자 및 그 제조방법을 상세하게 설명한다.



이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다. 명세서를 통하여 실질적으로 동일한 구성요소에는 동일한 참조번호를 사용하고 상세한 설명은 생략한다.

- [0089] 도 1a는 본 발명의 일 실시예에 따른 반도체 발광소자(100)의 개략적인 단면도이며, 도 2는 도 1의 II-II' 선단면도이다. 도 1b는 도 1a의 변형예이다.
- [0090] 도 1a 및 도 2를 참조하면, 본 실시예의 반도체 발광소자(100)는 반도체 구조물(110)과, 반도체 구조물(110)의 일면에 마련된 전극 구조물과 전극구조물을 지지하는 기판을 포함한다.
- [0091] 반도체 구조물(110)은 미도시된 기판, 예컨대 사파이어 기판 상에 결정성장하여 순차적으로 형성된 제1 반도체층(111), 활성층(112), 제2 반도체층(113)을 포함한다. 사파이어 기판은 제조공정에서 제거될 수도 있으며, 도 1a에는 편의상 도시되지 않았다.
- [0092] 반도체 구조물(110)은 예를 들어, GaN, InN, AlN 등과 같은 III-V족 반도체로 형성되며, 사파이어 기판은 이들 질화물 반도체와의 격자구조가 유사하여 결정성장을 위한 기판으로 사용된다. 제1 반도체층(111)은 n형 도전성을 가질 수 있으며, 제2 반도체층(113)은 p형 도전성을 가질 수 있다. 제1 반도체층(111)이 p형 도전성을 가지며, 제2 반도체층(113)이 n형 도전성을 가질 수도 있다.
- [0093] 제1 반도체층(111)과 제2 반도체층(113) 사이에는 활성층(112)이 위치한다. 활성층(112)은 예를 들어, 다중양자우물구조로 형성될 수 있다. 다중양자우물구조는 다수의 양자 우물층과 이들 사이에 형성된 다수의 양자 장벽층으로 이루어진다. 구체적인 예로서, 반도체 구조물(110)이 질화갈륨계 발광 다이오드인 경우, 제1 반도체층(111)은 n형 불순물 도핑된 GaN으로 형성되고, 제2 반도체층(113)은 p형 불순물 도핑된 GaN으로 형성되며, 활성층(112)은 InGaIn로 이루어진 다중 우물층과 GaN로 이루어진 양자 장벽층들이 교번적으로 적층되어 형성될 수 있다. 제1 반도체층(111)과 제2 반도체층(113)을 통해 주입된 전자 및 정공은 활성층(112)에서 결합하여 광(L)을 방출한다. 방출된 광(L)은 반도체 구조물(110)의 제1 반도체층(111)을 통해 방출된다.
- [0094] 제2 반도체층(113)의 하부에는 제2전극층(120), 절연층(130), 제1전극층(140) 및 비도전성 기판(150)이 순차적으로 배치된다. 제1전극층(140)은 그 일부 영역이 절연층(130), 제2전극층(120), 제2 반도체층(113) 및 활성층(112)을 관통하고, 제1 반도체층(111)의 일정 영역까지 관통한 콘택홀(180)을 통해 연장되어 제1반도체층(111)과 접촉한다. 콘택홀(180)은 도 2에서 보듯이 복수로 형성될 수 있다. 복수의 콘택홀(180)을 채운 제1전극층(140)은 전류를 제1 반도체층(111)에 빠르게 확산시켜서 공급할 수 있다.
- [0095] 콘택홀(180)은 전류 확산 및 광 추출을 고려하여 매트릭스로 배열될 수 있다. 매트릭스 배열은 도 2 또는 도 10a에서 보는 바와 같이 가로 세로 중 적어도 일방향으로 등간격을 가진 배열일 수 있다. 필요에 따라서는 간격이 서로 다른 랜덤 분포를 가질 수도 있다.
- [0096] 콘택홀(180)의 크기(직경)는 0.1 ~ 500  $\mu\text{m}$ 로 형성될 수 있으며 바람직하게는 5 ~ 300  $\mu\text{m}$  일 수 있다. 본 실시예에서는 30 ~ 100  $\mu\text{m}$ 의 콘택홀을 사용하였다.
- [0097] 콘택홀(180)의 제1반도체층(111)과 접촉하는 부분의 면적은 콘택홀을 포함한 제1반도체층(111)의 면적의 0.01% ~ 30%일 수 있으며, 바람직하게는 0.9% ~ 10.4%이며, 더욱 바람직하게는 대략 2.6%이다. 콘택홀(180)의 면적이 0.01% 보다 작은 경우, 동작 전압의 증가로 인하여 광효율이 감소하고 소비전력이 커질 수 있다. 반대로 콘택홀(180)의 면적이 30% 보다 클 경우, 상대적으로 발광 유효 면적이 줄어 든다. 본 실시예에서는 가로 세로 각각 1100  $\mu\text{m}$  크기의 정사각형 칩을 사용하였으며 제1반도체층(111)과 접촉하는 콘택홀(180)의 면적이 각각 11300  $\mu\text{m}^2$  (칩면적 대비 0.9%), 31400  $\mu\text{m}^2$  (칩면적 대비 2.6%), 126000  $\mu\text{m}^2$  (칩면적 대비 10.4%)인 경우의 3종류의 발광소자의 광효율을 비교하였다. 광효율은 콘택홀의 면적이 31400  $\mu\text{m}^2$  (칩면적 대비 2.6%)인 칩이 가장 좋았으며 나머지 두개의 샘플은 10%정도 광 효율이 감소 하였다.
- [0098] 콘택홀(180)의 바닥의 평면(제1반도체층(111))에 대한 홀의 측면 경사각( $\alpha$ )은 0도 보다는 크고 90도 보다는 작게 형성된다. 바람직하게는 30 ~ 60도 정도가 좋다. 경사각이 90도 이상이면 경사면에 콘택홀(180) 상에 절연막(130)의 형성이 어려울 수 있으며, 제1전극층(140)의 공정이 어려울 수 있다. 콘택홀(180)의 경사면은 광 추출 효율의 향상을 위해 계단 형상으로 형성 될 수도 있으며, 경사면에 요철이 형성 될 수도 있다. 또한 경사면 상의 일부 또는 전면에 반사 물질을 코팅 할 수도 있다. 반사 물질로는 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물, 또는 이들의 혼합물 중 적어도 하나를 포함해서 형성될 수 있으며 단층 혹은 복수의 층으로 형성 될 수 있다. 반사물질은 빛의 외부 추출을 향상시킨다.

- [0099] 제1전극층(140) 및 제2전극층(120) 사이에는 제1전극층(140)이 제1 반도체층(111)을 제외한 다른 층과는 전기적으로 절연시키기 위한 절연층(130)이 형성되어 있다. 절연층(130)은 제1전극층(140)과 제2전극층(120)의 사이뿐만 아니라 콘택홀(180)에 의해 노출되는 제2전극층(120), 제2 반도체층(113) 및 활성층(112)의 측면들과 제1전극층(140) 사이에도 형성된다. 또한, 콘택홀(180)이 관통한 제1 반도체층(111)의 일정 영역의 측면에도 절연층(130)이 형성될 수 있다.
- [0100] 제2전극층(120)은 제2 반도체층(113)과 접촉되게 형성된다. 제2전극층(120)이 제2 반도체층(113)과 전기적으로 접촉하기 때문에 제2 반도체층(113)과의 접촉 저항을 최소화하면서도 활성층(112)에서 생성된 광을 반사시켜 외부로 향하게 하여 발광 효율을 높일 수 있는 반사기능을 가지는 물질로 형성된다. 제2전극층(120)은 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물 또는 이들의 혼합물로 구성된 물질을 적어도 하나 포함해서 형성될 수 있으며 단층 혹은 복수의 층으로 형성될 수 있다. 각 층의 두께는 각각 0.1 ~ 5000nm로 형성될 수 있다. 바람직하게는 2 ~ 2000nm이다. 본 실시예에서는 제2전극층(120)은 Ag/Ni/Ti/TiN의 4층 구조를 사용하였으며 각각은 150nm/50nm/50nm/400nm의 두께로 증착하였다. 제2전극층(120)의 Ag(150nm)층의 두께는 40nm 보다 얇으면 반사도가 떨어져 광출력이 감소하며 150nm 보다 두꺼우면 재료비 및 공정시간이 증가하므로 100 ~ 150nm범위가 적절하다. 제2전극층(120) 형성후 오믹콘택 형성을 위해 열처리를 행한다. 본 실시예에서는 열처리로 RTA법을 사용하여 350℃에서 60초간 실시하여 양호한 오믹 특성을 얻었다. 열처리의 온도 및 시간은 오믹 전극의 재료에 따라 다르지만 300 ~ 800℃에서 5 ~ 5000초정도 행해질 수 있다. 적절하게는 300 ~ 600℃에서 30 ~ 180초가 좋다.
- [0101] 비도전성 기판(150)에는 제1전극층(140)에 전류를 공급하는 제1콘택(153)이 채워진 제1 관통홀(151)과, 제2전극층(120)에 전류를 공급하는 제2콘택(154)이 채워진 제2 관통홀(152)이 형성되어 있다. 제2 관통홀(152)은 연장되어서 제1전극층(140)을 관통한다. 제2 관통홀(152)의 내주에는 제2콘택(154)을 제1전극층(140)과 전기적으로 분리시키는 절연층(156)이 더 형성된다. 제1콘택(153)은 비도전성기판(150)을 관통하여 제1전극층(140)에 전기적으로 접속된다. 제2콘택(154)은 비도전성기판(150), 제1전극층(140) 및 절연층(130)을 관통하여 제2전극층(120)에 전기적으로 접속된다.
- [0102] 비도전성 기판(150)은 질화물계(GaN, AlN, AlGaIn, InGaIn 등), 알루미늄 산화물계(사파이어, 알루미늄나 등), 다이아몬드, 실리콘계(Si 등), Ga산화물계(Ga<sub>2</sub>O<sub>3</sub>, LiGaO<sub>2</sub> 등), Zn산화물계(ZnO 등), 세라믹, 폴리머 중 어느 하나의 물질을 포함할 수 있다.
- [0103] 상기 실시예에서는 비도전성 기판(150)에 제1콘택(153) 및 제2콘택(154)이 형성되는 것을 기재하고 있지만, 본 발명은 반드시 이에 한정되는 것은 아니다. 예컨대, 도전성 기판(도 4b 참조)에 관통홀을 형성하고 관통홀의 내주 및 도전성 기판의 표면에 절연층(도 4b의 460)을 형성하고, 그 내부에 메탈을 채워서 제1콘택(도 4b의 452)과 제2콘택(도 4b의 454)을 형성한 구조를 가질 수도 있으며, 이에 대한 상세한 구조는 후술되는 도 4a-4c의 실시예를 참조한다. 도전성 기판은 Si계, Ge계, 알루미늄 포함 Si 물질계, 질화물계(GaN 등)로 형성될 수 있다.
- [0104] 본 발명의 실시예에 따른 반도체 발광소자는 전술한 바와 같이, 제1 반도체층과 제2 반도체층에 연결된 전극을 발광소자의 하부면에 형성함으로써, 발광면적의 손실이 감소되게 전극을 형성하므로 발광효율을 극대화할 수 있다. 또한, 전극이 발광소자의 비도전성 기판의 하부면에 형성되므로, 와이어 본딩없이 직접 패키지 다이본딩을 할 수 있다.
- [0105] 도 1b는 도 1a의 변형예인 발광소자(100')를 개략적으로 도시한 단면도이며, 도 1a의 구성요소와 실질적으로 동일한 구성요소에는 동일한 참조번호를 사용하고 상세한 설명은 생략한다.
- [0106] 도 1b를 참조하면, 발광소자(100')는 반도체 구조물(110)의 제1 반도체층(111) 상에 사파이어 기판(102)이 배치된다. 사파이어 기판(102)은 반도체 구조물(110)의 성장 기판이다. 사파이어 기판(102)의 표면에는 요철부가 형성될 수 있다. 요철부는 발광소자(100')의 광추출 효율을 증가시킬 수 있다. 발광소자(100')의 다른 구성요소는 발광소자(100)와 실질적으로 동일하므로, 상세한 설명은 생략한다.
- [0107] 도 3a 내지 도 3j는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다. 도 3a 내지 도 3j는 설명의 편의를 위하여 하나의 발광소자를 제조하는 공정을 도시하였으나, 실제로는 복수의 발광소자를 웨이퍼 상에 일체로 형성한 후 각각 절단하여 개별 발광소자로 하거나, 복수의 발광소자를 일체로 형성한 발광소자를 제조할 수 있다.
- [0108] 도 3a를 참조하면, 기판(202)의 상면에 제1 반도체층(211), 활성층(212) 및 제2 반도체층(213)을 순차적으로 결정성장시켜 반도체 구조물(210)을 형성한다.

- [0109] 기판(202)은 결정성장시키고자 하는 반도체에 적합한 것을 선택할 수 있다. 예를 들어, 질화물 반도체 단결정을 성장시키는 경우, 기판(202)은 사파이어 기판, ZnO 기판, GaN 기판, SiC 기판, AlN 기판 등에서 선택할 수 있다.
- [0110] 기판(202)은 사이즈에 따라 대략 300 ~ 1200  $\mu\text{m}$ 의 두께를 가진다. 기판(202)은 상면에 결정 성장 시키는 물질의 종류(열팽창 계수 차)에 따라 기판(202)의 표면 또는 배면에 여러 형태의 패턴을 형성 할 수도 있다. 상기 패턴 들은 결정 성장시의 결정 결함을 줄이는 역할도 하고 동시에 열 팽창 등에 의한 스트레스 완화의 역할도 한다. 상기 패턴들에 의해 광의 외부 추출 효율을 증가시키는 역할도 할 수 있다. 패턴의 형상들은 평면상으로 원형 또는 다각형(삼각형, 사각형, 오각형, 육각형, 팔각형등)으로 형성될 수 있고 단면 형상으로는 반구형, 원뿔, 또는 다각형(삼각형, 사다리꼴등의 사각형, 오각형, 육각형 등) 등으로 형성 될 수 있다. 기판(202)은 결정 성장 후에 레이저빔 또는 화학적 에칭등에 의해 전체 또는 일부가 제거 될 수도 있고 또는 두께를 50 ~ 300  $\mu\text{m}$ 정도로 얇게 할 수도 있으며, 표면에 요철 패턴을 형성 할 수도 있다.
- [0111] 도 3a에는 도시되지 않았지만, 기판(202)과 제1 반도체층(211)의 사이에는 버퍼층(미도시)이 더 형성될 수 있다. 버퍼층은 성장된 제1 반도체층(211)과 기판(202)의 격자정합을 향상시키기 위한 층으로, 예를 들어, 질화물 반도체 단결정을 성장시키는 경우, SiC, 질화물(GaN, AlGa<sub>n</sub>, InGa<sub>n</sub>, InN, AlInGa<sub>n</sub> 등), Zn산화물, Si산화물 또는 이들의 조합으로 이루어진 물질 중 하나를 포함하여 형성될 수 있다.
- [0112] 버퍼층은 400 ~ 800°C에서 2 ~ 800nm두께로 단일층 혹은 다층으로 형성할 수 있으며 비정질 또는 다결정 또는 이들의 혼합물로 형성된다. 버퍼층의 상면에는 단결정의 반도체층이 형성된다. 예를 들어 500 ~ 600°C에서 비정질 또는 다결정의 혼합물 GaN버퍼층을 형성하고 그 다음에 1000 ~ 1200°C에서 단결정의 GaN층을 형성한다. 이 과정에서 상기 비정질 또는 다결정의 혼합물 GaN버퍼층의 적어도 일부가 단결정화 된다.반도체 구조물(210)은 예를 들어, GaN, InN, AlN 등과 같은 III-V족 반도체를 결정성장시켜 형성할 수 있다. 일례로, 반도체 구조물(210)이 질화갈륨계 발광 다이오드인 경우, 제1 반도체층(211), 활성층(212) 및 제2 반도체층(213)은 Al<sub>x</sub>In<sub>y</sub>Ga<sub>(1-x-y)</sub>N 조성식 (여기서, 0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)을 갖는 반도체 물질일 수 있으며, 유기금속 화학 기상증착(Metal Organic Chemical Vapor Deposition, MOCVD) 설비를 이용한 에피택셜(Epitaxial) 성장방법 등으로 형성될 수 있다. 즉, 제1 반도체층(211)은 Si, Ge, Sn과 같은 제1 도전형 불순물이 도핑되거나 또는 논도핑 또는 이들의 조합으로 된 질화물 반도체층(GaN, InN, InGa<sub>n</sub>, AlGa<sub>n</sub>, AlN, AlInGa<sub>n</sub> 또는 이들의 조합)으로 형성될 수 있다. 활성층(212)은 다중 양자우물(Multi-Quantum Well)구조(InGa<sub>n</sub>/Ga<sub>n</sub>층, InGa<sub>n</sub>/InGa<sub>n</sub>층, AlGa<sub>n</sub>/Ga<sub>n</sub>층, AlGa<sub>n</sub>/AlGa<sub>n</sub>층, AlInGa<sub>n</sub>/AlInGa<sub>n</sub>층 또는 이들의 조합)으로 형성되거나, 하나의 양자우물층 또는 더블 헤테로 구조로도 형성될 수 있다. 제2 반도체층(213)은 Mg, Zn, Be과 같은 제2 도전형 불순물이 도핑되거나 혹은 논도핑 또는 이들의 조합으로된 질화물 반도체층(GaN, InN, InGa<sub>n</sub>, AlGa<sub>n</sub>, AlN, AlInGa<sub>n</sub> 또는 이들의 조합)으로 형성될 수 있다. 제1 반도체층(211), 활성층(212), 제2 반도체층(213)은 각 층의 역할에 따라 다양한 두께(1nm ~ 10000nm) 또는 불순물 농도( $1 \times 10^{15}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ )를 가질 수 있다.
- [0113] 도 3b를 참조하면, 제2 반도체층(213)으로부터 소정 깊이(0.5 ~ 20  $\mu\text{m}$ )로 건식 에칭(ICP-RIE 방법 등) 및/또는 습식 에칭을 이용하여 제1 반도체층(211)의 일부 깊이까지 에칭한 콘택홀(210a)을 형성한다. 콘택홀(210a)의 에칭의 깊이는 적어도 제1 반도체층(211)의 표면이 노출되도록 제2 반도체층(213) 및 활성층(212)을 제거한다. 제1 반도체층(211)의 일부도 소정 깊이(0.1nm ~ 5000nm)로 에칭할 수 있으며, 필요에 따라서는 관통홀을 형성 할 수도 있다. 콘택홀(210a)의 크기(직경)는 0.1  $\mu\text{m}$  ~ 500  $\mu\text{m}$ 로 형성될 수 있으며 바람직하게는 5  $\mu\text{m}$  ~ 300  $\mu\text{m}$ 가 적당하다. 콘택홀(210a)은 복수로 형성 될 수 있으며, 제1 반도체층(211)과 접촉하는 부분의 콘택홀(210a)의 면적은 콘택홀(210a)을 포함한 제1 반도체층(211)의 면적 대비 0.01% ~ 30%일 수 있으며, 바람직하게는 0.9% ~ 10.4%이며, 더욱 바람직하게는 대략 2.6%이다. 콘택홀(210a) 바닥의 평면(제1 반도체층(211))에 대한 콘택홀(210a)의 측면 경사각( $\alpha$ )은 0도 보다는 크고 90도 보다는 작게 형성한다. 바람직하게는 30 ~ 60도 정도가 좋다. 경사각이 90도 보다 크면 경사면에 절연막(221)의 형성이 어렵고 후술되는 제1전극층의 형성이 어려울 수 있다. 콘택홀(210a)의 경사면은 광 추출 효율의 향상을 위해 계단 형상으로 형성 될 수도 있으며 경사면에 요철이 형성 될 수도 있다. 또한 경사면 상의 일부 또는 전면에 반사 물질을 코팅 할 수도 있다. 반사 물질로는 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물, 또는 이들의 혼합물 중 적어도 하나를 포함해서 형성될 수 있으며, 단층 혹은 복수의 층으로 형성 될 수 있다. 반사물질은 빛의 외부 추출을 향상시킨다.
- [0114] 콘택홀(210a)을 포함하는 반도체 구조물(210)의 상부면 전역에 절연층(221)을 증착방법을 이용하여 도포한다. 예를 들어, 절연층(221)은 플라즈마 화학증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 SiO<sub>2</sub> 또는 SiN<sub>x</sub> 를 증착하여 형성할 수 있다. 절연층(221)은 0.001 ~ 50  $\mu\text{m}$  두께로 형성될 수 있다. 바람직하게

는 0.3 ~ 1.2 μm 두께로 형성된다. 도 3c를 참조하면, 절연층(221) 중에서 콘택홀(210a)의 바닥에 형성된 부분을 식각하여 제1 반도체층(211)을 노출시킨다. 이러한 식각은 예를 들어, RIE(Reactive Ion Etching) 건식 식각 또는 BOE(Buffered Oxide Echant)를 이용한 습식 식각방법으로 이루어질 수 있다.

- [0115] 제1 반도체층(211)의 노출된 영역에 콘택층(231)을 형성한다. 콘택층(231)은 제1 반도체층(211)과 오믹 콘택을 형성할 수 있는 물질로 형성되되 반사도가 우수한 물질이 좋다. 예를 들면 Al, Ti, Pt, Ag, Ni, TiN, Au, Sn, 및 이들 혼합물 중의 적어도 하나를 포함하는 물질로 이루어진 단층 혹은 서로 다른 복수의 층으로 구성 될 수 있다. 각 층의 두께는 각각 0.1 ~ 5000nm로 구성 될 수 있다. 예를 들어, 본 실시에서는 Al/Ti/Pt/Ti층을 200nm/300nm/100nm/2nm의 두께로 증착하여 형성하였다. 이때, 콘택층(231)은 도 2 또는 도 10a에 도시된 것과 같이 복수개로 형성하여, 제1 반도체층(211)으로의 전류 확산(current spreading)을 향상시킨다. 복수개의 콘택층(231)은 매트릭스 형태로 배열될 수 있다. 콘택층(231) 형성후에는 오믹 콘택 형성을 위한 열처리를 행한다. 본 실시예에서 열처리는 RTA(rapid thermal annealing)법으로 550도에서 60초간 실시 하여 양호한 오믹 특성을 얻었다. 열처리의 온도 및 시간은 오믹 전극의 재료에 따라 다르지만 300 ~ 800도에서 5 ~ 5000초 정도에서 행해 질 수 있다. 적절하게는 300 ~ 600도에서 30 ~ 180초가 좋다.
- [0116] 제2 반도체층(213) 상으로 절연층(222)을 형성하여, 콘택홀(210a)에서 절연층(221) 및 콘택층(231) 사이를 절연층(222)을 채운다. 절연층(222)은 절연층(221)과 동일한 물질로 형성될 수 있다.
- [0117] 도 3d를 참조하면, 콘택홀(210a)을 둘러싼 영역을 제외한 나머지 영역의 절연층(221, 222)을 식각하여, 제2 반도체층(213)을 노출시킨다. RIE 건식식각 또는 BOE를 이용한 습식식각을 사용할 수 있다.
- [0118] 이하에서는 절연층(221) 및 절연층(222)을 합친 절연층을 편의상 절연층(220)으로도 칭한다.
- [0119] 도 3e를 참조하면, 노출된 제2 반도체층(213) 상에 제2전극층(240)을 형성한다. 제2전극층(240)은 오믹특성과 광반사특성을 동시에 지닌 금속으로 형성하여 반사막의 역할을 하거나, 또는 오믹특성과 광반사특성을 각각 지닌 금속이 순차 적층되어 이루어진 다중층으로 형성할 수 있다. 제2전극층(240)은 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물, 또는 이들의 혼합물 중 적어도 하나를 포함해서 형성될 수 있으며 단층 혹은 복수의 층으로 형성 될 수 있다. 이들 물질은 빛의 외부 추출을 향상 시킨다.
- [0120] 제2전극층(240) 상에 소정 두께로 절연층(223)을 형성한다. 절연층(223)은 예를 들어, PECVD를 이용하여 SiO<sub>2</sub>를 증착하여 형성할 수 있다. 도 3f를 참조하면, 절연층(220)을 식각하여 콘택층(231)을 노출시킨다. 절연층(220) 상으로 금속물질들을 도포하여 노출된 콘택층(231)과 연결되는 제1전극층(230)을 형성한다. 제1전극층(230)은 Ti(100nm)/Ni(100nm) 구성의 층을 4번 반복 적층한 후 Ti(100nm)/Au(1500nm)/Sn(1400nm)/Au(10nm)층을 추가 적층 하였다.
- [0121] 도 3g를 참조하면, 제1전극층(230) 상에 비도전성 기판(250)을 본딩한다. 비도전성 기판(250)으로는 알루미늄이나 기판, AlN 기판, 사파이어 기판, 세라믹 기판, 폴리머 기판 등을 사용할 수 있다. 비도전성 기판(250)을 제1전극층(230) 상에 접합하기 위해서 그들 사이에 도전성 접착물질 또는 비도전성 접착물질을 매개체로 사용할 수 있다. 도전성 접착물질로는 AuSn, Au, Cu, Pb, W, Ti, Pt, Sn, TiSn 또는 이들의 혼합물 중 적어도 하나를 포함하는 물질의 단층 또는 다층으로 사용될 수 있다. 비도전성 접착물질로는 SOG, 폴리머 등이 사용될 수 있다.
- [0122] 도 3h를 참조하면, 제1 반도체층(211)으로부터 기판(202)을 제거한다. 예컨대 기판(202) 상으로 레이저 광을 조사하여 기판(202)과 제1 반도체층(211) 사이에서 열적 반응을 일으켜서 재료분리가 일어나게 한다. 기판(202)을 제1 반도체층(211)으로부터 리프트오프하여 제거한다. 기판(202)을 화학적 에칭 또는 화학기계적 연마 방법(Cheical-mechanical polishing)을 수행하여 제거할 수도 있다.
- [0123] 도 3i를 참조하면, 비도전성 기판(250)의 노출된 표면으로부터 제1전극층(230)과 제2전극층(240)과 각각 연결된 제1관통홀(251) 및 제2관통홀(252)을 형성한다. 기판(250)의 두께는 50 ~ 300 μm가 될 수 있고 적당하게는 100 ~ 200 μm가 좋다. 너무 두꺼우면 콘택홀(251, 252) 형성에 시간이 걸리는 등의 공정상 문제점이 있으며 너무 얇아도 지지기판으로의 역할을 충분히 할 수 없다.
- [0124] 관통홀(251, 252)의 크기(직경)는 0.1 μm ~ 500 μm로 형성될 수 있으며 바람직하게는 5 μm ~ 300 μm가 적당하다. 각 관통홀(251, 252)은 단수 혹은 복수로 형성 될 수 있다. 관통홀(251, 252)의 면적은 대략 기판(250)의 바닥면(250a)의 0.01% ~ 30%일 수 있다. 관통홀(251, 252)은 바닥면(250a)을 기준으로 계단 형상 또는 테이퍼 형상으로 경사지게 형성할 수 있다. 도 3j를 참조하면, 제2 관통홀(252)의 측면에는 절연층(256)을 형성한다. 이때, 제1 관통홀(251)의 측면에도 절연층(미도시)이 절연층(256)과 함께 형성될 수 있다. 제1관통홀

(251)과 제2관통홀(252)에 각각 메탈로 이루어진 제1콘택(253)과 제2콘택(254)을 형성한다. 제1관통홀(251)과 제2관통홀(252)은 레이저 드릴링, 건식식각 방법, 또는 습식식각 방법을 사용하여 형성할 수 있다.

- [0125] 도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다.
- [0126] 도 3a-3f의 공정은 동일하게 수행될 수 있으며, 상세한 설명은 생략한다.
- [0127] 도 4a를 참조하면, 도 3a-3f의 공정에 의한 결과물에서, 제1전극층(230)의 노출된 표면으로부터 제2전극층(240)과 연결된 관통홀(441)을 형성한다. 관통홀(441)의 측면에는 절연층(442)을 형성한다. 관통홀(441)에 메탈로 이루어진 콘택(443)을 형성한다. 관통홀(441)은 레이저 드릴링, 건식식각 방법 등을 사용하여 형성할 수 있다. 제1전극층(230)의 두께는 0.1 μm ~ 300 μm가 될 수 있으며, 적당하게는 0.5 - 100 μm가 좋다. 300 μm보다 두꺼우면 관통홀(441) 형성에 있어 시간이 걸리며 비용이 증가하는 등의 공정상 문제점이 있으며 0.1 μm보다 얇으면 접합층으로의 역할을 충분히 할 수 없다. 관통홀(441)의 크기(직경)는 0.1 - 500 μm로 형성될 수 있으며 바람직하게는 5 - 300 μm가 적당하다. 본 발명에서는 30 - 100 μm 크기로 관통홀(441)을 형성하였다. 관통홀(441)은 단수 혹은 복수로 형성될 수 있다. 관통홀(441)의 면적은 제1전극층(230)의 면적 대비 0.01% - 30%일 수 있다. 관통홀(441)은 제1 전극층(230)의 상면(230a)을 기준으로 계단 형상 또는 테이퍼 형상으로 경사지게 형성할 수 있다.
- [0128] 절연층(442)은 0.001 - 50 μm 두께로 형성될 수 있으며, 관통홀(441)의 직경대비 절연층(442)의 두께는 0.01% - 30% 정도가 적당하다. 본발명에서 절연층(442)의 두께는 0.01 - 0.9 μm 범위로 형성하였다.
- [0129] 도 4b를 참조하면, 도전성 기판(450)에 제1 관통홀(451)과 제2 관통홀(452)을 형성한다. 제2 관통홀(452)은 관통홀(441)과 대응되게 형성하며, 제1 관통홀(451)은 제2 관통홀(452)과 이격되게 형성한다. 도전성 기판은 Si, Ge, 금속 포함 실리콘(예컨대 Al 포함 실리콘)으로 형성될 수 있다.
- [0130] 도전성 기판(450)에서 제1 관통홀(451)과 제2 관통홀(452)의 내주면을 포함하는 표면에 절연층(460)을 형성한다.
- [0131] 제1 관통홀(451)과 제2 관통홀(452)를 메탈로 채워서 각각 제1 콘택(453)과 제2 콘택(454)을 형성한다.
- [0132] 도 4c를 참조하면, 도전성 기판(450)의 제2 콘택(454)이 콘택(443)과 접촉되게 도전성 기판(450)을 제1전극층(230) 상에 분당한다. 도전성 기판(450)을 제1전극층(230) 상에 접합하기 위해서 제1 콘택(453) 및 제2 콘택(454) 상에 도전성 접착물질(미도시)을 형성하고, 다른 부분에 비도전성 접착물질(미도시)을 매개체로 사용할 수 있다. 도전성 접착물질로는 AuSn, Au, Cu, Pb, W, Ti, Pt, Sn, TiSn 또는 이들의 혼합물 중 적어도 한 종류의 물질을 포함하며, 단층 또는 복층으로 형성될 수 있다. 비도전성 접착물질로는 SOG, 폴리머 등이 사용될 수 있다.
- [0133] 제1 반도체층(211)으로부터 기판(202)을 제거한다. 예컨대 기판(202) 상으로 레이저 광을 조사하여 기판(202)과 제1 반도체층(211) 사이에서 열적 반응을 일으켜서 재료분리가 일어나게 한다. 기판(202)을 제1 반도체층(211)으로부터 리프트오프하여 제거한다. 기판(202)을 화학적 에칭 또는 화학기계적 연마 방법(Chemical-mechanical polishing)을 수행하여 제거할 수도 있다. 기판(202)의 두께를 얇게하거나 기판(202) 표면에 요철을 형성하여 기판(202)을 제거하지 않고 사용할 수도 있다.
- [0134] 도 4a-4c의 제조방법에서는 도전성 기판(450)을 사용하였으나, 비도전성 기판(250)을 사용하는 방법에도 적용할 수 있으며, 상세한 설명은 생략한다.
- [0135] 도 5는 다른 실시예에 따른 반도체 발광소자(500)의 개략적인 단면도이다.
- [0136] 도 5를 참조하면, 본 실시예의 반도체 발광소자(500)는 반도체 구조물(510)과, 반도체 구조물(510)의 일면에 마련된 전극 구조물과 전극구조물을 지지하는 기판(560)을 포함한다.
- [0137] 반도체 구조물(510)은 미도시된 기판, 예컨대 사파이어 기판 상에 결정성장하여 순차적으로 형성된 제1 반도체층(511), 활성층(512), 제2 반도체층(513)을 포함한다. 사파이어 기판은 제조공정에서 제거되므로, 도 5에는 도시되지 않았다.
- [0138] 반도체 구조물(510)은 예를 들어, 질화갈륨계(GaN, InN, InGaN, AlGaN, AlN, AlInGaN 또는 이들의 조합)와 같은 III-V족 반도체로 형성되며, 사파이어 기판은 이들 질화물 반도체와의 격자구조가 유사하여 결정성장을 위한 기판으로 사용된다. 제1 반도체층(511)은 n형 도전성을 가질 수 있으며, 제2 반도체층(513)은 p형 도전성을 가

질 수 있다. 또는, 제1 반도체층(511)이 p형 도전성을 가지며, 제2 반도체층(513)이 n형 도전성을 가질 수도 있다.

- [0139] 제1 반도체층(511)과 제2 반도체층(513) 사이에는 활성층(512)이 위치한다. 활성층(512)은 예를 들어, 단일 또는 다중양자우물구조로 형성될 수 있다. 제1 반도체층(511)과 제2 반도체층(513)을 통해 주입된 전자 및 정공은 활성층(512)에서 결합하여 광(L)을 방출한다. 방출된 광(L)은 반도체 구조물(510)의 제1 반도체층(511)을 통해 방출된다.
- [0140] 제2 반도체층(513)의 하부에는 제2전극층(520), 절연층(530), 제1전극층(540) 및 기판(560)이 순차적으로 배치된다. 제1전극층(540)은 그 일부 영역이 절연층(530), 제2전극층(520), 제2 반도체층(513) 및 활성층(512)을 관통하고, 제1 반도체층(511)의 일정 영역까지 관통한 콘택홀(580)을 통해 연장되어 제1반도체층(511)과 접촉한다. 콘택홀(580)은 복수로 형성될 수 있다(도 2 참조). 복수의 콘택홀(580)을 채운 제1전극층(540)은 전류를 제1 반도체층(511)에 빠르게 확산시켜서 공급할 수 있다.
- [0141] 콘택홀(580)의 에칭의 깊이는 적어도 제1 반도체층(511)의 표면이 노출되도록 제2 반도체층(513) 및 활성층(512)을 제거한다. 제1 반도체층(511)의 일부도 소정 깊이(0.1nm ~ 5000nm)로 에칭할 수 있으며, 필요에 따라서는 관통홀을 형성할 수도 있다. 콘택홀(580)의 크기(직경)는 0.1 $\mu$ m ~ 500 $\mu$ m로 형성될 수 있으며 바람직하게는 5 $\mu$ m ~ 300 $\mu$ m가 적당하다. 콘택홀(580)은 복수로 형성될 수 있으며, 제1 반도체층(211)과 접촉하는 부분의 콘택홀(580)의 면적은 콘택홀(580)을 포함한 제1 반도체층(211)의 면적 대비 0.01% ~ 30%일 수 있으며, 바람직하게는 0.9% ~ 10.4%이며, 더욱 바람직하게는 대략 2.6%이다. 콘택홀(580)의 바닥에는 요철이 형성될 수 있다. 콘택홀(580) 바닥의 평면(제1 반도체층(511))에 대한 콘택홀(580)의 측면 경사각( $\alpha$ )은 0도 보다는 크고 90도 보다는 작게 형성한다. 바람직하게는 30 ~ 60도 정도가 좋다. 경사각이 90도 보다 크면 경사면에 절연막(530)의 형성이 어렵고 제1전극층(540)의 형성이 어려울 수 있다. 콘택홀(580)의 경사면은 광 추출 효율의 향상을 위해 계단 형상으로 형성될 수도 있으며 경사면에 요철이 형성될 수도 있다. 또한 경사면 상의 일부 또는 전면에 반사 물질을 코팅할 수도 있다. 반사 물질로는 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물, 또는 이들의 혼합물 중 적어도 하나를 포함해서 형성될 수 있으며, 단층 혹은 복수의 층으로 형성될 수 있다. 반사 물질은 빛의 외부 추출을 향상시킨다.
- [0142] 제1전극층(540) 및 제2전극층(520) 사이에는 제1전극층(540)이 제1 반도체층(511)을 제외한 다른 층과는 전기적으로 절연시키기 위한 절연층(530)이 형성되어 있다. 절연층(530)은 제1전극층(540)과 제2전극층(520)의 사이뿐만 아니라 콘택홀(580)에 의해 노출되는 제2전극층(520), 제2 반도체층(513) 및 활성층(512)의 측면들과 제1전극층(540) 사이에도 형성된다. 또한, 콘택홀(580)이 관통한 제1 반도체층(511)의 일정 영역의 측면에도 절연층(530)이 형성될 수 있다. 절연층(530)은 0.001 ~ 50 $\mu$ m 두께로 형성될 수 있으며, 콘택홀(580)의 직경대비 절연층(530)의 두께는 0.001% ~ 30% 정도가 적당하다. 본발명에서 절연층(530)의 두께는 0.01 ~ 0.9 $\mu$ m 범위로 형성하였다.
- [0143] 제2전극층(520)은 제2 반도체층(513)과 접촉되게 형성된다. 콘택홀(580)이 관통하는 일정 영역들에는 제2전극층(540)이 존재하지 않는다. 제2전극층(520)이 제2 반도체층(513)과 전기적으로 접촉하기 때문에 제2 반도체층(513)과의 접촉 저항을 최소화하면서도 활성층(512)에서 생성된 광을 반사시켜 외부로 향하게 하여 발광 효율을 높일 수 있는 반사기능을 가지는 물질로 형성될 수 있다. 제2전극층(520)은 Ag, Al, Pt, Ni, Pd, Ti, Au, Ir, W, Sn, 이들의 산화물 또는 이들의 혼합물로 구성된 물질 중 적어도 하나를 포함해서 형성될 수 있다.
- [0144] 제1전극층(540)의 일부 영역의 하부에는 제1 전극패드(551)가 형성되어 있다. 제1전극층(540)에서 제1 전극패드(551)에 접하지 않은 영역에는 절연층(534)이 형성되어 있다. 절연층(534)은 절연층(530)과 접한다.
- [0145] 제2전극층(520)의 하부에서 절연층(530)이 형성되지 않은 영역에는 제2전극패드(552)가 형성되어 있다. 제2 전극패드(552)는 제2전극층(520)과 전기적으로 접속한다. 제2 전극패드(552)는 공간(554)에 의해 제1전극패드(551)과 이격된다. 제2 전극패드(552)는 제1 전극패드(551)과 이격되면서 수직위치에서 동일한 위치로 형성될 수 있다. 제2 전극패드(552)와 제1 전극패드(551)는 필요에 따라서 차지하는 면적을 설계할 수 있다.
- [0146] 전극패드(551, 552)로는 AuSn, Au, Al, Ni, Cu, Pb, W, Ti, Pt, Sn, TiSn 또는 이들의 혼합물 중 적어도 하나를 포함하는 물질로 형성될 수 있다. 전극패드(551, 552)는 단층 또는 서로 다른 물질의 층의 복수의 층으로 형성될 수 있다. 전극패드(551, 552)의 두께는 0.1 ~ 500 $\mu$ m일 수 있다. 제1 전극패드(551)가 제2 전극패드(552)보다 크거나 동일한 면적으로 형성되는 방열 등을 고려할 때 바람직하다.
- [0147] 공간(554)은 절연물질(미도시)로 채워질 수도 있다.

- [0148] 제1 전극패드(551) 및 제2 전극패드(552)의 하부에는 기관(560)이 부착된다. 기관(560)에는 이격된 제1 관통홀(561) 및 제2 관통홀(562)이 형성되어 있다. 제1 관통홀(561) 및 제2 관통홀(562)에는 각각 제1콘택(563)과 제2 콘택(564)이 형성되어 있다. 제1콘택(563)과 제2콘택(564)는 각각 제1 전극패드(551)와 제2 전극패드(552)와 연결된다. 기관(560)이 도전성 기관인 경우, 기관(560)을 콘택(563, 564) 및 전극패드(551, 552)와 절연하도록 절연층(570)이 더 형성된다.
- [0149] 반도체 발광소자(500)는 콘택(564)과 접촉하는 제2 전극패드(552)의 영역이 넓게 형성되어서, 용이하게 기관(560)을 전극패드에 본딩할 수 있다. 또한, 콘택이 형성된 기관과의 접촉을 위해서 용이하게 전극패드(551, 552)의 위치 및 면적을 변경할 수 있다. 제2 전극패드(552)와 제2콘택(564)의 접촉을 용이하게 하기 위해 제2전극패드(552)의 면적은 제2콘택(564)의 면적보다 최소 1.2배 이상이 되게 형성한다. 제1전극패드(551) 및 제1콘택(563)도 마찬가지로 상호 접촉을 용이하게 하기 위해 제1전극패드(551)의 면적이 제1콘택(563)의 면적보다 최소 1.2배 이상으로 하는 것이 좋다.
- [0150] 도 6a 내지 도 6g는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 도면이다. 도 3a 내지 도 3e의 공정은 동일하게 수행될 수 있으며, 동일한 부재에 대해 동일한 참조번호를 사용하고 상세한 설명은 생략한다.
- [0151] 도 6a에는 편의상 2개의 콘택층(231)을 도시하였다. 도 6a를 참조하면, 절연층(223)을 식각하여 콘택층(231)을 노출시킨다. 절연층(223) 상에서 제2전극층(240)의 제1영역(A1) 상으로 포토레지스트(632)를 형성하고, 포토레지스트(632)에 노출된 제2영역(A2)에 금속물질을 도포하여 노출된 콘택층(231)과 연결되는 제1전극층(630)을 형성한다.
- [0152] 도 6b를 참조하면, 포토레지스트(632)를 제거한 후, 절연층(223) 위로 제1전극층(630)을 덮는 절연층(634)를 형성한다.
- [0153] 도 6c를 참조하면, 제1영역(A1)의 절연층(634, 223)을 패터닝하여 제2전극층(240)을 노출시킨 후, 노출된 제2전극층(240)과 연결된 제2 전극패드(652)를 형성한다. 제2 전극패드(652)는 제2영역(A2)의 일부 절연층(634)을 덮도록 형성하여 제2 전극패드(652) 형성영역을 증가시킨다.
- [0154] 도 6d를 참조하면, 제2영역(A2)의 절연층(634) 일부를 식각하여 제2 전극패드(652)와 이격되게 제1전극층(630)을 노출시킨 후, 노출된 제1전극층(630) 위로 제1 전극패드(651)를 형성한다. 제1 전극패드(651)의 표면과 제2 전극패드(652)의 표면이 수평으로 형성될 수 있다.
- [0155] 도 6e는 도 6d의 결과물의 평면도이다. 도 6e를 참조하면, 제1 전극패드(651)와 제2 전극패드(652)는 서로 이격된다. 제1 전극패드(651) 및 제2 전극패드(652)는 제1전극층(630) 및 제2전극층(240)의 면적과 관계없이 용이하게 설계할 수 있다. 따라서, 후술하는 미리 만들어진 기관에 형성된 전극과의 전기적 접촉을 용이하게 할 수 있다.
- [0156] 도 6f를 참조하면, 기관(660)에 제1 관통홀(661)과 제2 관통홀(662)을 형성한다. 제1 관통홀(661)과 제2 관통홀(662)는 각각 제1 전극패드(651) 및 제2 전극패드(652)와 대응되게 형성한다.
- [0157] 제2기관은 Si, Ge, 금속 포함 실리콘(예컨대 Al 포함 실리콘) 등의 도전성 물질로 형성될 수 있다. 도전성 기관(660)에서 제1 관통홀(661)과 제2 관통홀(662)의 내주면을 포함하는 표면에 절연층(670)을 형성한다.
- [0158] 제2기관(660)이 비도전성 기관, 예컨대 알루미늄, 알루미늄 나이트라이드, 사파이어 등의 비도전성 물질로 형성되는 경우, 절연층(670) 형성공정을 생략할 수 있다.
- [0159] 제1 관통홀(661)과 제2 관통홀(662)을 메탈로 채워서 각각 제1 콘택(663)과 제2 콘택(664)을 형성한다.
- [0160] 도 6g를 참조하면, 제2기관(660)의 제1 콘택(663)과 제2 콘택(664)이 각각 제1 전극패드(651) 및 제2 전극패드(652)와 접촉되게 본딩한다. 이어서, 제1 반도체층(211)으로부터 기관(202)을 제거한다.
- [0161] 참조번호 654는 제1 전극패드(651)와 제2 전극패드(652)를 이격시키는 공간으로 미도시된 절연층으로 채워질 수도 있다. 반도체층의 물질/구조, 전극 재료/사이즈 등은 상술한 다른 실시예의 구조와 동일한 부분은 설명을 생략한다. 도 7a 내지 도 7c는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위한 단면도이다.
- [0162] 도 7a를 참조하면, 기관(702)의 상면에 제1 반도체층(711), 활성층(712) 및 제2 반도체층(713)을 순차적으로 결정성장시켜 반도체 구조물(710)을 형성한다. 기관(702)은 결정성장시키고자 하는 반도체에 적합한 것을 선택할

수 있다. 예를 들어, 질화물 반도체 단결정을 성장시키는 경우, 기판(702)은 사파이어 기판, ZnO 기판, GaN 기판, SiC 기판, AlN 기판 등에서 선택할 수 있다.

- [0163] 이어서, 제2 반도체층(713) 상에 제2전극층(740)을 형성한다.
- [0164] 도 7b를 참조하면, 제2전극층(740)으로부터 소정깊이로 ICP-RIE 방법을 이용하여 제1 반도체층(711)의 일부 깊이까지 에칭한 콘택홀(710a)을 형성한다. 콘택홀(710a)을 포함하는 반도체 구조물(710)의 상부면 전면에 절연층(721)을 증착방법을 이용하여 도포한다. 예를 들어, 절연층(721)은 플라즈마 화학증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 SiO<sub>2</sub> 또는 SiN<sub>x</sub> 를 증착하여 형성할 수 있다. 상세한 제조방법은 앞서 설명한 부분과 동일할 수 있다.
- [0165] 도 7c를 참조하면, 절연층(721) 중에서 콘택홀(710a)의 바닥에 형성된 부분을 식각하여 제1 반도체층(711)을 노출시킨다. 이러한 식각은 예를 들어, RIE(Reactive Ion Etching) 건식 식각 또는 BOE(Buffered Oxide Echant)를 이용한 습식 식각방법으로 이루어질 수 있다.
- [0166] 절연층(721) 상으로 제1 반도체층(711)의 노출된 영역을 덮는 제1전극층(730)을 형성한다.
- [0167] 제1전극층(730) 상에 다른 기판을 형성하고, 기판(702)을 제거하는 단계; 상기 다른 기판에 제1전극층 및 제2전극층과 연결되는 제1콘택과 제2콘택을 형성하는 단계는 비도전성 기판을 사용하는 제조공정(도 3g 내지 도 3j), 또는 도전성 기판을 사용하는 제조공정(도 4a-도 4c)을 참조하면 잘 알 수 있으므로 상세한 설명은 생략한다.
- [0168] 또한, 제1전극층(730) 상으로 전극패드를 형성한 후 다른 기판을 형성하는 공정은 도 6a-도 6g를 참조하면 잘 알 수 있으므로, 상세한 설명은 생략한다.
- [0169] 도 8은 본 발명의 다른 실시예에 따른 반도체 발광소자(800)의 개략적인 단면도이다.
- [0170] 도 8을 참조하면, 본 실시예의 반도체 발광소자는 반도체 구조물(810)과, 반도체 구조물(810)의 일면(810b)에 마련된 전극 구조물을 포함한다.
- [0171] 반도체 구조물(810)은 소정의 기판(도 9a의 802 참조)상에 결정성장하여 형성된 제1 반도체층(811), 활성층(812), 제2 반도체층(813)을 포함한다. 결정성장의 기초가 된 기판(802)은 후술하는 바와 같이 제거될 수 있다.
- [0172] 제1 반도체층(811)과 제2 반도체층(813)을 통해 주입된 전자, 정공은 활성층(812)에서 만나 빛(L)을 방출한다. 방출된 빛(L)은 반도체 구조물(810)의 타면(810c)을 통해 방출된다.
- [0173] 전극 구조물은 제2 반도체층(813) 쪽에 마련된 제1전극층(830) 및 제2전극층(840)과, 제1전극층(830) 및 제2전극층(840)에 전기적으로 연결되는 도금 전극층(870)을 포함한다.
- [0174] 제1전극층(830)은 제2 반도체층(813) 쪽에서 제1 반도체층(811)까지 연장된 콘택홀(810a)을 통해 제1 반도체층(811)에 전기적으로 연결된다. 콘택홀(810a)은 메사구조나 수직한 구조 등으로 식각되어 형성될 수 있다. 예를 들면, 콘택홀(810a)의 측면은 제1반도체층(811), 활성층(812) 및 제2반도체층(813)의 적층방향에 대해서 경사지게 형성된다. 콘택홀(810a)은 복수개 마련될 수 있다. 예를 들어, 도 10a에 도시된 바와 같이 복수의 제1전극층(830)이 형성되어, 전류 확산(current spreading)을 효과적으로 구현할 수 있다.
- [0175] 제2전극층(840)은 제2 반도체층(813) 상에 마련되어 제2 반도체층(813)에 전기적으로 연결된다. 제2전극층(840)은 제2 반도체층(813)의 콘택홀(810a)이 형성되지 않은 영역(예를 들어, 도 10b의 840)에 마련될 수 있다.
- [0176] 절연층(820)은 적어도 콘택홀(810a)의 측벽에 형성된다. 절연층(820)은 반도체 구조물(810)의 상면에서 제1전극층(830)이 위치한 영역 및 제2전극층(840)이 위치한 영역의 일부를 제외한 나머지 영역에 도포되어 있다. 제1전극층(830)은 절연층(820)에 의해, 활성층(812), 제2 반도체층(813) 및 제2전극층(840)으로부터 절연된다.
- [0177] 절연층(820) 상에는 도금 전극층(870)이 마련된다. 도금 전극층(870)은 절연 격벽(880)을 사이에 둔 제1 전극패드(871)와 제2 전극패드(872)를 포함한다. 제1 전극패드(871)는 제1전극층(830)이 위치한 제1 전극 영역에 마련되며, 제2 전극패드(872)는 제2전극층(840)이 위치한 제2 전극 영역에 마련된다. 제1 전극패드(871)와 제2 전극패드(872)는 절연 격벽(880)에 의해 분리될 수 있다. 절연 격벽(880)은 통상의 절연물질, 예를 들어 폴리이미드 등의 물질로 형성될 수 있다.
- [0178] 도금 전극층(870)은 예를 들어 구리, 니켈, 크롬 등의 금속으로 수십 μm의 두께로 도금에 의해 형성될 수 있다. 도금을 용이하게 하기 위하여, 제1 전극패드(871)와 제2 전극패드(872)의 하부에는 시드층(850)이 먼저



마련될 수 있다.

- [0179] 본 실시예의 반도체 발광소자(800)는, 상기와 같이 도금공정으로 형성되는 도금 전극층(870)으로 반도체 구조물(810)에 대한 전기적 배선과 물리적 지지가 이루어지도록 함으로써, 대량생산, 대면적화가 용이하면서, 제조비용을 저감시킬 수 있다. 이러한 점은 통상의 반도체 발광소자가, 반도체 구조물(810)과 전극 기판의 기판접합을 통하여, 반도체 구조물(810)에 대한 전기적 배선과 물리적 지지를 이루는 것과 차이가 있다.
- [0180] 다음으로, 일 실시예에 따른 반도체 발광소자의 제조방법을 설명하기로 한다.
- [0181] 도 9a 내지 도 9l은 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위해 순차적으로 도시한 공정단면도이며, 도 10a 내지 도 10d는 본 발명의 다른 실시예에 따른 반도체 발광소자의 제조 공정의 단계에서 전극 패턴의 일예를 도시한 평면도이다.
- [0182] 도 9a를 참조하면, 기판(802)의 상면에 제1 반도체층(811), 활성층(812) 및 제2 반도체층(813)을 순차적으로 결정성장시켜 반도체 구조물(810)을 형성한다. 도 9a에는 도시되지 않았지만, 기판(802)과 제1 반도체층(811)의 사이에는 버퍼층(미도시)이 형성될 수 있다.
- [0183] 도 9b를 참조하면, 제2 반도체층(813)으로부터 소정 깊이로 에칭하여 콘택홀(810a)을 형성하여 제1 반도체층(811)의 일부를 노출시킨다. 콘택홀(810a)은 앞서 설명한 구조 등으로 형성할 수 있다. 이때, 콘택홀(810a)은 도 10a에 도시된 복수의 제1전극층(830)에 대응되도록 복수개 형성될 수 있다.
- [0184] 다음으로, 콘택홀(810a)을 포함하는 반도체 구조물(810)의 상부면 전역에 보호층(Passivation layer, 821)을 증착방법을 이용하여 도포한다. 예를 들어, 보호층(821)은 플라즈마 화학증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 SiO<sub>2</sub>를 약 6000Å 두께로 증착하여 형성할 수 있다.
- [0185] 도 9c를 참조하면, 보호층(821) 중에서 콘택홀(810a)의 바닥에 형성된 부분을 식각하여 제1 반도체층(811)을 노출시킨다. 이러한 식각은 예를 들어, RIE(Reactive Ion Etching)와 BOE(Buffered Oxide Etchant)를 이용하여 이루어질 수 있다. 다음으로, 제1 반도체층(811)의 노출된 영역에 제1전극층(830)을 형성한다.
- [0186] 제1전극층(830)은 Al, Ti, Pt, Ag, Ni, TiN, Au, Sn, 및 이들 혼합물 중의 적어도 하나를 포함하여 형성될 수 있으며, 단층 혹은 서로 다른 물질의 복수의 층으로 구성 될 수 있다. 각 층의 두께는 각각 0.1 ~ 5000nm로 형성될 수 있다. 예를 들어, 본 실시예에서는 제1전극층(830)은 Al/Ti/Pt/Ti층을 200nm/300nm/100nm/2nm의 두께로 증착하여 형성할 수 있다. 이때, 제1전극층(830)은 도 10a에 도시되듯이 다수개 형성하여, 제1 반도체층(811)으로의 전류 확산(current spreading)을 향상시킬 수 있다. 제1전극층(830)은 매트릭스 형태로 배열되어 형성될 수 있으며, 이는 최적의 전류 확산을 위한 것이다. 제1전극층(830) 형성후에는 오믹콘택 형성을 위한 열처리를 행한다. 본 실시예에서 열처리는 RTA(rapid thermal annealing)법으로 550℃에서 60초간 실시 하여 양호한 오믹 특성을 얻었다. 열처리의 온도 및 시간은 오믹 전극의 재료에 따라 다르지만 300 ~ 800℃에서 5 ~ 5000초 정도에서 행해 질 수 있다. 적절하게는 300 ~ 600℃에서 30 ~ 180초가 좋다.
- [0187] 콘택홀(180)은 전류 확산 및 광 추출을 고려하여 매트릭스로 배열될 수 있다.
- [0188] 도 9d를 참조하면, 제1전극층(830)을 둘러싼 영역을 제외한 나머지 영역의 보호층(821)을 식각하여, 제2 반도체층(813)을 노출시킨다. 이러한 식각은 예를 들어, RIE와 BOE를 이용하여 이루어질 수 있다. 다음으로, 노출된 제2 반도체층(813) 상에 제2전극층(840)을 형성한다. 이때, 제2전극층(840)은 도 10b에 도시되듯이, 제1전극층(830)에서 이격되도록 형성된다. 제2전극층(840)은 오믹특성과 광반사특성을 동시에 지닌 금속으로 형성되어 반사막의 역할을 하거나, 또는 오믹특성과 광반사특성을 각각 지닌 금속이 순차 적층되어 이루어진 다층으로 형성할 수 있다. 예를 들어, 제2전극층(840)은 Ag/Ni/Ti/TiN층을 150nm/ 50nm/50nm/400nm의 두께로 증착하여 형성할 수 있다. 제2전극층(840) 형성후 오믹콘택 형성을 위한 열처리를 행한다. 본 실시예에서는 열처리로 RTA법을 사용하여 350℃에서 60초간 실시하여 양호한 오믹 특성을 얻었다. 열처리의 온도 및 시간은 오믹 전극의 재료에 따라 다르지만 300 ~ 800℃에서 5 ~ 5000초 정도에서 행해 질 수 있다. 적절하게는 300 ~ 600℃에서 30 ~ 180초가 좋다.
- [0189] 도 9e에 도시되듯이, 반도체 구조물(810)의 상층에 소정 두께로 절연물질층(822)을 도포한다. 절연물질층(822)은 제1전극층(830), 제2전극층(840) 및 보호층(821)을 포함한 전역에 도포된다. 이러한 절연물질층(822)은 예를 들어, PECVD를 이용하여 SiO<sub>2</sub>를 약 8000Å 두께로 증착하여 형성할 수 있다. 보호층(821) 및 절연물질층(822)은 동일 물질로 형성될 수 있으며, 제1전극층(830) 및 제2전극층(840)에 대한 절연층(820)을 이룬다. 절연물질층(822)의 두께는 제1전극층의 상면을 덮을 정도의 두께로 하며, 적절하게는 100nm ~ 10000nm로 할 수 있다. 절

연층(820) 두께는 200nm ~ 20000nm로 형성 할 수 있다. 도 9f를 참조하면, 절연층(820)을 식각하여 제1전극층(830)과 제2전극층(840)을 노출시킨다. 이때, 제1전극층(830)이 복수개 형성된 경우, 도 10c에 도시된 바와 같이 모든 제1전극층(830)들을 노출시킨다. 한편, 제2전극층(840)은 소정 영역만을 노출시킬 수 있다. 노출된 제1전극층(830)과 제2전극층(840) 각각에는 구리, 니켈, 크롬과 같은 금속물질(835, 845)을 채울 수 있다. 제1전극층(830)이 복수로 형성된 경우, 금속물질(835)는 복수의 제1전극층(830)을 연결하도록 형성될 수 있다. 이러한 공정은 전술한 공정, 예컨대 도 3f에 도시된 공정에서 잘 알 수 있으므로 상세한 설명은 생략한다.

- [0190] 도 9g에 도시되듯이, 제1전극층(830)과 제2전극층(840) 상에 도금을 위한 시드층(850)을 형성한다.
- [0191] 다음으로, 도 9h에 도시되듯이, 시드층(850) 상으로 포토레지스트(860)를 형성한다. 포토레지스트(860)은 절연층(820) 상방으로 형성된다.
- [0192] 도 9i에 도시되듯이, 시드층(850) 상으로 도금공정으로 도금전극층(870)을 형성한다. 도금전극층(870)은 포토레지스트(860)를 사이에 두고, 제1 전극패드(871)와 제2 전극패드(872)로 형성된다. 제1 전극패드(871)와 제2 전극패드(872)는 구리, 니켈, 크롬 등의 금속으로 5 ~ 500 μm의 두께로 형성할 수 있다. 도 10d와 같이, 제1전극패드(871)와 제2전극패드(872)는 포토레지스트(860)를 사이에 두고 형성된다.
- [0193] 9j에 도시되듯이, 포토레지스트(860)를 제거하여 제1 전극패드(871)와 제2 전극패드(872) 사이의 공간(gap)(870a)을 확보한다.
- [0194] 도 9k에 도시되듯이 시드층(850)을 식각하여 시드층(850)을 제1시드층(851)과 제2시드층(852)으로 분리한다. 제1시드층(851)은 제1전극층포토레지스트(860)가 있던 공간(870a)에 절연물질을 채워 절연 격벽(880)을 형성한다. 절연 격벽(880)을 형성한 후 CMP(Chemical Mechanical Polishing)와 같은 공정을 통해 도금 전극층(870)의 표면을 평탄화시킬 수 있다.
- [0195] 도 9l에 도시되듯이, 결정성장의 기초가 된 기판(802)을 레이저 리프트 오프(laser lift off) 공정등을 통해 제거한다. 제1시드층(851)의 면적은 제1전극층(830)의 면적 보다 크게 하는 것이 바람직하며, 제2시드층(852)의 면적은 제2 전극층(840)의 면적 보다 크게 하는 것이 바람직하다.
- [0196] 본 실시예의 반도체 발광소자는 전술한 바와 같이 도금 공정을 통해 도금 전극층(870)을 형성하기에, 별도로 전극 기판을 준비할 필요도 없고, 반도체 구조물(810)을 전극 기판과 기판접합할 필요도 없다. 따라서, 본 실시예의 반도체 발광소자의 제조방법은 공정 비용이 저렴하며, 대량생산 및 대면적화가 용이하다. 또한, 도금 전극층(870)을 반도체 구조물(810)의 한쪽면에 형성하므로, 플립칩 공정을 통해 칩 레벨에서 패키징이 가능하다. 나아가, 도금 전극층(870)을 모두 열전도도가 좋은 금속으로 형성하므로, 방열효과가 크며, 장시간 동작이 가능한 고신뢰성의 고효율 발광소자칩 구현이 가능하다.
- [0197] 또한, 종래의 반도체 발광소자에서 전극구조물을 한쪽면에 모두 형성하고자 하는 경우, 반도체 구조물(810)에 별도의 전극 기판을 부착하는데, 웨이퍼의 휨(bowing) 현상등에 의해 전극 기판 부착시 정렬불일치(misalignment)가 발생될 위험이 있는데, 본 실시예의 반도체 발광소자는, 별도의 전극 기판의 부착이 불필요하므로, 정렬불일치의 문제등이 발생될 여지가 없다.
- [0198] 도 11은 본 발명의 다른 실시예에 따른 반도체 발광소자(900)의 개략적인 단면도이다.
- [0199] 도 11을 참조하면, 본 실시예의 반도체 발광소자(900)는 반도체 구조물(810)과, 반도체 구조물(810)의 일면(810b)에 마련된 전극 구조물을 포함한다.
- [0200] 반도체 구조물(810)은 소정의 기판(도 12a의 802 참조) 상에 결정성장하여 형성된 제1 반도체층(811), 활성층(812), 제2 반도체층(813)을 포함한다. 결정성장의 기초가 된 기판(802)은 후술하는 바와 같이 제거될 수 있다.
- [0201] 전극 구조물은 제2 반도체층(813) 쪽에 마련된 제1전극층(830) 및 제2전극층(840)과, 제1전극층(830) 및 제2전극층(840)에 전기적으로 연결되는 도금 전극층(970)을 포함한다.
- [0202] 제1전극층(830)은 제2 반도체층(813) 쪽에서 제1 반도체층(811)으로 뚫린 콘택홀(810a)을 통해 제1 반도체층(811)에 전기적으로 연결된다. 콘택홀(810a)은 메사구조나 수직한 구조 등으로 식각되어 형성될 수 있다. 콘택홀(810a)은 복수개 마련될 수 있다. 복수의 제1전극층(830)이 형성되어, 전류 확산(current spreading)을 효과적으로 구현할 수 있다.
- [0203] 제2전극층(840)은 제2 반도체층(813) 상에 마련되어 제2 반도체층(813)에 전기적으로 연결된다. 제2전극층(840)은 제2 반도체층(813)의 콘택홀(810a)이 형성되지 않은 영역에 마련될 수 있다.

- [0204] 절연층(820)은 반도체 구조물(810)의 상면에서 제1전극층(830)이 위치한 영역 및 제2전극층(840)이 위치한 영역의 일부를 제외한 나머지 영역에 도포되어 있다. 제1전극층(830)은 절연층(820)에 의해, 활성층(812), 제2 반도체층(813) 및 제2전극층(840)으로부터 절연된다.
- [0205] 절연층(820) 상에는 제1전극층(830) 및 제2전극층(840)과 각각 연결되는 제1 금속층(951) 및 제2 금속층(952)이 형성된다. 제1 금속층(951)은 복수의 제1전극층(930)과 연결되게 형성되므로 면적이 넓으며, 제2 금속층(952)은 일부 영역에만 형성된다. 발광소자(900)의 크기에 따라 달라 질 수 있으나 제1 금속층(951)의 면적은 제2 금속층(952)의 면적보다 3배 이상인 것이 바람직하다. 제1 금속층(951) 및 제2 금속층(952)과 연결되게 제3 금속층(953) 및 제4 금속층(954)이 형성되어 있다. 제3 금속층(953)은 제1 금속층(951)의 영역 보다 좁게 형성되며, 제4 금속층(954)은 제 2 금속층(952)의 영역과 비슷한 영역을 차지한다.
- [0206] 절연층(956)은 제1 금속층(951) 및 제2 금속층(952) 사이의 공간과, 제3 금속층(953) 및 제4 금속층(954) 사이의 공간을 채워서, 제1 금속층(951) 및 제2 금속층(952)을 절연시키며, 제3 금속층(953) 및 제4 금속층(954)을 절연시킨다.
- [0207] 절연층(956) 상에는 절연격벽(980)이 형성되어 있다. 절연격벽(980)의 양측에는 각각 제3 금속층(953) 및 제4 금속층(954)과 연결된 제1 시드층(961)과 제2 시드층(962)이 형성되어 있다. 제1 시드층(961) 및 제2 시드층(962) 상에는 각각 제1 전극패드(971)과 제2 전극패드(972)가 형성된다. 제1 전극패드(971) 및 제2 전극패드(972)는 도금공정으로 형성될 수 있다. 제1전극패드(971) 및 제2전극패드(972)의 도금두께는 15 ~ 500 μm가 적당하며 전극 재료로는 Al, Ti, Pt, Ag, Ni, TiN, Au, Sn, 및 이들 혼합물 중의 적어도 하나를 포함하여 형성될 수 있다. 두께가 15 μm보다 얇으면 지지기판으로의 역할을 제대로 할 수 없으며 500 μm보다 두꺼우면 도금공정 시간이 길어지고 비용이 증가하는 문제가 있다. 절연격벽(980)의 폭(제1 전극패드(971) 와 제2 전극패드(972) 간격)은 1 μm ~ 500 μm정도가 적당하다. 절연 격벽(980)의 폭이 1 μm이하이면 양쪽 전극(971, 972) 사이의 절연공정이 어려울 수 있으며, 500 μm이상이면 전극패드(971, 972)의 크기가 상대적으로 작아져 발광소자(900)에서 발생하는 열의 방열을 효과적으로 제거하지 못해 발광소자(900)의 온도가 상승하여 발광소자(900)의 휘도 저하 등의 성능이 불량해질 수 있다.
- [0208] 본 실시예의 반도체 발광소자(900)는, 제1전극층(830) 및 제2전극층(840)과 제1 시드층(961) 및 제2 시드층(962) 사이에 금속층 및 절연층을 형성함으로써 제2 전극패드(972)의 면적을 넓게 형성할 수 있으며, 이에 따라 반도체 발광소자(900)는 콘택이 형성된 기판과의 접속을 위해서 용이하게 전극패드(971, 972)의 위치 및 면적을 변경할 수 있다.
- [0209] 다음으로, 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명한다.
- [0210] 도 12a 내지 도 12g는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 제조방법을 설명하기 위해 순차적으로 도시한 공정단면도이며, 도 13a 내지 도 13c는 본 발명의 일 실시예에 따른 반도체 발광소자의 제조 공정의 단계에서 전극 패턴의 일예를 도시한 평면도이다.
- [0211] 도 12a는 도 9a 내지 도 9f의 공정의 후속공정이며, 도 9a 내지 도 9f의 공정에 대해서는 상세한 설명은 생략한다.
- [0212] 도 12a를 참조하면, 제1전극층(830)과 제2전극층(840) 상에 금속층(미도시)을 형성한 다음, 금속층을 패터닝하여 제1전극층(830) 및 제2전극층(840)과 각각 연결된 제1 금속층(951) 및 제2 금속층(952)을 형성한다. 도 13a를 참조하면, 제1 금속층(951)은 복수의 제1전극층(830)과 연결되므로 면적이 넓으며, 제2 금속층(952)은 일부 영역에만 형성된다. 제1금속층(951)과 제2금속층(952)의 형성은 선공정인 도 9f의 공정에서 각각 금속물질(835, 845)와 함께 수행될 수도 있다.
- [0213] 도 12b를 참조하면, 절연층(820) 상으로 제1 금속층(951) 및 제2 금속층(952)을 덮는 절연층(956)을 형성한다. 이어서, 절연층(956)을 패터닝하여 제1 금속층(951) 및 제2 금속층(952)을 각각 노출시킨 다음, 노출된 영역에 각각 제1 금속층(951) 및 제2 금속층(952)과 연결되게 제3 금속층(953) 및 제4 금속층(954)을 형성한다. 도 13a 및 도 13b를 함께 참조하면, 제3 금속층(953)은 제1 금속층(951)의 영역 보다 좁게 형성되며, 제4 금속층(954)은 제 2 금속층(952)의 영역의 0.5 ~ 3배 면적을 차지하도록 형성한다..
- [0214] 도 12c를 참조하면, 절연층(956) 상으로 제3 금속층(953) 및 제4 금속층(954)을 덮는 도금을 위한 시드층(960)을 형성한다. 이어서, 시드층(960) 상에 시드층(960)을 둘로 나누는 포토레지스트(964)를 형성한다. 도 13c를 참조하면, 포토레지스트(964)로 나누는 제1영역(A1)과 제2영역(A2)은 각각 제3 금속층(953) 및 제4 금속층(95

4)와 접촉하는 영역이다. 제2영역(A2)는 제4 금속층(954)의 1-5 배 면적으로 형성된다.

[0215] 도 12d를 참조하면, 포토레지스트(964)를 사이에 두고, 제1영역(A1)과 제2영역(A2) 각각에 제1 전극패드(971)와 제2 전극패드(972)를 도금 공정으로 형성한다. 제1 전극패드(971)와 제2 전극패드(972)는 구리, 니켈, 크롬 등의 금속으로 15 ~ 500  $\mu\text{m}$ 의 두께로 형성할 수 있다.

[0216] 도 12e를 참조하면, 포토레지스트(964)를 제거하여 제1 전극패드(971)와 제2 전극패드(972) 사이의 공간(gap)(970a)를 확보한다. 공간(970a)의 폭(제1 전극패드(971)와 제2 전극패드(972)의 간격)은 1  $\mu\text{m}$  ~ 500  $\mu\text{m}$  정도가 적당하다. 공간(970a)의 폭이 1  $\mu\text{m}$ 이하이면 양쪽 전극패드(971, 972) 사이의 절연 공정의 불량 발생될 수 있다. 500  $\mu\text{m}$ 이상이면 전극패드(971, 972)가 차지하는 면적이 상대적으로 작아져 발광소자에서 발생하는 열의 방출을 효과적으로 하지 못해 발광소자의 온도가 상승하여 발광소자의 휘도 저하 등의 성능이 불량해질 수 있다.

[0217] 도 12f를 참조하면, 포토레지스트(964)가 있던 공간(970a)에 노출된 시드층(960)을 식각하여 제1 시드층(961)과 제2 시드층(962)로 분리한다. 이어서, 공간(970a)과, 제1 시드층(961) 및 제2 시드층(962)의 식각된 영역을 채워서 절연 격벽(980)을 형성한다. 절연 격벽(980)을 형성한 후 CMP(Chemical Mechanical Polishing)와 같은 공정을 통해 제1 전극패드(971)와 제2 전극패드(972)의 표면을 평탄화시킬 수 있다.

[0218] 도 12g를 참조하면, 결정성장의 기초가 된 기판(802)을 레이저 리프트 오프(laser lift off) 공정 등을 통해 제거한다.

[0219] 상기 실시예에 따르면, 상술한 바와 같이 도금공정으로 전극패드를 형성할 수 있으며, 전극패드의 형성영역을 용이하게 설계할 수 있어서, 제조된 발광소자를 다른 콘택이 형성된 기판에 용이하게 설치할 수 있다.

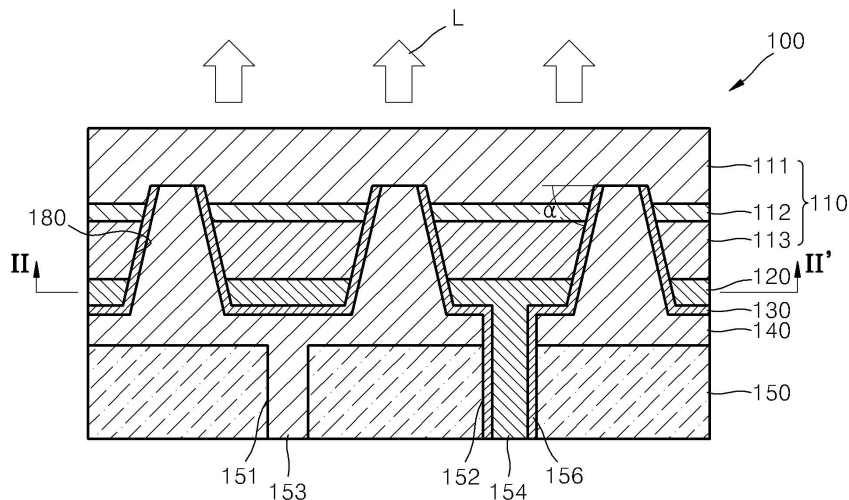
[0220] 이상에서 본 발명의 실시예가 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 이상에서 첨부된 도면을 참조하여 설명된 본 발명의 실시예들은 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호범위는 첨부된 특허청구범위에 의해서만 정해져야 할 것이다.

**부호의 설명**

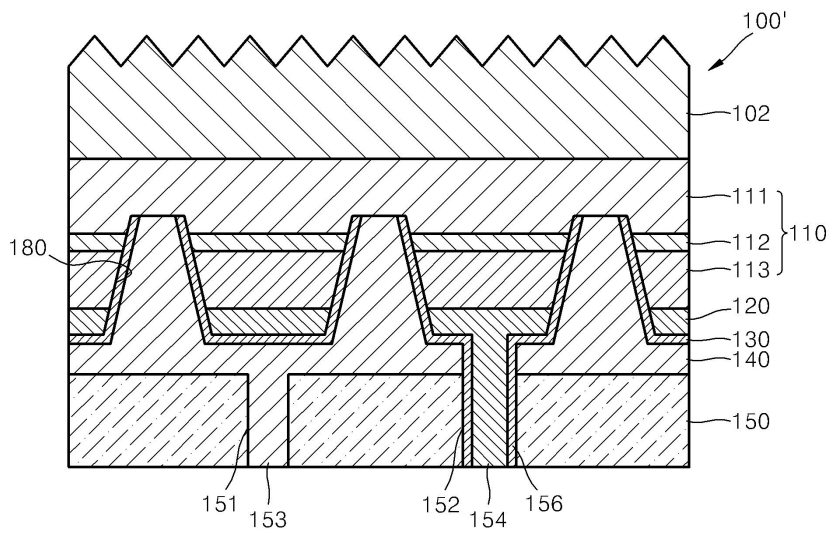
[0221] 110: 반도체 구조물, 111: 제1 반도체층, 112: 활성층, 113: 제2 반도체층

**도면**

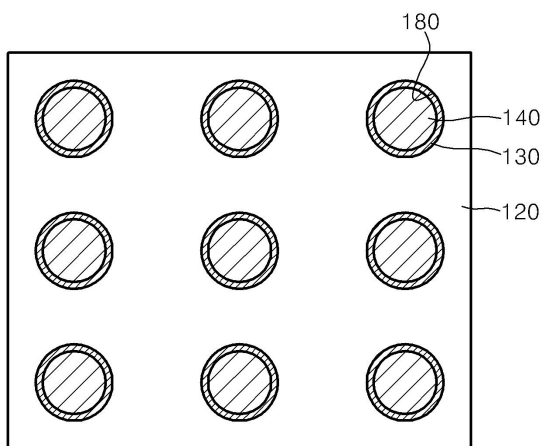
**도면1a**



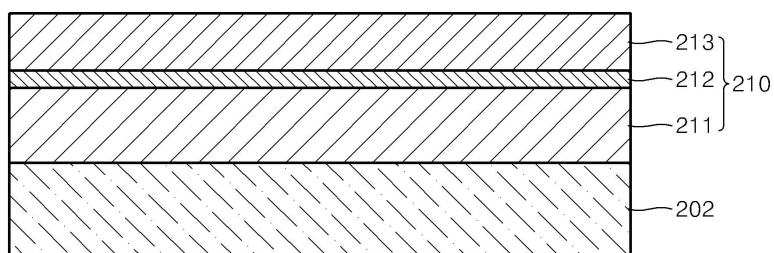
도면1b



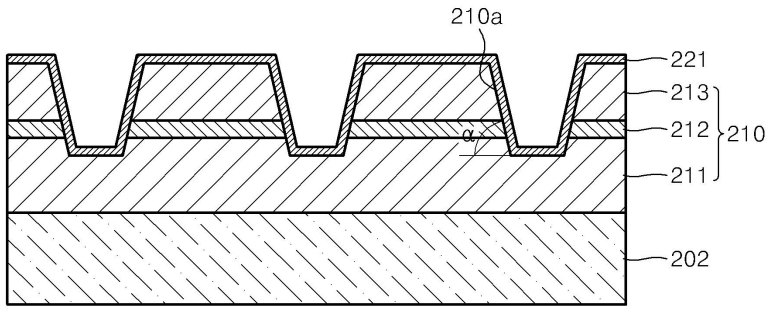
도면2



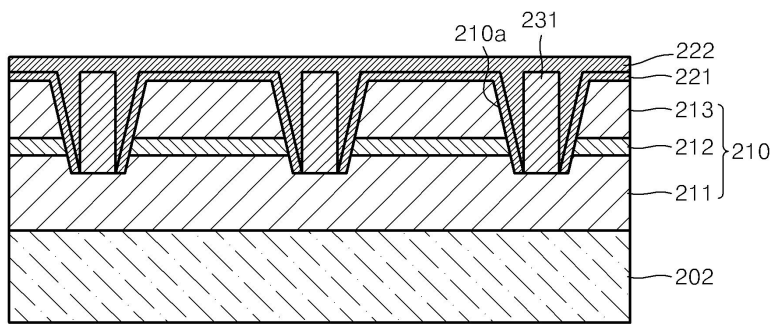
도면3a



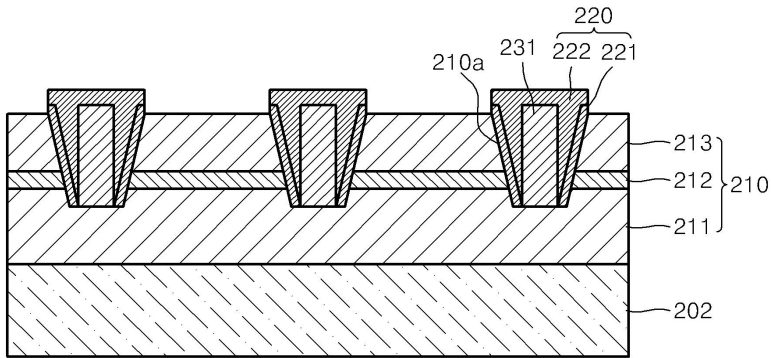
도면3b



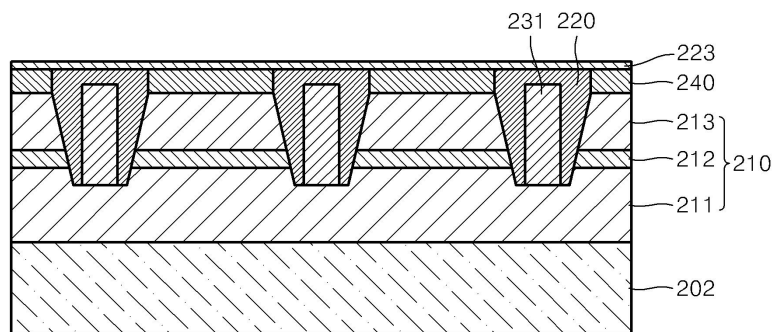
도면3c



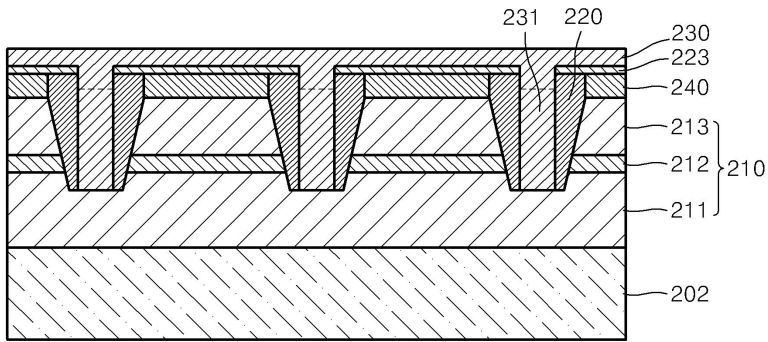
도면3d



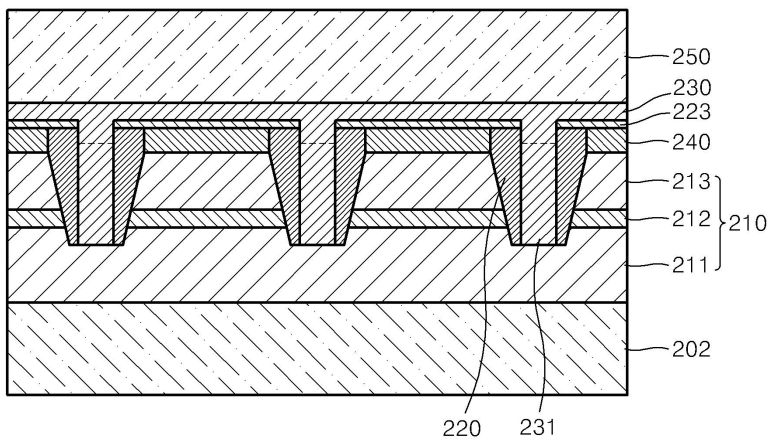
도면3e



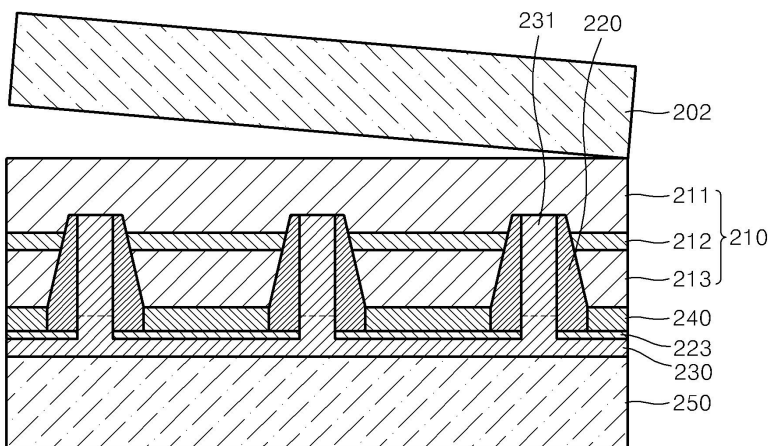
도면3f



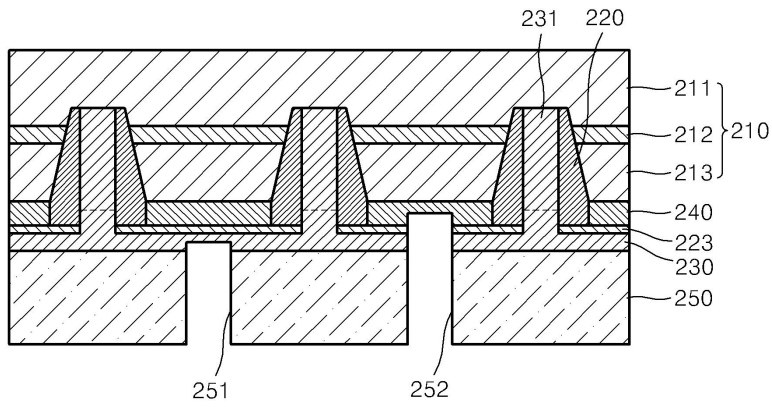
도면3g



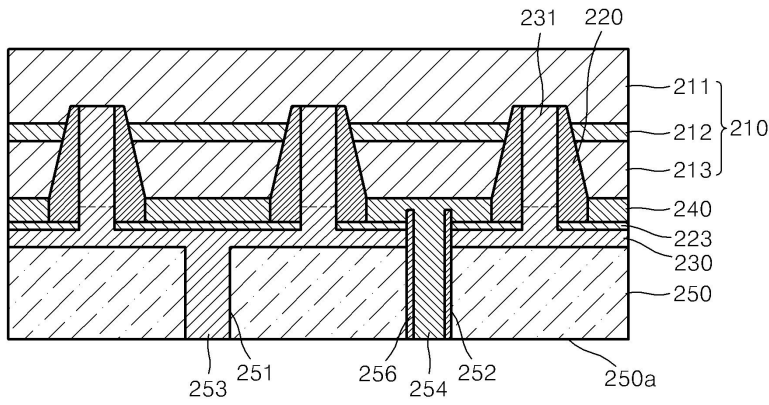
도면3h



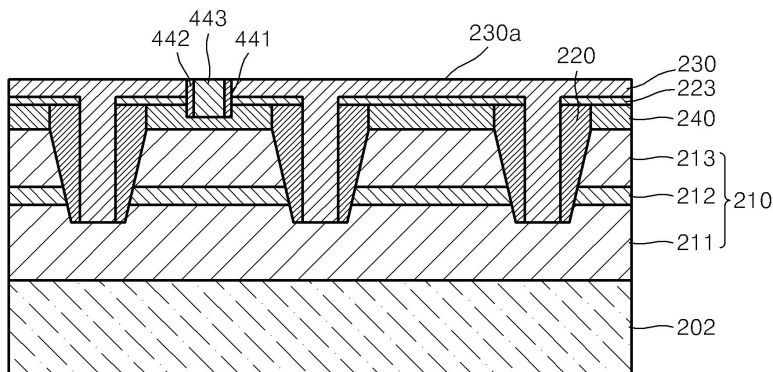
도면3i



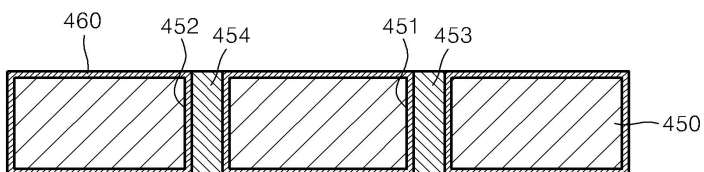
도면3j



도면4a

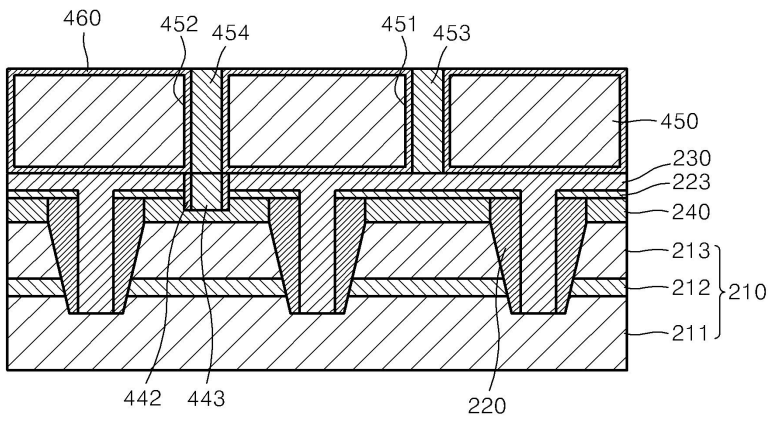


도면4b

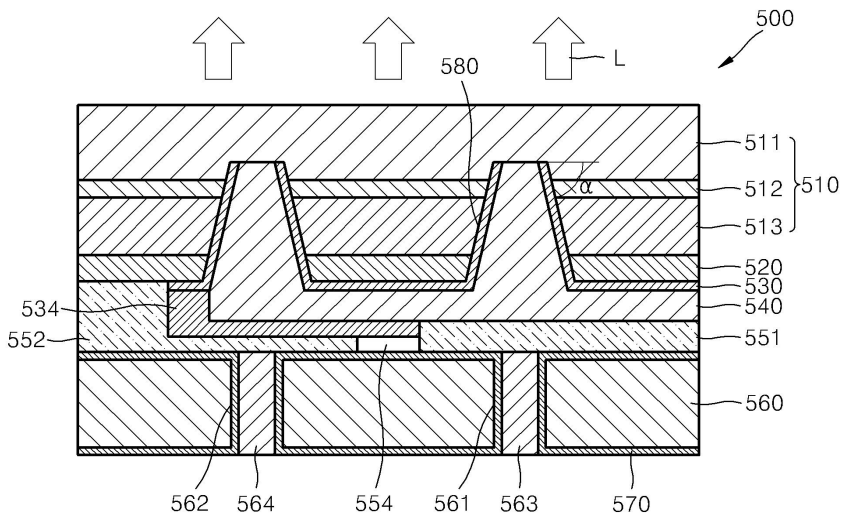




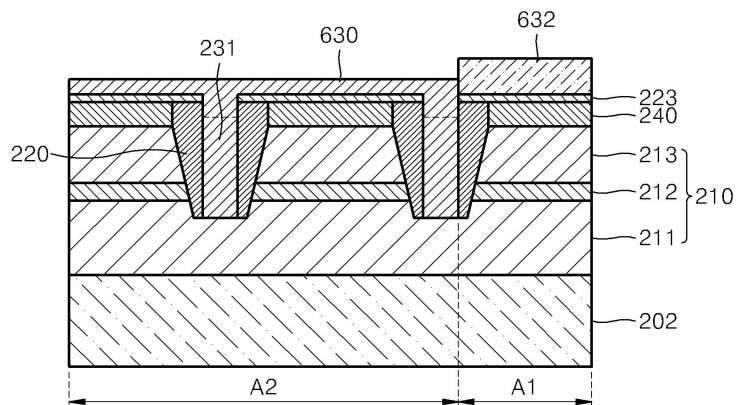
도면4c



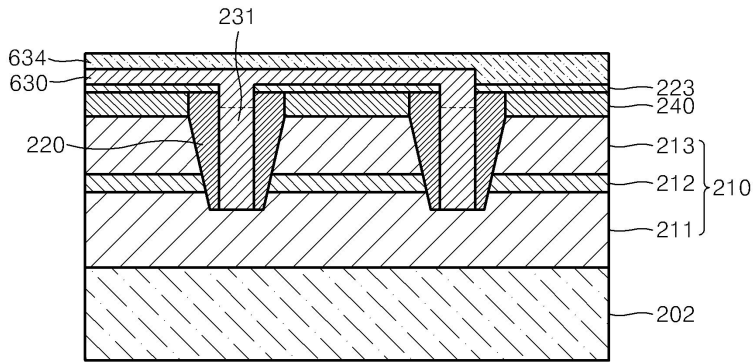
도면5



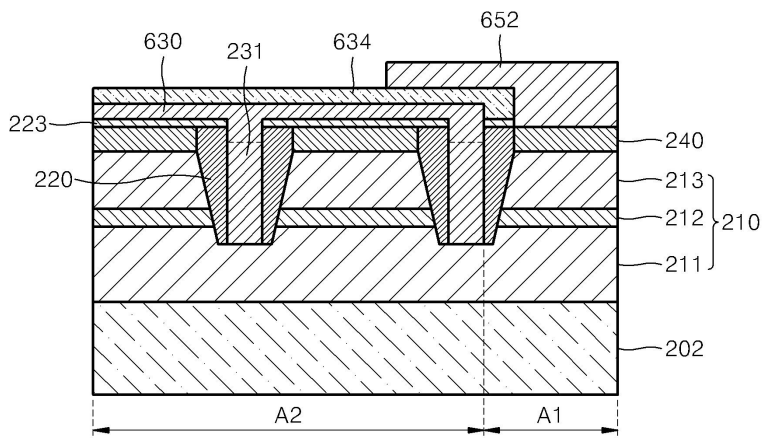
도면6a



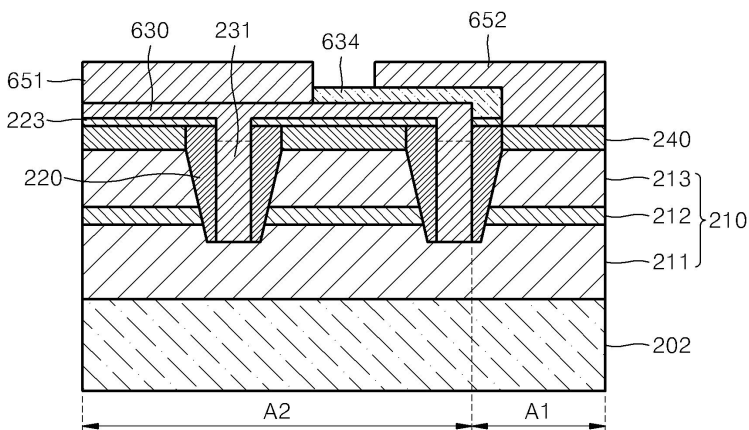
도면6b



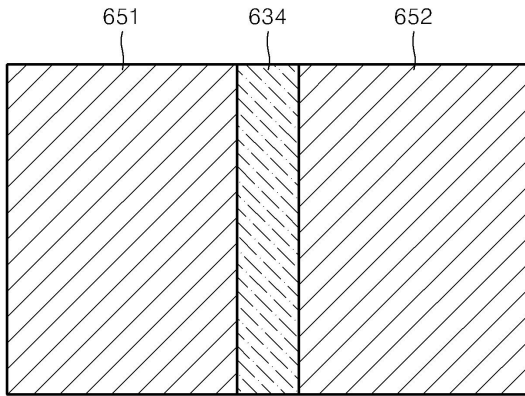
도면6c



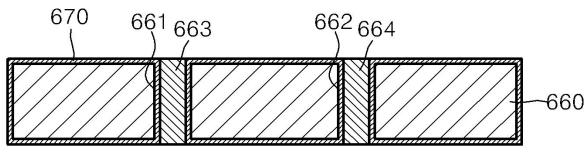
도면6d



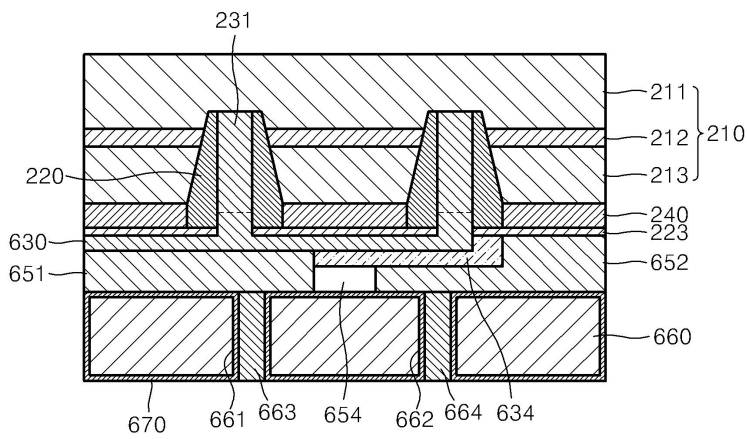
도면6e



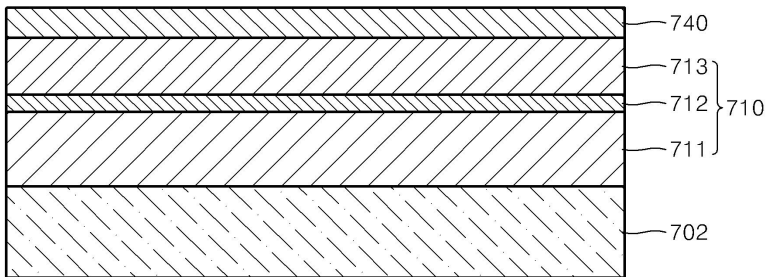
도면6f



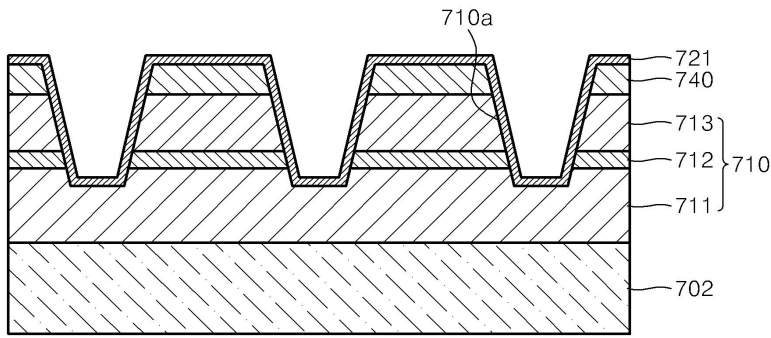
도면6g



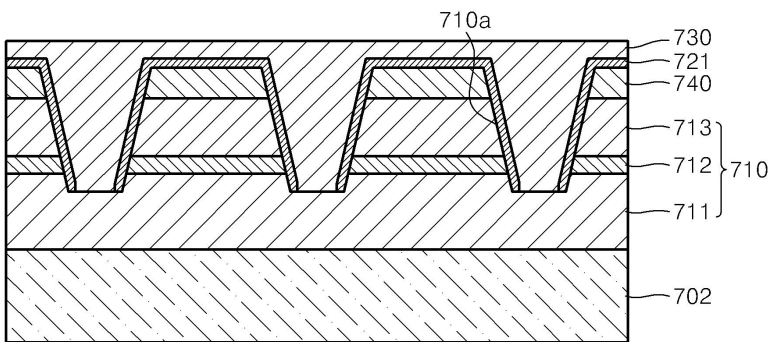
도면7a



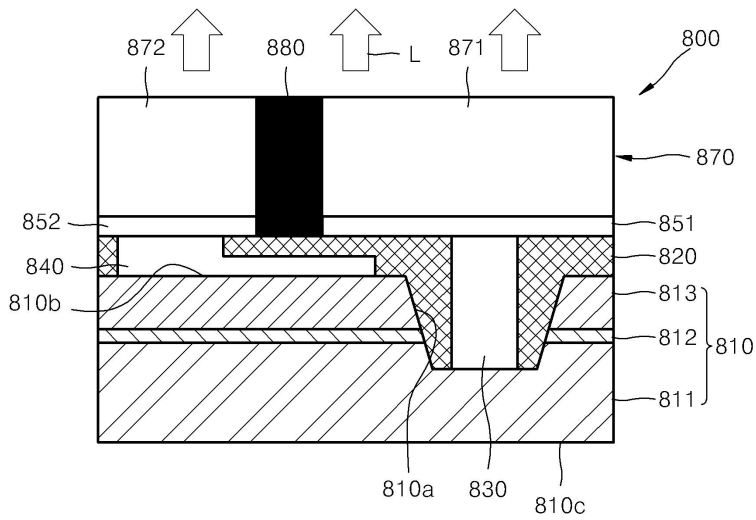
도면7b



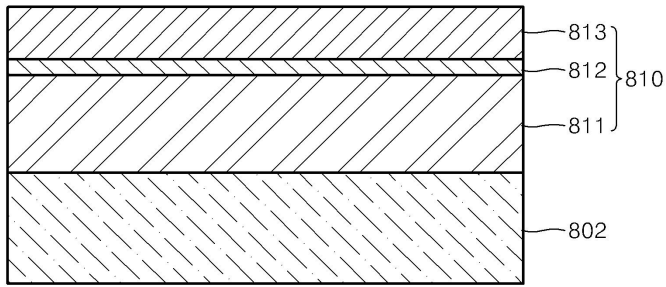
도면7c



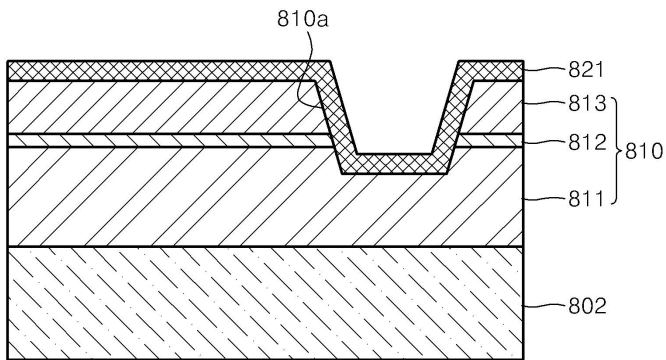
도면8



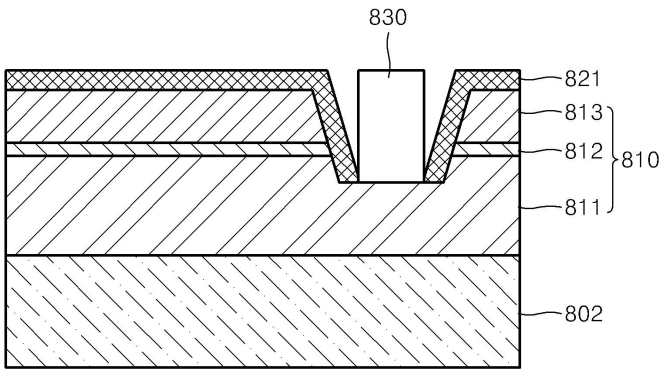
도면9a



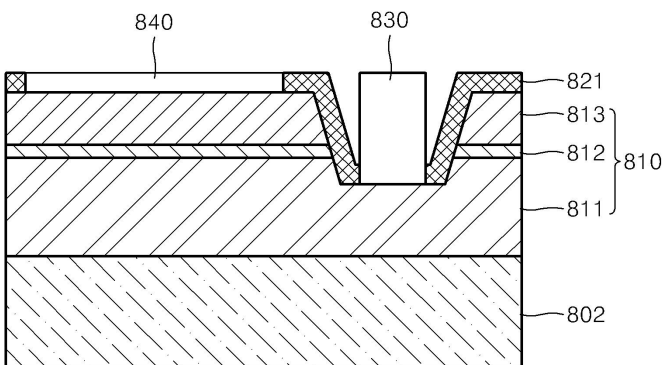
도면9b



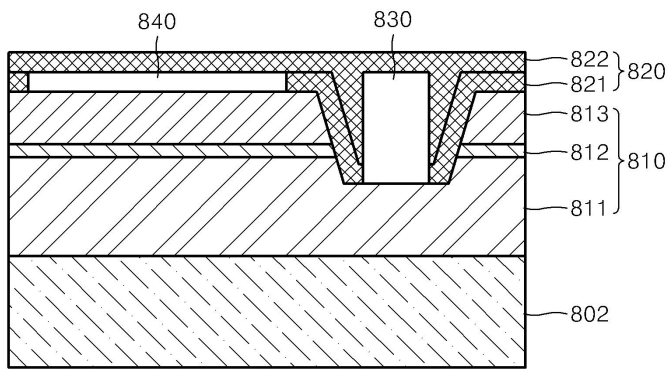
도면9c



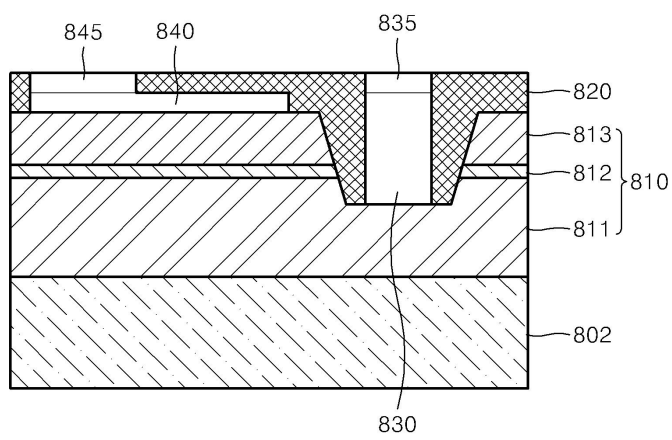
도면9d



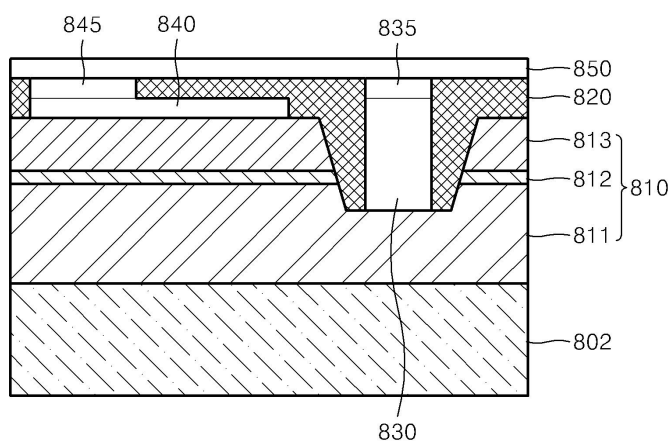
도면9e



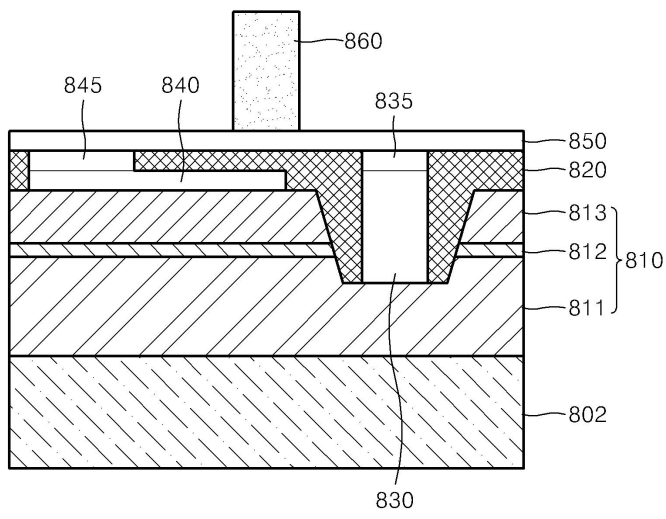
도면9f



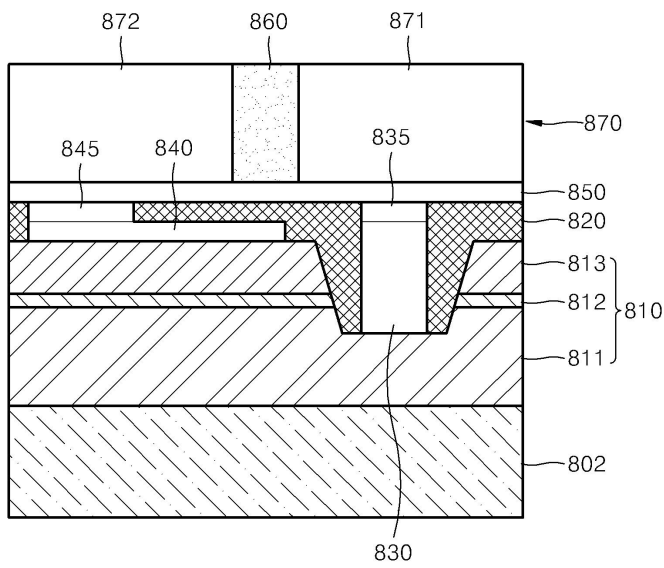
도면9g



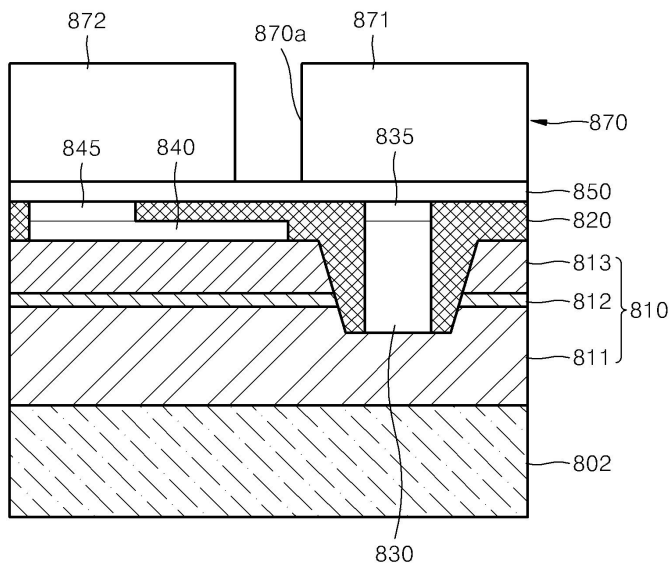
도면9h



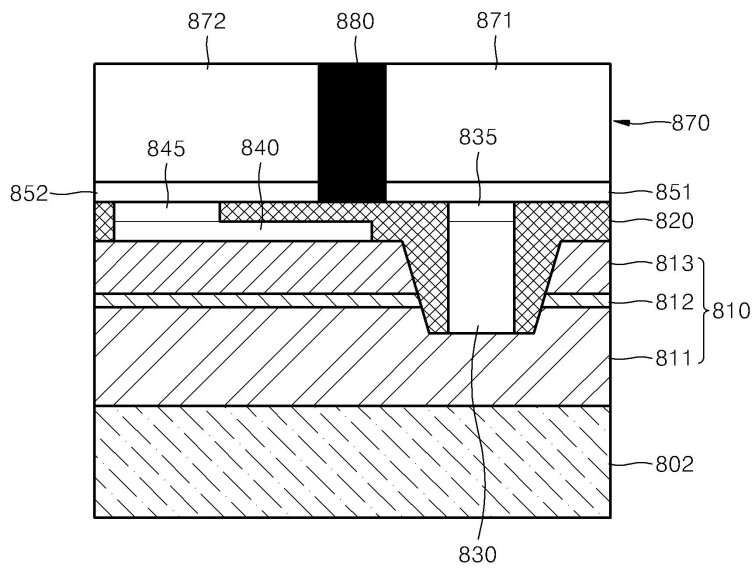
도면9i



도면9j

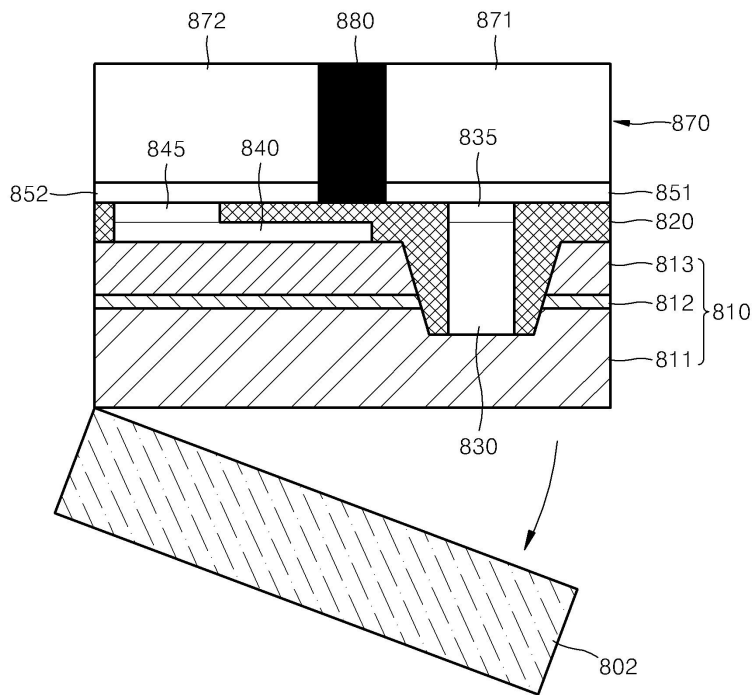


도면9k

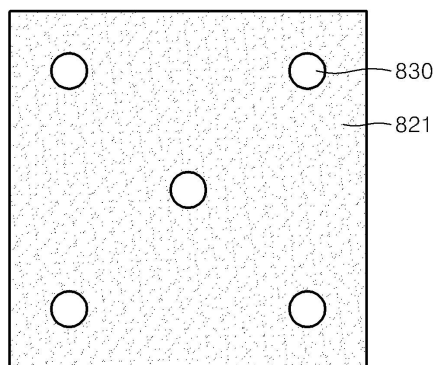




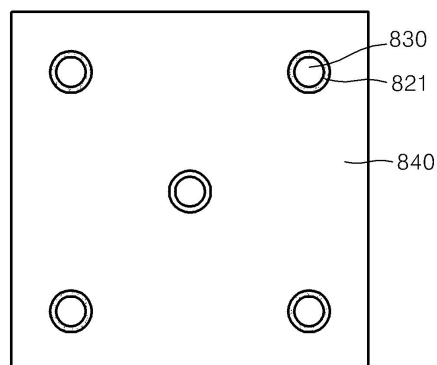
도면91



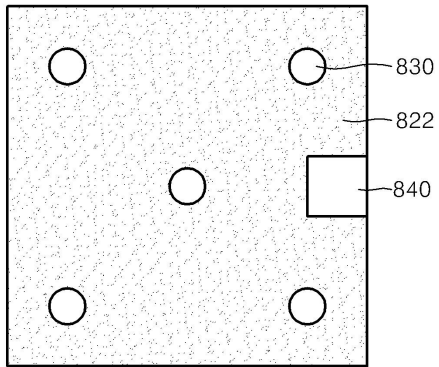
도면10a



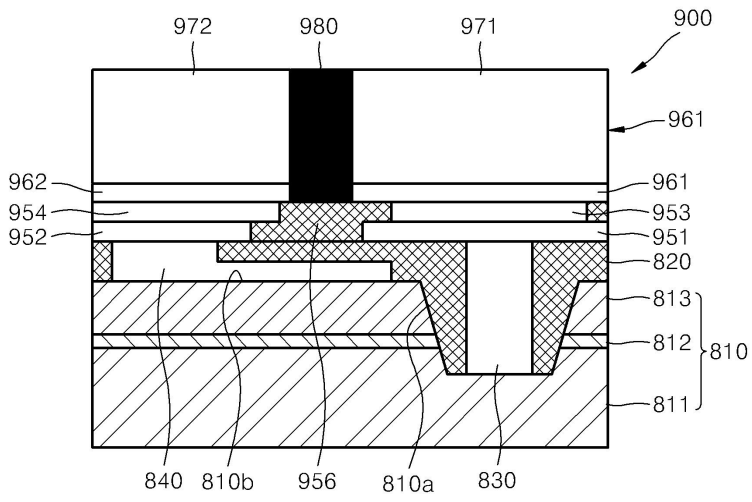
도면10b



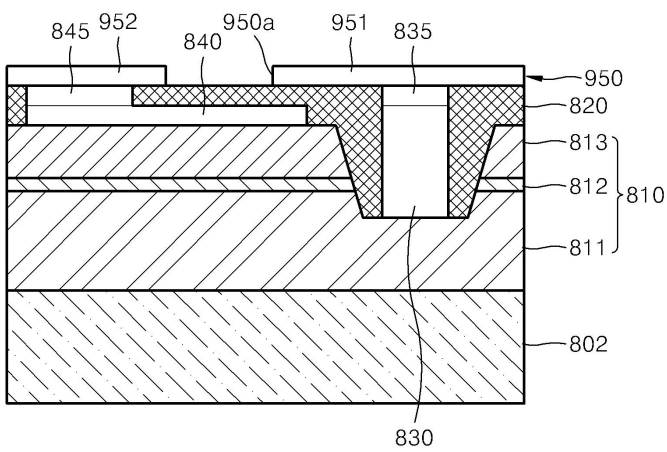
도면10c



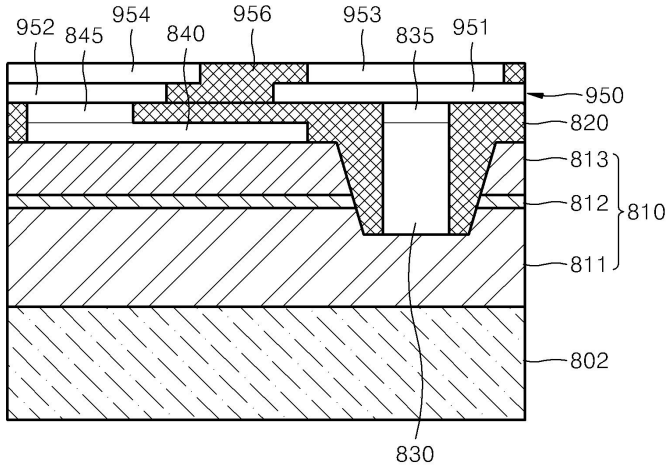
도면11



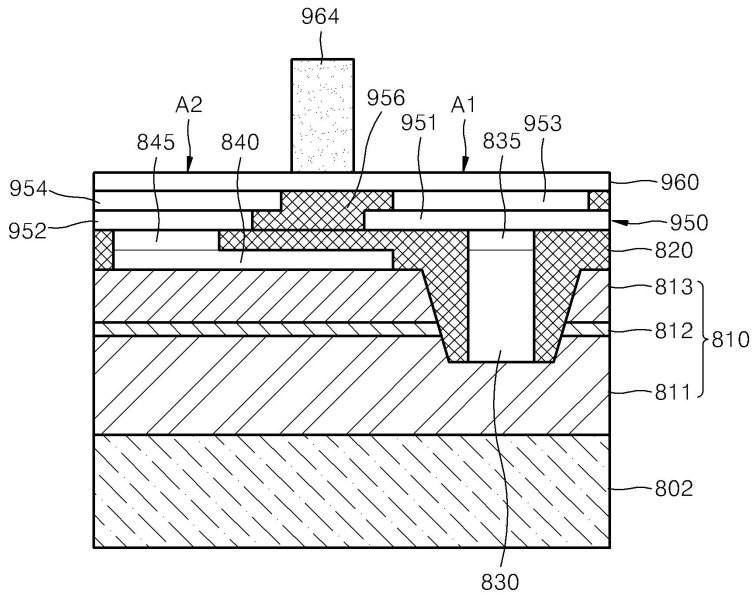
도면12a



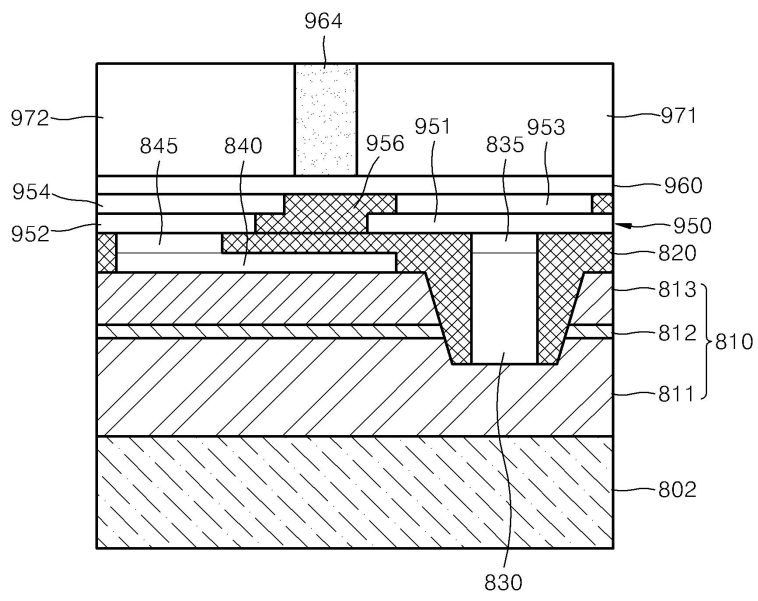
도면12b



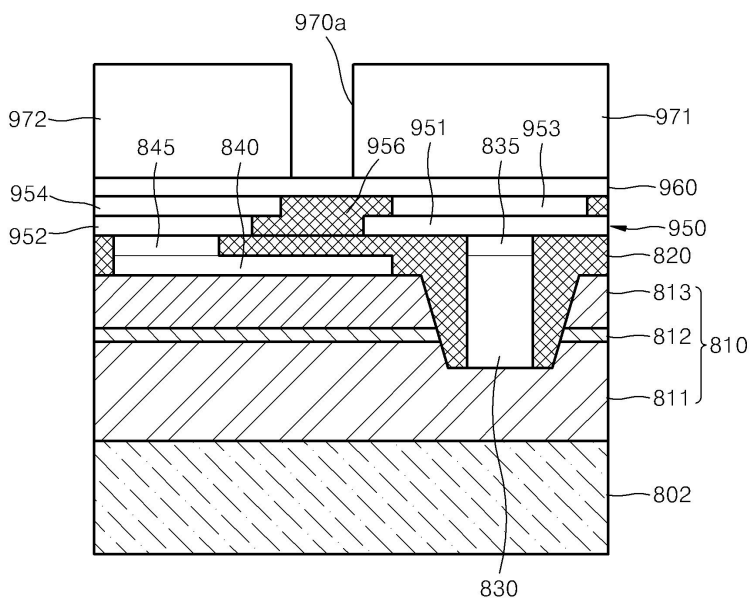
도면12c



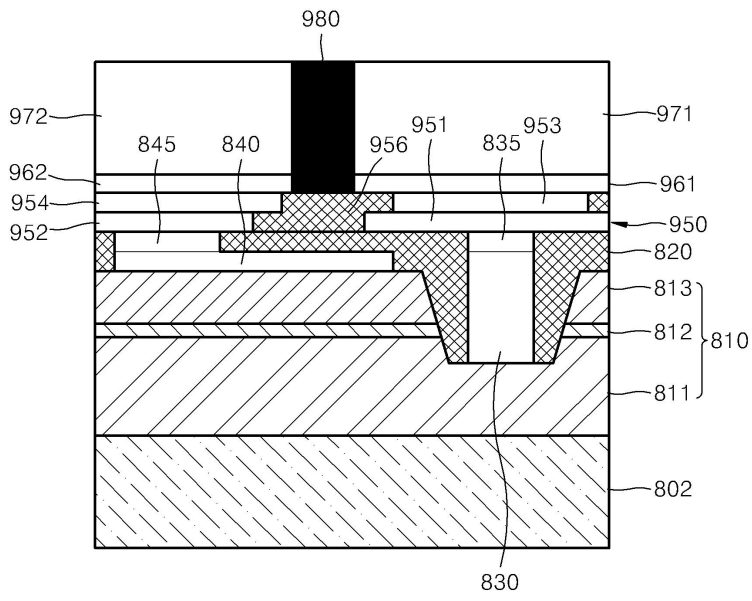
도면12d



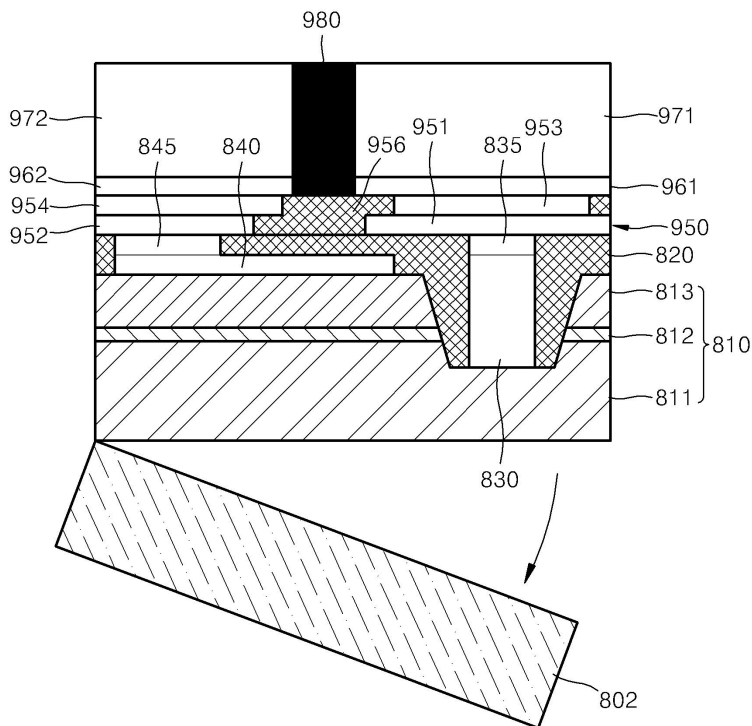
도면12e



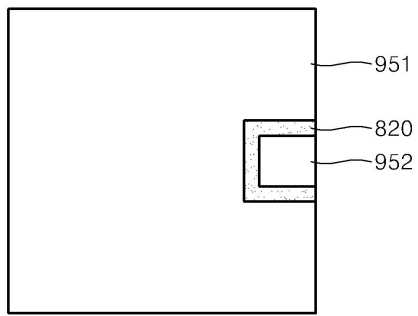
도면12f



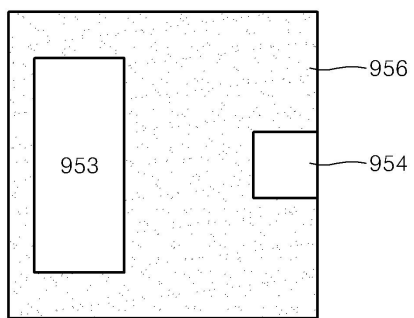
도면12g



도면13a



도면13b



도면13c

