



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I633640 B

(45) 公告日：中華民國 107 (2018) 年 08 月 21 日

(21) 申請案號：103139288

(22) 申請日：中華民國 103 (2014) 年 11 月 12 日

(51) Int. Cl. : H01L23/52 (2006.01)

H01L23/34 (2006.01)

(30) 優先權：2013/12/16 日本

2013-258860

(71) 申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72) 發明人：佐佐木直人 SASAKI, NAOTO (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 7935568B2

US 20090309235A1

審查人員：張展溢

申請專利範圍項數：10 項 圖式數：9 共 26 頁

(54) 名稱

半導體元件、半導體元件之製造方法、及電子機器

(57) 摘要

本揭示係關於一種可抑制裂紋之產生與洩漏之半導體元件、半導體元件之製造方法、及電子機器。

於本技術中，金屬配線下係使用 CTE 之值處於金屬與 Si 之間之絕緣膜，且，於 TSV 側壁部採用使用覆蓋率較佳之 P-SiO(1 μ m)作為 Via(導孔)內絕緣膜之積層構造。作為 CTE 處於金屬與 Si 之間之絕緣膜，例如，對於 Via 內絕緣膜與緊接於其之域上絕緣膜，分別使用厚度 0.1 μ m 及 2 μ m 的 SiOC。本揭示例如可應用於攝像裝置所使用之固體攝像元件。

指定代表圖：

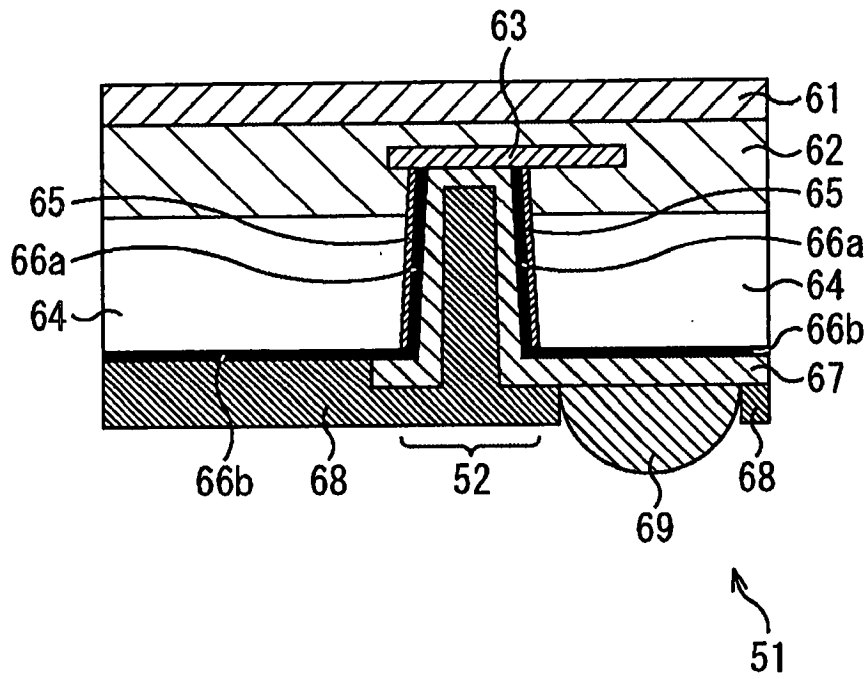


圖2

符號簡單說明：

- 51 . . . 固體攝像元件
- 52 . . . TSV
- 61 . . . Si 層
- 62 . . . SiO₂ 層
- 63 . . . AL 焊墊
- 64 . . . Si 基板
- 65 . . . Via 內絕緣膜
- 66a . . . Via 內絕緣膜
- 66b . . . 域上絕緣膜
- 67 . . . 金屬配線
- 68 . . . 阻焊劑
- 69 . . . 焊錫球

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體元件、半導體元件之製造方法、及電子機器

【技術領域】

本揭示係關於一種半導體元件、半導體元件之製造方法、及電子機器，尤其是關於一種可抑制裂紋之產生與洩漏之半導體元件、半導體元件之製造方法、及電子機器。

【先前技術】

當將構造中具有專利文獻1所提出之TSV(Through Silicon Via：穿矽導通體)之CSP(Chip Size Package：晶片尺寸封裝)安裝於基板，進行溫度循環試驗時，有時RDL_CU下層之絕緣膜(SiO、SiN等)破裂。其原因在於：SiO或SiN與附近之其他材料相比，熱膨脹係數(CTE)小1至2位數，而於溫度循環中會產生較大之應力。

具體而言，各材料之CTE係Cu為17 ppm，SiO為0.6 ppm，SiN為1.0 ppm，Si為3.2 ppm，SM為55 ppm，焊錫為31 ppm，基板為15至20 ppm。於絕緣膜同時產生由與Cu之CTE差(16 ppm)引起之應力、及由與Si之CTE差(2.6 ppm)引起之應力。

作為其對策，如專利文獻2所記載般，有人提出一種使絕緣膜位於Si與金屬之CTE之間之方法。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特開2010-161215號公報

[專利文獻2]日本特開2008-306134號公報

【發明內容】

[發明所欲解決之問題]

然而，根據使絕緣膜位於Si與金屬之CTE之間之方法，由於難以確保TSV底之覆蓋率，故有產生洩漏不良之虞。

本揭示係鑑於此種狀況而完成者，可抑制裂紋之產生與洩漏。

[解決問題之技術手段]

本技術之一態樣之半導體元件具有：TSV(Through Silicon Via)，其形成於基板；側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；及絕緣膜，其形成於上述TSV之除了via(導孔)部以外之金屬配線之下層；且上述絕緣膜係熱膨脹率採取上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間之值之膜種。

於上述TSV之側壁部，上述絕緣膜積層於上述側壁膜。

上述側壁膜係電漿氧化膜。

上述側壁膜係於整面成膜後以回蝕完全去除域上。

上述絕緣膜積層有複數膜種。

將上述金屬配線下之上述基板切成狹縫狀，且埋入上述絕緣膜。

本技術之一態樣之半導體元件係CSP(Chip Size Package)構造。

本技術之一態樣之半導體元件係固體攝像元件。

本技術之一態樣之半導體元件之製造方法係由製造裝置於形成於基板之TSV(Through Silicon Via)之側壁部形成覆蓋率較佳之膜即側壁膜，且於上述TSV之除了via部以外之金屬配線之下層形成絕緣膜。

本技術之一態樣之電子機器具備：固體攝像元件，該固體攝像元件具有：TSV(Through Silicon Via)，其形成於基板；側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；及絕緣膜，其形成於上述TSV之除了via部以外之金屬配線之下層；且上述絕緣膜係熱膨脹率採取上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間之值之膜

種；光學系統，其係將入射光入射至上述固體攝像元件；及信號處理電路，其係處理自上述固體攝像元件輸出之輸出信號。

於本技術之一態樣中，於形成於基板之TSV(Through Silicon Via)之側壁部，形成覆蓋率較佳之膜即側壁膜。且，於上述TSV之除了via部以外之金屬配線之下層形成絕緣膜。

[發明之效果]

根據本技術，可抑制裂紋之產生與洩漏。

另，本說明書所記載之效果僅為例示，本技術之效果並非限定於本說明書所記載之效果，亦可為附加之效果。

【圖式簡單說明】

圖1係顯示應用本技術之固體攝像元件之概略構成例之方塊圖。

圖2係顯示應用本技術之固體攝像元件之構成例之剖面圖。

圖3係說明固體攝像元件之製造處理之流程圖。

圖4A-C係顯示固體攝像元件之製造步驟之圖。

圖5A、B係顯示固體攝像元件之製造步驟之圖。

圖6A、B係顯示固體攝像元件之製造步驟之圖。

圖7係顯示應用本技術之固體攝像元件之另一構成例之剖面圖。

圖8係顯示應用本技術之固體攝像元件之又一構成例之剖面圖。

圖9係顯示應用本技術之電子機器之構成例之方塊圖。

【實施方式】

以下，對用以實施本揭示之形態(以下稱為實施形態)進行說明。
另，說明係按以下之順序進行。

0.固體攝像元件之概略構成例

1.第1實施形態(固體攝像元件之例)

2.第2實施形態(電子機器之例)

< 0.固體攝像元件之概略構成例 >

< 固體攝像元件之概略構成例 >

圖1顯示應用於本技術之各實施形態之CMOS(Complementary Metal Oxide Semiconductor: 互補金屬氧化物半導體)固體攝像元件之一例之概略構成例。

如圖1所示，固體攝像元件(元件晶片)1係於半導體基板11(例如矽基板)具有有規律地2維排列有包含複數個光電轉換元件之像素2之像素區域(所謂之攝像區域)3、與周邊電路部而構成。

像素2係具有光電轉換元件(例如光電二極體)、與複數個像素電晶體(所謂之MOS電晶體)而成。複數個像素電晶體係例如可由傳送電晶體、重設電晶體、及放大電晶體之3個電晶體構成，亦可進而追加選擇電晶體而由4個電晶體構成。由於各像素2(單位像素)之等價電路係與一般者相同，故此處省略詳細之說明。

又，像素2亦可採用共有像素構造。像素共有構造包含複數個光電二極體、複數個傳送電晶體、共有之1個浮動擴散區、及共有之各1個之其他像素電晶體。

周邊電路部包含垂直驅動電路4、行信號處理電路5、水平驅動電路6、輸出電路7、及控制電路8。

控制電路8接收指令輸入時脈、或動作模式等之資料，且，輸出固體攝像裝置1之內部資訊等資料。具體而言，控制電路8係基於垂直同步信號、水平同步信號、及主時脈，而產生成為垂直驅動電路4、行信號處理電路5、及水平驅動電路6之動作之基準的時脈信號或控制信號。且，控制電路8係將該等信號輸入於垂直驅動電路4、行信號處理電路5、及水平驅動電路6。

垂直驅動電路4係由例如移位暫存器構成，選擇像素驅動配線，對所選擇之像素驅動配線供給用以驅動像素2之脈衝，且以列單位驅動像素2。具體而言，垂直驅動電路4係將像素區域3之各像素2以列單

位依序於垂直方向進行選擇掃描，且通過垂直信號線9將基於各像素2之光電轉換元件中根據受光量產生之信號電荷的像素信號供給至行信號處理電路5。

行信號處理電路5配置於像素2之例如每行，將自1列量之像素2輸出之信號於像素每行進行雜訊去除等之信號處理。具體而言，行信號處理電路5進行用以去除像素2固有之固定圖案雜訊之CDS(Correlated Double Sampling：相關雙取樣)、或信號放大、A/D(Analog/Digital：類比/數位)轉換等之信號處理。於行信號處理電路5之輸出段，於與水平信號線10之間連接設置水平選擇開關(未圖示)。

水平驅動電路6係由例如移位暫存器構成，藉由依序輸出水平掃描脈衝，而依序選擇行信號處理電路5之各者，且自行信號處理電路5之各者將像素信號輸出於水平信號線10。

輸出電路7係對自行信號處理電路5之各者通過水平信號線10依序供給之信號，進行信號處理且輸出。輸出電路7係例如亦有進行緩衝之情形，亦有進行黑位準調整、行不均修正、各種數位信號處理等之情形。

輸入輸出端子12係用於與外部進行信號之交換而設置。

< 1.第1實施形態 >

< 固體攝像元件之剖面例 >

圖2係顯示應用本技術之半導體元件之固體攝像元件之構造之剖面圖。於圖2之例中，作為於構造中具有安裝於基板之TSV(Through Silicon Via)之CSP(Chip Size Package)之一例，顯示固體攝像元件。

於圖2之例之固體攝像元件51中，於作為支持基板之Si基板64上形成有SiO₂層62，且於其上形成有Si層61。於SiO₂層62中埋入有AL焊墊63，且於SiO₂層62與Si基板64中，形成有以AL焊墊63作為底部之

TSV52。

於該例中，TSV52係例如以 $\phi 70\ \mu\text{m}$ 、深度 $100\ \mu\text{m}$ 形成。於TSV52內部之側壁部，積層有Via內絕緣膜65及Via內絕緣膜66a。再者，於圖中Si基板64之下表面即域上，顯示有自Via內絕緣膜66a延長而形成之域上絕緣膜66b。

且，以覆蓋TSV52內部之方式施有 $10\ \mu\text{m}$ 金屬配線67。於金屬配線67上，形成焊錫球69，且形成有阻焊劑68。

此處，Si基板64之Si之熱膨脹係數(CTE)為 $3.2\ \text{ppm}$ ，用作金屬配線67之RDL(重佈線)_CU之CTE為 $17\ \text{ppm}$ 。

於本技術中，金屬配線67下係使用CTE處於金屬與Si之各CTE之間之膜種之絕緣膜，且，TSV52側壁部係採用積層有該絕緣膜、與作為Via內絕緣膜65之、覆蓋率較佳之電漿氧化膜：P-SiO($1\ \mu\text{m}$)之構造。所謂覆蓋率係域與底部之膜厚之比。另，若為覆蓋率較佳之膜，則亦可為電漿氧化膜以外者。例如，亦可為P-SiON、或P-SiO。

又，作為CTE處於金屬與Si之各CTE之間之絕緣膜，圖2之例之情形時，於Via內絕緣膜66a、與緊接於其之域上絕緣膜66b，以厚度 $0.1\ \mu\text{m}$ 及 $2\ \mu\text{m}$ 分別使用SiOC。另，作為支持基板，即便並非Si，亦可因應CTE較大者。

SiOC其CTE為 $11\ \text{ppm}$ ，與Si之差為 $7.8\ \text{ppm}$ ，與CU之差為 $6\ \text{ppm}$ ，CTE處於金屬與Si之間。

如以上所述，由於金屬配線下為CTE處於金屬與Si之各CTE之間之絕緣膜，故應力不再集中於絕緣膜，而可抑制裂紋之產生。除此以外，TSV底部(側壁部)為絕緣膜與覆蓋率較佳之P-SiO之積層構造。藉此，由於可抑制Via底之洩漏，故可提高CSP構造之半導體之可靠性。

另，作為CTE處於金屬與Si之CTE之各值之間之絕緣膜，並非限

於上述之SiOC，亦可使用下述膜種。

SiC其CTE為4.4 ppm，與Si之差為1.2 ppm，與CU之差為12.6 ppm。SiCN其CTE為11 ppm，與Si之差為7.8 ppm，與CU之差為6 ppm。Al₂O₃其CTE為7.2 ppm，與Si之差為4 ppm，與CU之差為9.8 ppm。ZrO₂其CTE為10.5 ppm，與Si之差為7.3 ppm，與CU之差為6.5 ppm。

亦可將該等膜種至少積層1個以上。於該等膜種中，中間之CTE之值最佳為兩者之大致中間之值。另，參照圖8予以後述，積層複數個之情形時，較佳為將與Si之CTE之差較少者積層於Si側，將與CU之CTE之差較少者積層於CU側。

< 固體攝像元件之製造處理 >

接著，參照圖3之流程圖、以及圖4至圖6之步驟圖，對本技術之固體攝像元件之製造處理進行說明。

另，該處理係藉由製造固體攝像元件51之製造裝置進行之處理。

首先，於步驟S51中，製造裝置係例如如圖4A所示，於Si基板64形成埋入有AL焊墊63之SiO₂層62，且形成Si層61。

於步驟S52中，製造裝置係如圖4B所示，將以AL焊墊63作為底部之TSV52之抗蝕劑圖案化，且蝕刻Si基板64與SiO₂層62而露出AL焊墊63。

於步驟S53中，製造裝置係如圖4C所示，將Via內絕緣膜(例如P-SiO)65整面成膜。

於步驟S54中，製造裝置係如圖5A所示，回蝕Via內絕緣膜65。此時，去除圖中Si基板64之下表面即域上與TSV52底部之Via內絕緣膜65。TSV52側壁部殘存1 μm。

於步驟S55中，製造裝置係如圖5B所示，將Via內絕緣膜(例如

SiOC)66a及域上絕緣膜(例如SiOC)66b成膜且回蝕。此時，圖中Si基板64之下表面即域上之域上絕緣膜66b殘存 $2\ \mu\text{m}$ ，TSV52底部之Via內絕緣膜66a被去除。TSV52側壁部之Via內絕緣膜66a殘存 $0.1\ \mu\text{m}$ 。

於步驟S56中，製造裝置進行Ti/Cu種子金屬之形成、RDL圖案之抗蝕劑之圖案化、藉由鍍Cu($10\ \mu\text{m}$)進行之金屬配線67之形成、抗蝕劑之去除、種子金屬之濕式蝕刻等。藉此，如圖6A所示，形成Cu之金屬配線67。

於步驟S57中，製造裝置係如圖6B所示，進行阻焊劑68之形成、曝光、顯影(岸部開口)、焊錫球69之形成等。

如以上所述，形成參照圖2所上述之固體攝像元件51。

<固體攝像元件之另一剖面例>

圖7係顯示應用本技術之半導體元件之固體攝像元件之另一構造之剖面圖。

於圖7之固體攝像元件101中，與圖4之固體攝像元件51共通之點在於：形成有Si層61、SiO₂層62、AL焊墊63、Si基板64、Via內絕緣膜(例如P-SiO)65、金屬配線67、阻焊劑68、以及焊錫球69。

固體攝像元件101與圖4之固體攝像元件51不同之點在於：將Via內絕緣膜(例如SiOC)66a及域上絕緣膜(例如SiOC)66b替換成Via內絕緣膜(例如SiOC)111a及域上絕緣膜(例如SiOC)111b。

即，於圖7之固體攝像元件101中，金屬配線67之下層之Si基板64係藉由乾式蝕刻等，例如削出狹縫寬度 $10\ \mu\text{m}$ 、深度 $10\ \mu\text{m}$ 之狹縫狀，且嵌入有絕緣膜(例如SiOC)111b。

另，狹縫之形狀並非限定於上述之例。

藉由如以上所述般將金屬配線67之下層之Si層削出狹縫狀，且以絕緣膜嵌入，可較圖4之例之情形進一步緩和來自Si基板64之應力。

<固體攝像元件之另一剖面圖>

圖8係顯示應用本技術之固體攝像元件之另一構造之剖面圖。

於圖8之固體攝像元件151中，與圖4之固體攝像元件51共通之點在於：形成有Si層61、SiO₂層62、AL焊墊63、Si基板64、金屬配線67、阻焊劑68、以及焊錫球69。

固體攝像元件151與圖4之固體攝像元件51不同之點在於：將Via內絕緣膜(例如SiOC)66a及域上絕緣膜(例如SiOC)66b替換成Via內絕緣膜161a及域上絕緣膜161b。

即，於圖8之固體攝像元件151中，與圖4之固體攝像元件101不同之點在於：域上絕緣膜161b係以2.5 μm之與Si基板64相接之膜SiC、及2.5 μm之與金屬配線67相接之膜即SiCN構成。

如此，亦可以複數個膜種構成絕緣膜。另，Via內絕緣膜161a亦可採用與域上絕緣膜161b相同之積層構成，亦可不採用。

如以上所述，由於金屬配線下為CTE處於金屬與Si之各CTE之間之絕緣膜，故向絕緣膜之應力集中消失，而可抑制裂紋之產生，且，於TSV底部(側壁部)為與覆蓋率較佳之P-SiO之積層構造。藉此，由於可抑制Via底之洩漏，故可提高CSP構造之半導體之可靠性。

另，於上述說明中，以固體攝像元件之TSV為例進行了說明，但本技術係若為凸塊則可應用於任意裝置。

又，本技術可應用於背面照射型之固體攝像元件及表面照射型之固體攝像元件。本技術亦可應用於積層型之固體攝像元件。對將本技術應用於CMOS固體攝像元件之構成進行了說明，但亦可應用於CCD(Charge Coupled Device：電荷耦合器件)固體攝像元件之類的固體攝像元件。

另，本技術並非限於對固體攝像元件之應用，亦可應用於攝像裝置。此處，所謂攝像裝置係指數位靜態相機或數位攝錄影機等相機系統、或行動電話機等具有攝像功能之電子機器。另，亦有將搭載於

電子機器之模組之形態、即相機模組作為攝像裝置之情形。再者，本技術並非限於固體攝像元件，亦可應用於半導體元件。

< 2.第2實施形態 >

< 電子機器之構成例 >

此處，參照圖9，對本技術之第2實施形態之電子機器之構成例進行說明。

圖9所示之電子機器300具備固體攝像元件(元件晶片)301、光學透鏡302、快門裝置303、驅動電路304、及信號處理電路305。作為固體攝像元件301，設置上述之本技術之第1實施形態之固體攝像元件51。因此，可抑制裂紋之產生，且可抑制Via底之洩漏。

光學透鏡302係使來自被攝體之像光(入射光)成像於固體攝像元件301之攝像面上。藉此，於固體攝像元件301內累積信號電荷一定期間。快門裝置303控制針對固體攝像元件301之光照射期間及遮光期間。

驅動電路304供給控制固體攝像元件301之信號傳送動作及快門裝置303之快門動作之驅動信號。藉由自驅動電路304供給之驅動信號(時序信號)，固體攝像元件301進行信號傳送。信號處理電路305係對自固體攝像元件301輸出之信號進行各種信號處理。已進行信號處理之影像信號係記憶於記憶體等記憶媒體，或輸出至監視器。

另，於本說明書中，記述上述之一系列處理之步驟當然包含沿著所記載之順序以時間序列進行之處理，亦包含未必以時間序列進行處理但並行或個別地執行之處理。

又，本揭示之實施形態並非限定於上述實施形態，於不脫離本揭示之主旨之範圍內可進行各種變更。

又，上述之流程圖所說明之各步驟除了由1個裝置執行以外，亦可由複數個裝置分擔而執行。

再者，於1個步驟中包含複數個處理之情形時，該1個步驟所包含之複數個處理除了由1個裝置執行以外，亦可由複數個裝置分擔而執行。

又，以上，亦可將作為1個裝置(或處理部)說明之構成分割，而作為複數個裝置(或處理部)構成。反之，亦可將以上作為複數個裝置(或處理部)說明之構成統一作為1個裝置(或處理部)構成。又，當然亦可於各裝置(或各處理部)之構成中附加上述以外之構成。再者，若作為系統整體之構成或動作實質上相同，則亦可將某一裝置(或處理部)之構成之一部分包含於其他裝置(或其他處理部)之構成中。即，本技術並非限定於上述實施形態，於不脫離本技術之主旨之範圍內可進行各種變更。

以上，參照附加圖式對本揭示之較佳之實施形態進行了詳細說明，但揭示並非限定於上述之例。吾人應了解凡具有本揭示所屬技術領域之一般知識者，當可於申請專利範圍所記載之技術思想之範疇內想到各種變更例或修正例，且關於該等內容，當然亦屬於本揭示之技術範圍。

另，本技術亦可採取如以下之構成。

(1)一種半導體元件，其包含：

TSV(Through Silicon Via)，其形成於基板；

側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；及

絕緣膜，其形成於上述TSV之除了via部以外之金屬配線之下層；且

上述絕緣膜係熱膨脹率採取上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間之值之膜種。

(2)如上述技術方案(1)之半導體元件，其中於上述TSV之側壁部，上述絕緣膜積層於上述側壁膜。

(3)如上述技術方案(1)或(2)之半導體元件，其中上述側壁膜係電漿氧化膜。

(4)如上述技術方案(1)至(3)中任一項之半導體元件，其中上述側壁膜係於整面成膜後以回蝕完全去除域上。

(5)如上述技術方案(1)至(4)中任一項之半導體元件，其中上述絕緣膜積層有複數膜種。

(6)如上述技術方案(1)至(5)中任一項之半導體元件，其中將上述金屬配線下之上述基板切成狹縫狀，而埋入上述絕緣膜。

(7)如上述技術方案(1)至(6)中任一項之半導體元件，其係CSP(Chip Size Package)構造。

(8)如上述技術方案(1)至(7)中任一項之半導體元件，其係固體攝像元件。

(9)一種半導體元件之製造方法，其係由製造裝置：

於形成於基板之TSV(Through Silicon Via)之側壁部形成覆蓋率較佳之膜即側壁膜；且

於上述TSV之除了via部以外之金屬配線之下層形成絕緣膜。

(10)一種電子機器，其包含：

固體攝像元件，該固體攝像元件包含：

TSV(Through Silicon Via)，其形成於基板；

側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；及

絕緣膜，其形成於上述TSV之除了via部以外之金屬配線之下層；且

上述絕緣膜係熱膨脹率採取上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間之值之膜種；

光學系統，其係將入射光入射於上述固體攝像元件；及

信號處理電路，其係處理自上述固體攝像元件輸出之輸出信

號。

【符號說明】

| | |
|-----|---------|
| 1 | 固體攝像元件 |
| 2 | 像素 |
| 3 | 像素區域 |
| 4 | 垂直驅動電路 |
| 5 | 行信號處理電路 |
| 6 | 水平驅動電路 |
| 7 | 輸出電路 |
| 8 | 控制電路 |
| 9 | 垂直信號線 |
| 10 | 水平信號線 |
| 11 | 半導體基板 |
| 12 | 輸入輸出端子 |
| 51 | 固體攝像元件 |
| 52 | TSV |
| 61 | Si層 |
| 62 | 配線層 |
| 63 | AL焊墊 |
| 64 | Si基板 |
| 65 | Via內絕緣膜 |
| 66a | Via內絕緣膜 |
| 66b | 域上絕緣膜 |
| 67 | 金屬配線 |
| 68 | 阻焊劑 |
| 69 | 焊錫球 |

| | |
|-----------|---------|
| 101 | 固體攝像元件 |
| 111a | Via內絕緣膜 |
| 111b | 域上絕緣膜 |
| 151 | 固體攝像元件 |
| 161a | Via內絕緣膜 |
| 161b | 域上絕緣膜 |
| 300 | 電子機器 |
| 301 | 固體攝像元件 |
| 302 | 光學透鏡 |
| 303 | 快門裝置 |
| 304 | 驅動電路 |
| 305 | 信號處理電路 |
| S51 ~ S57 | 步驟 |

發明摘要

I633640

※ 申請案號：

※ 申請日：

※IPC 分類：H01L23/52; H01L23/42

【發明名稱】

半導體元件、半導體元件之製造方法、及電子機器

【中文】

本揭示係關於一種可抑制裂紋之產生與洩漏之半導體元件、半導體元件之製造方法、及電子機器。

於本技術中，金屬配線下係使用CTE之值處於金屬與Si之間之絕緣膜，且，於TSV側壁部採用使用覆蓋率較佳之P-SiO(1 μm)作為Via(導孔)內絕緣膜之積層構造。作為CTE處於金屬與Si之中間之絕緣膜，例如，對於Via內絕緣膜與緊接於其之域上絕緣膜，分別使用厚度0.1 μm 及2 μm 的SiOC。本揭示例如可應用於攝像裝置所使用之固體攝像元件。

【英文】

無

圖式

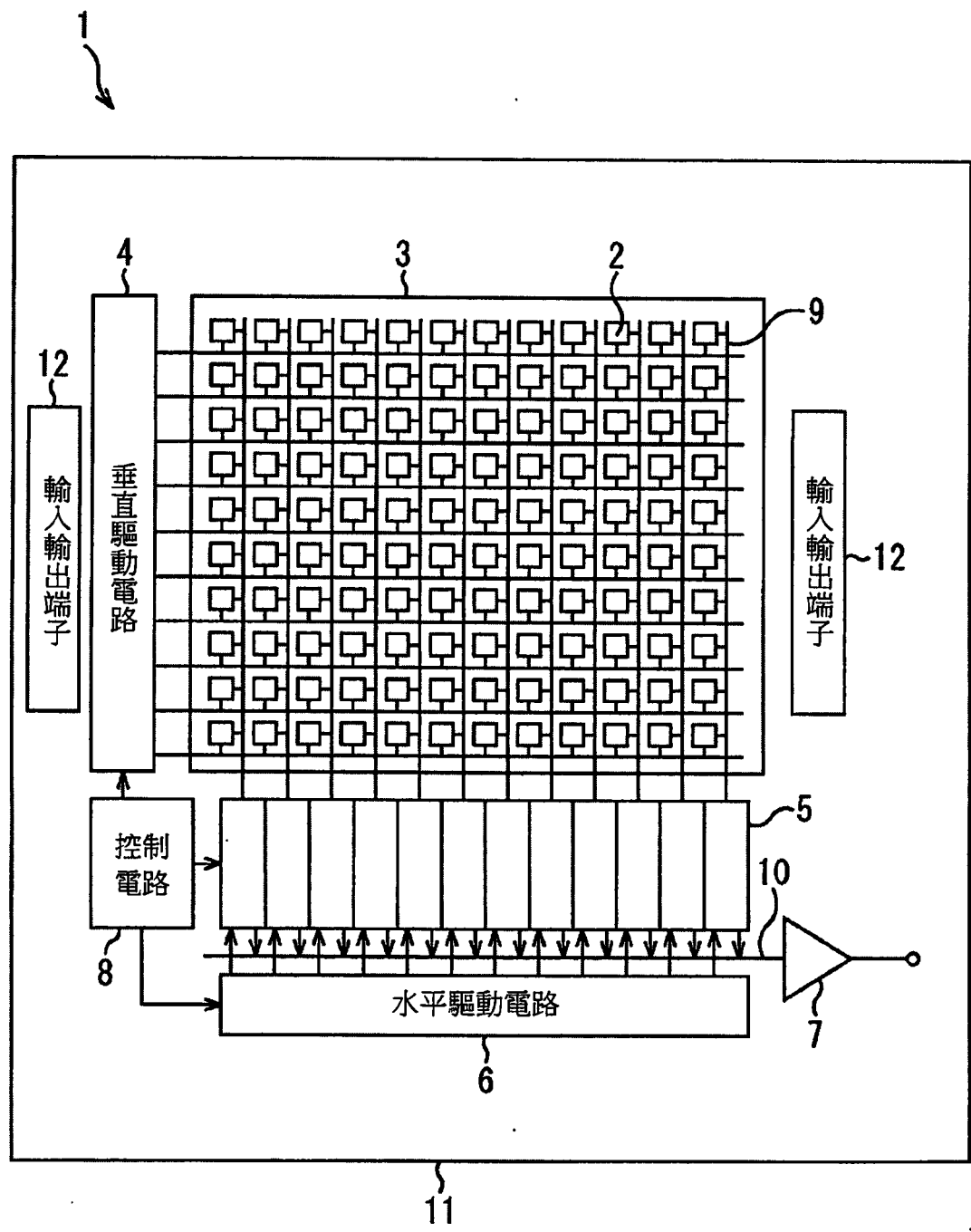


圖1

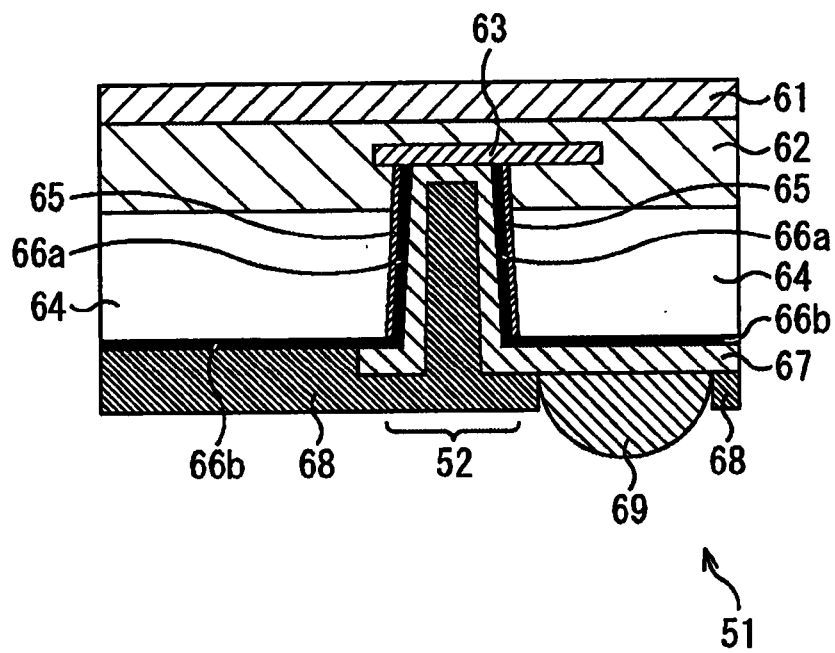


圖2

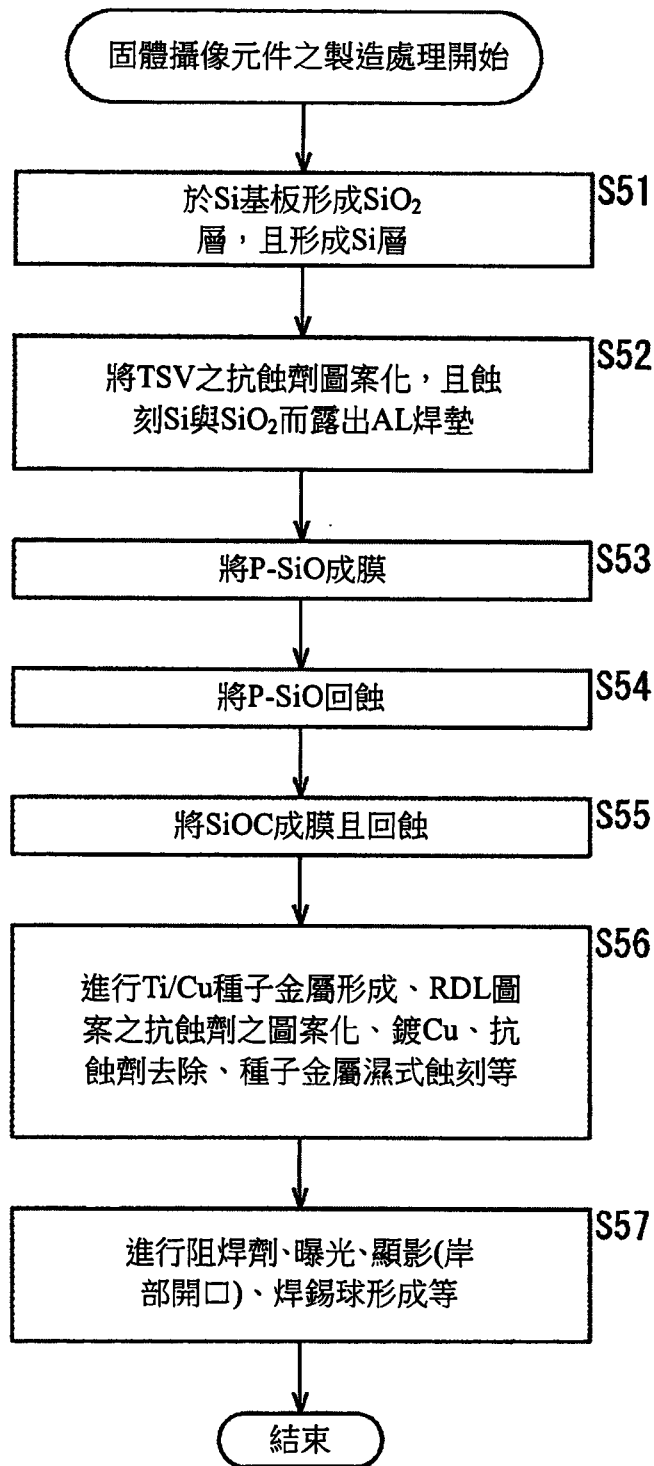


圖3

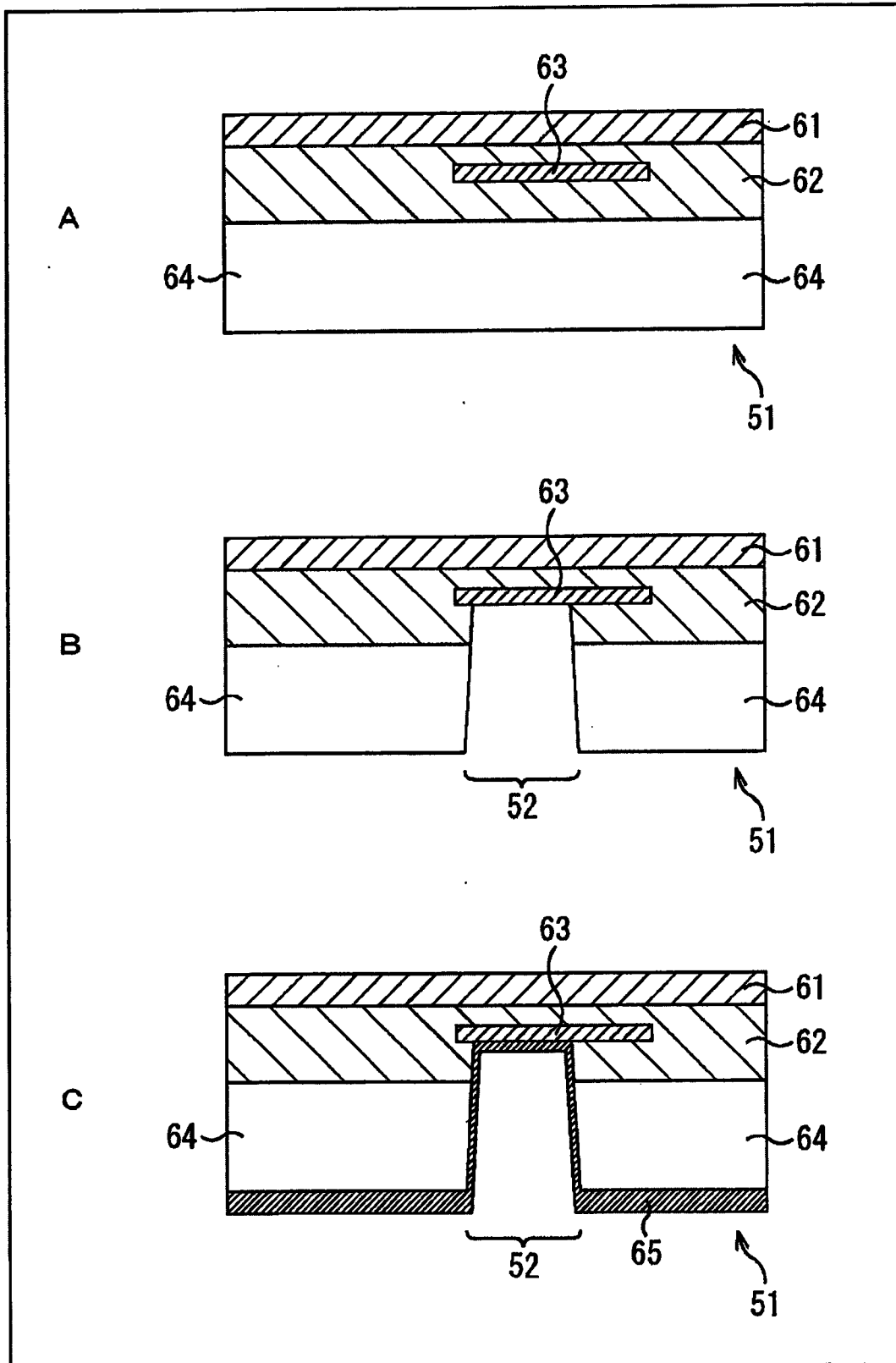


圖4

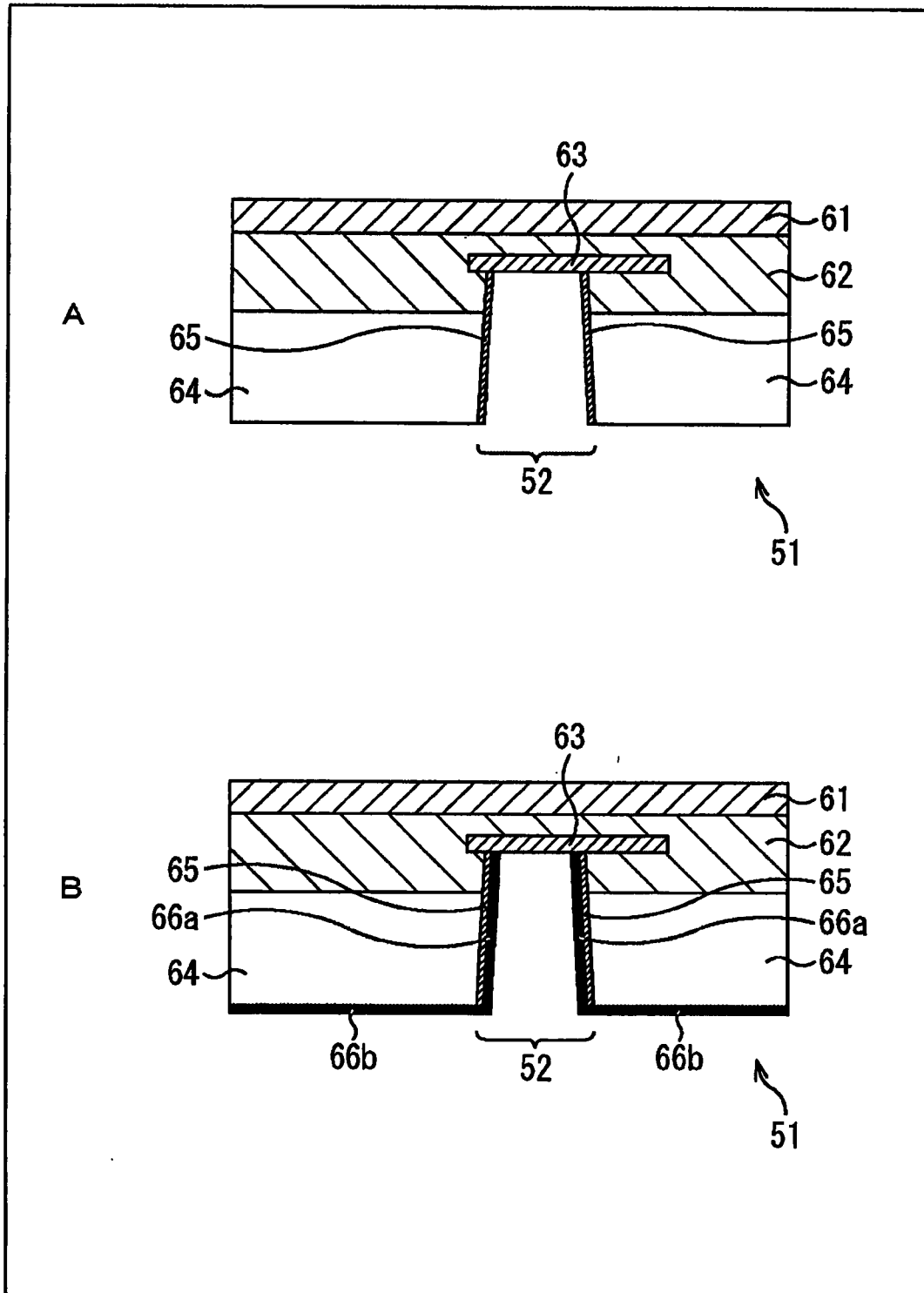


圖5

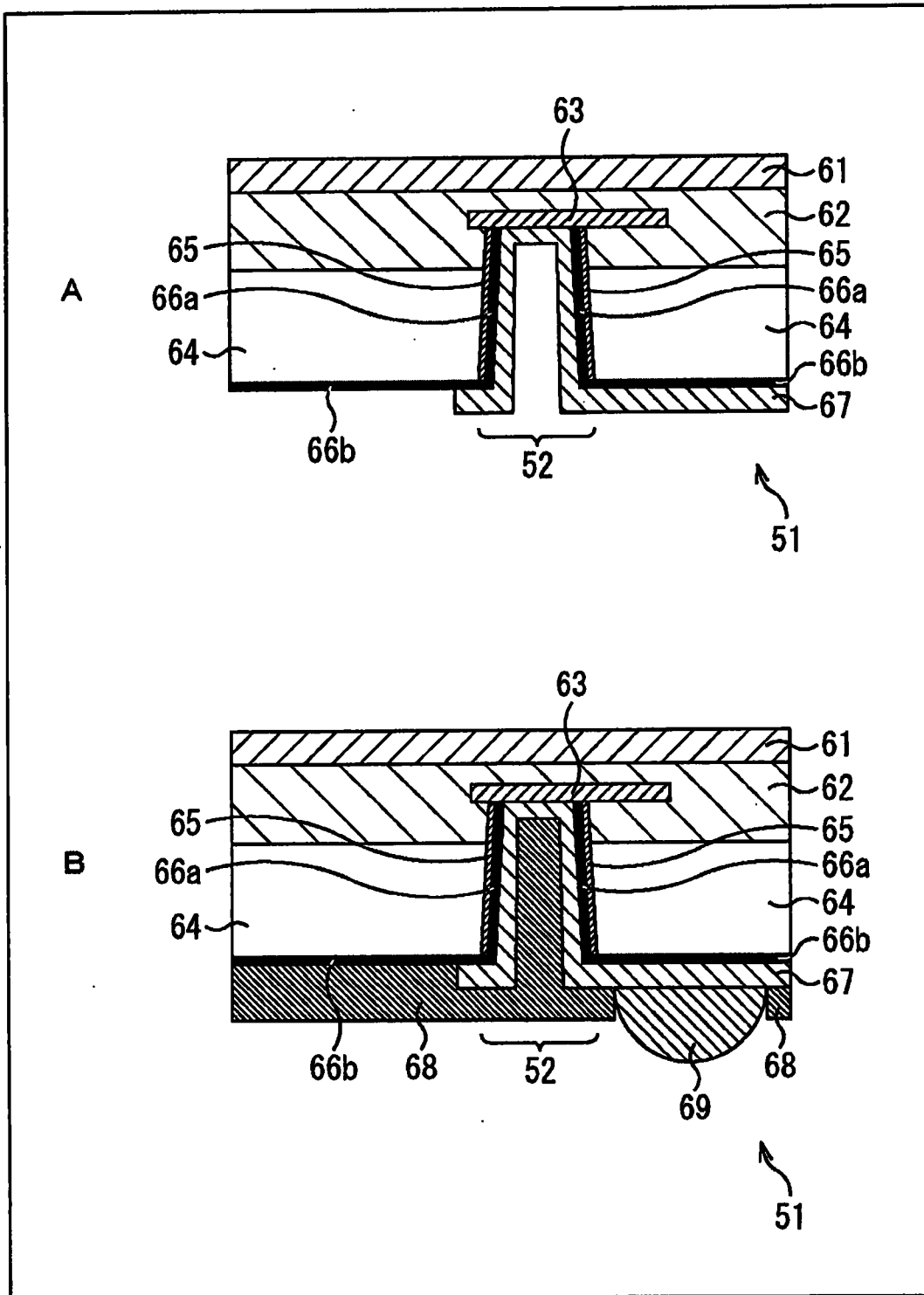


圖6

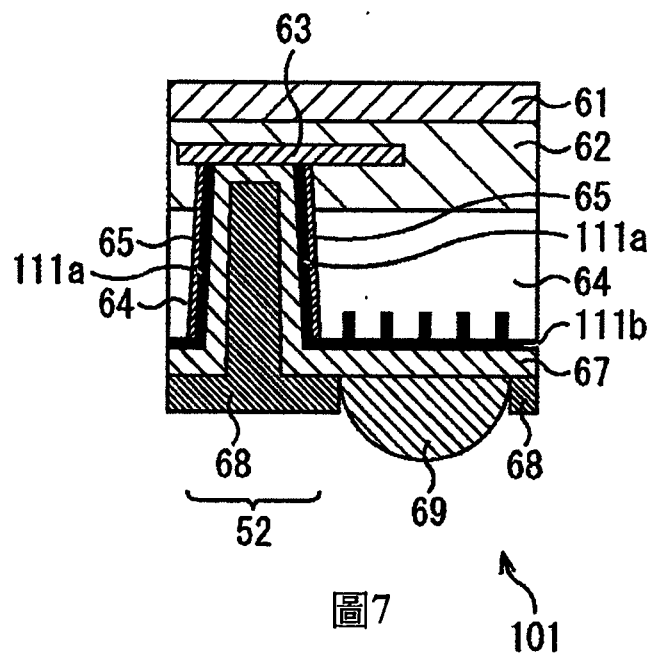


圖7

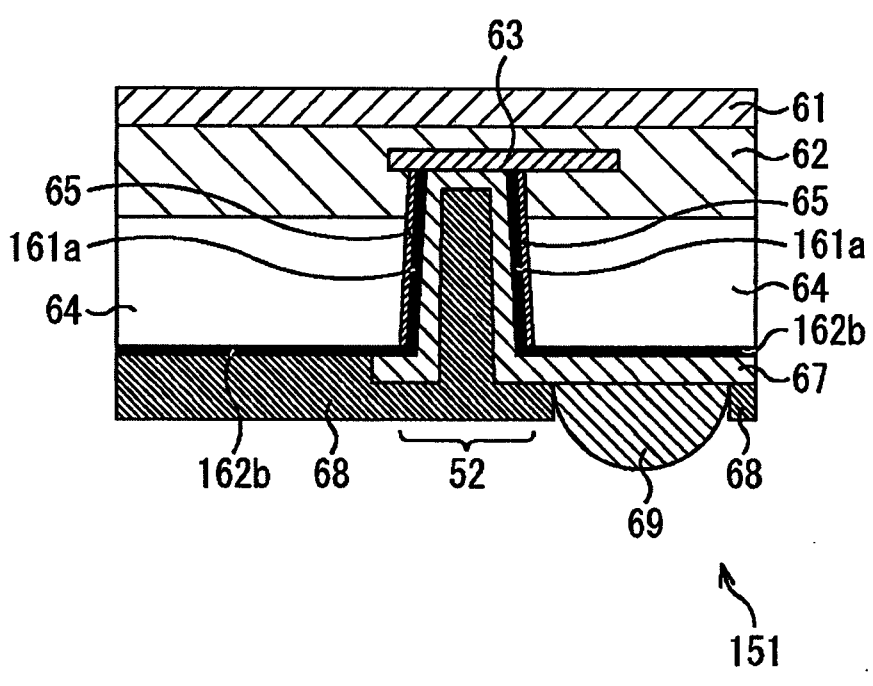


圖8

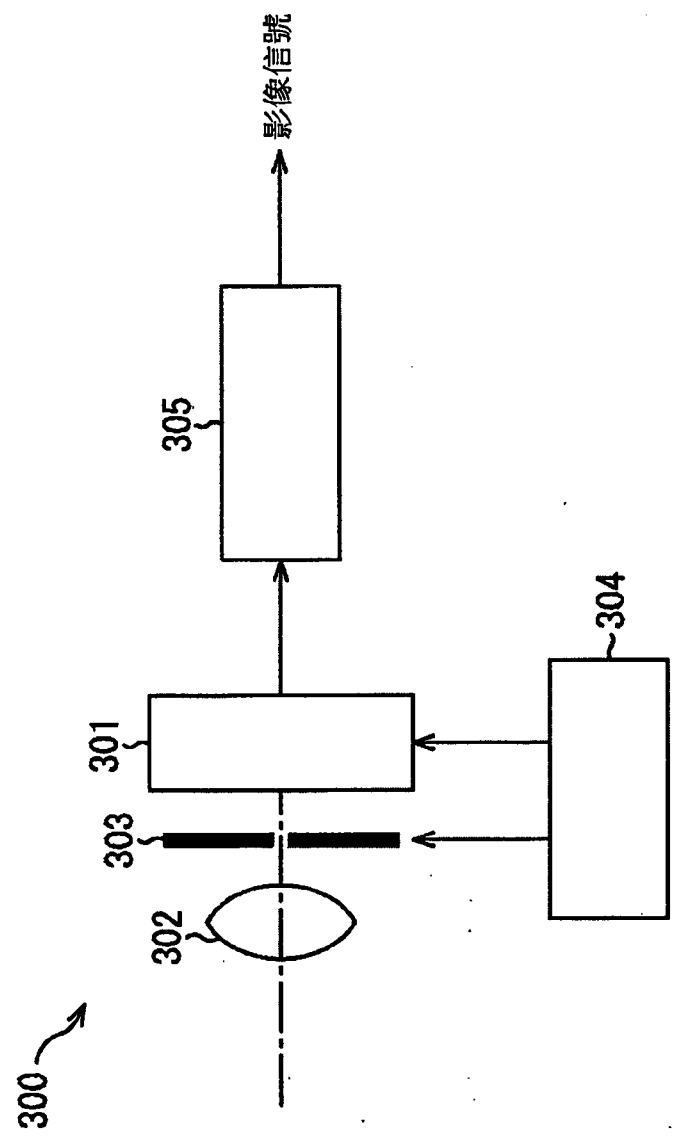


圖9

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

| | |
|-----|--------------------|
| 51 | 固體攝像元件 |
| 52 | TSV |
| 61 | Si層 |
| 62 | SiO ₂ 層 |
| 63 | AL焊墊 |
| 64 | Si基板 |
| 65 | Via內絕緣膜 |
| 66a | Via內絕緣膜 |
| 66b | 域上絕緣膜 |
| 67 | 金屬配線 |
| 68 | 阻焊劑 |
| 69 | 焊錫球 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種半導體元件，其包含：

TSV(Through Silicon Via：穿矽導通體)，其形成於基板；

側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；及

絕緣膜，其形成於上述TSV之除了via(導孔)部以外之金屬配線之下層；且

上述側壁膜係位於上述絕緣膜與形成於上述基板上之上述TSV之上述側壁部之間，其中上述絕緣膜與不包括上述TSV之上述側壁部之上述基板之表面直接接觸，且上述絕緣膜之熱膨脹率係在上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間。

2. 如請求項1之半導體元件，其中於上述TSV之側壁部，上述絕緣膜積層於上述側壁膜。
3. 如請求項1之半導體元件，其中上述側壁膜係電漿氧化膜。
4. 如請求項1之半導體元件，其中上述側壁膜係於整面成膜後以回蝕完全去除域上。
5. 如請求項1之半導體元件，其中上述絕緣膜包含複數膜種之積層。
6. 如請求項1之半導體元件，其中將上述金屬配線下之上述基板切成狹縫狀，而埋入上述絕緣膜。
7. 如請求項1之半導體元件，其係CSP(Chip Size Package)構造。
8. 如請求項1之半導體元件，其係固體攝像元件。
9. 一種半導體元件之製造方法，其係由製造裝置：

於形成於基板之TSV(Through Silicon Via)之側壁部形成覆蓋率較佳之膜即側壁膜；及

於上述TSV之除了via部以外之金屬配線之下層形成絕緣膜；

且

上述側壁膜係位於上述絕緣膜與形成於上述基板上之上述TSV之上述側壁部之間，其中上述絕緣膜與不包括上述TSV之上述側壁部之上述基板之表面直接接觸，且上述絕緣膜之熱膨脹率係在上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間。

10. 一種電子機器，其包含：

固體攝像元件，該固體攝像元件包含：

TSV(Through Silicon Via)，其形成於基板；

側壁膜，其係形成於上述TSV之側壁部且覆蓋率較佳之膜；

及

絕緣膜，其形成於上述TSV之除了via部以外之金屬配線之下層；且

上述側壁膜係位於上述絕緣膜與形成於上述基板上之上述TSV之上述側壁部之間，其中上述絕緣膜與不包括上述TSV之上述側壁部之上述基板之表面直接接觸，且上述絕緣膜之熱膨脹率係在上述基板之熱膨脹率與上述金屬配線之熱膨脹率之間；

光學系統，其係將入射光入射於上述固體攝像元件；及

信號處理電路，其係處理自上述固體攝像元件輸出之輸出信號。