



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월13일  
(11) 등록번호 10-2498883  
(24) 등록일자 2023년02월07일

(51) 국제특허분류(Int. Cl.)  
H01L 23/48 (2006.01) H01L 23/498 (2006.01)  
H01L 23/538 (2006.01) H01L 25/07 (2006.01)  
(52) CPC특허분류  
H01L 23/481 (2013.01)  
H01L 23/49827 (2013.01)  
(21) 출원번호 10-2018-0012102  
(22) 출원일자 2018년01월31일  
심사청구일자 2021년01월28일  
(65) 공개번호 10-2019-0092854  
(43) 공개일자 2019년08월08일  
(56) 선행기술조사문헌  
US08492905 B  
US08198915 B  
US20080150359 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
노수정  
경기도 화성시 병점동로134번길 4, 403호 (진안동, 리젠시빌)  
오치성  
경기 수원시 영통구 이의동 도청로17번길 23 자연  
앤자이 5301동 1002호  
(뒷면에 계속)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 20 항

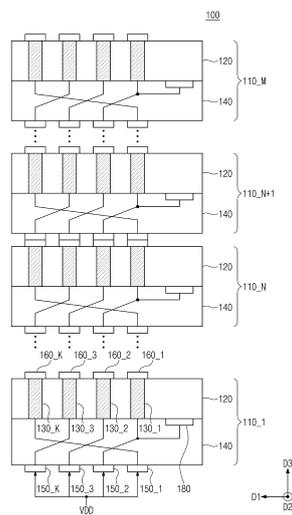
심사관 : 정구원

(54) 발명의 명칭 전류를 분산시키는 관통 전극들을 포함하는 반도체 장치

(57) 요약

본 발명의 실시 예에 따른 반도체 장치는 제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들 각각은, 기관, 제 1 방향으로 기관을 관통하는 제 1 내지 제 K 관통 전극들, 및 제 1 관통 전극과 전기적으로 연결된 전력 공급 라인을 통해 전압 및 전류를 제공받는 제 1 회로를 포함할 수 있다. 제 N 반도체 다이의 제 1 내지 제 K 관통 전극들 각각은, 제 N+1 반도체 다이의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑되지 않는 관통 전극과 전기적으로 연결될 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 23/5384* (2013.01)

*H01L 25/073* (2013.01)

(72) 발명자

**손교민**

경기도 용인시 수지구 진산로66번길 10, 521동 80  
4호 (풍덕천동, 진산마을삼성래미안5차아파트)

**김용기**

경기도 수원시 영통구 웰빙타운로 50 (이의동, 광  
교2차 e편한세상) 8508-1504

**문중호**

경기도 화성시 동탄반석로 277, 116동 302호 (석우  
동, 동탄 예당마을우미린제일풍경채)

**우승한**

서울특별시 서대문구 통일로37다길 28, 402호 (홍  
제동, 고은그린빌라)

**윤재운**

서울특별시 종로구 통일로 246-20, 109동 603호 (무  
악동, 무악현대아파트)

**명세서**

**청구범위**

**청구항 1**

제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함하되,

상기 제 1 내지 제 M 반도체 다이들 각각은:

기관;

상기 제 1 방향으로 상기 기관을 관통하는 제 1 내지 제 K 관통 전극들; 및

상기 제 1 관통 전극과 전기적으로 연결된 전력 공급 라인을 통해 전압 및 전류를 제공받는 제 1 회로를 포함하고, M 및 K는 각각 2 이상의 정수이고,

상기 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 상기 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층되고, N은 1 이상 M-1 이하의 정수이고,

상기 제 N 반도체 다이의 제 1 내지 제 K 관통 전극들 각각은, 상기 제 N+1 반도체 다이의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑(overlapping)되지 않는 관통 전극과 전기적으로 연결되고, 그리고

상기 제 1 반도체 다이의 제 1 내지 제 K 관통 전극들은 상기 전압 및 상기 전류를 공급하는 전력원과 연결되는 반도체 장치.

**청구항 2**

제 1 항에 있어서,

상기 제 N 반도체 다이의 상기 제 1 관통 전극은 상기 제 N+1 반도체 다이의 상기 제 K 관통 전극과 전기적으로 연결되고, 그리고

상기 제 N 반도체 다이의 상기 제 2 내지 제 K 관통 전극들은 상기 제 N+1 반도체 다이의 상기 제 1 내지 제 K-1 관통 전극들과 각각 전기적으로 연결되는 반도체 장치.

**청구항 3**

제 2 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 회로는 상기 제 2 내지 제 K 관통 전극들과 전기적으로 연결되지 않는 반도체 장치.

**청구항 4**

제 1 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 K 관통 전극들은 제 1 내지 제 G 그룹들로 분류되고, G는 2이상 K-1 이하의 정수이고, 그리고

상기 제 1 내지 제 G 그룹들 각각에 포함된 관통 전극들은 서로 전기적으로 연결되는 반도체 장치.

**청구항 5**

제 4 항에 있어서,

상기 제 1 회로 및 상기 전력 공급 라인은 상기 제 1 내지 제 G 그룹들 중 상기 제 1 관통 전극을 포함하는 그룹의 관통 전극들과 전기적으로 연결되는 반도체 장치.

**청구항 6**

제 4 항에 있어서,

상기 제 1 내지 제 G 그룹들 각각에 포함된 상기 관통 전극들의 수는 적어도 두 개 이상인 반도체 장치.

**청구항 7**

제 6 항에 있어서,

상기 제 1 그룹에 포함된 관통 전극들의 수와 상기 제 2 그룹에 포함된 관통 전극들의 수는 서로 다른 반도체 장치.

**청구항 8**

제 1 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각은:

상기 제 1 방향으로 상기 기판을 관통하는 제 K+1 내지 제 K+L 관통 전극들; 및

상기 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결된 전력 공급 라인을 통해 상기 전압 및 상기 전류를 제공하는 제 2 회로를 더 포함하되,

상기 제 N 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들은 평면적 관점에서 오버래핑되는 상기 제 N+1 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결되고, 그리고

상기 제 1 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들은 상기 전력원과 연결되는 반도체 장치.

**청구항 9**

제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함하되,

상기 제 1 내지 제 M 반도체 다이들 각각은:

기관;

상기 제 1 방향으로 상기 기판을 관통하는 제 1 내지 제 K 관통 전극들;

상기 제 1 내지 제 K 관통 전극들과 전기적으로 연결된 전력 공급 라인들을 선택하는 제 1 내지 제 S 스위치들; 및

상기 제 1 내지 제 S 스위치들 중 하나를 통해 전압 및 전류를 제공하는 제 1 회로를 포함하고, M, K, 및 S는 각각 2 이상의 정수이고,

상기 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 상기 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층되고, N은 1 이상 M-1 이하의 정수이고,

상기 제 N 반도체 다이의 제 1 내지 제 K 관통 전극들 각각은 상기 제 N+1 반도체 다이의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑(overlapping)되는 관통 전극과 전기적으로 연결되고, 그리고

상기 제 1 반도체 다이의 제 1 내지 제 K 관통 전극들은 상기 전압 및 상기 전류를 공급하는 전력원과 연결되는 반도체 장치.

**청구항 10**

제 9 항에 있어서,

상기 K와 상기 S는 서로 같고,

상기 전력 공급 라인들 각각은 상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 K 관통 전극들 중 어느 하나 및 상기 제 1 내지 제 S 스위치들 중 어느 하나와 전기적으로 연결되고,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 K 관통 전극들은 서로 전기적으로 연결되지 않고, 그리고

상기 제 N 반도체 다이의 제 1 내지 제 S 스위치들 중 어느 하나를 통해 제 1 회로와 전기적으로 연결된 관통 전극과, 상기 제 N+1 반도체 다이의 제 1 내지 제 S 스위치들 중 어느 하나를 통해 제 1 회로와 전기적으로 연

결된 관통 전극은 서로 전기적으로 연결되지 않은 반도체 장치.

**청구항 11**

제 10 항에 있어서,

상기 제 N+1 반도체 다이의 상기 제 1 회로와 전기적으로 연결된 전력 공급 라인의 길이는 상기 제 N 반도체 다이의 상기 제 1 회로와 전기적으로 연결된 전력 공급 라인의 길이보다 짧은 반도체 장치.

**청구항 12**

제 9 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 S 스위치들은 상기 제 1 내지 제 M 반도체 다이들 각각의 스택 식별자에 기초하여 상기 전력 공급 라인들을 선택하는 반도체 장치.

**청구항 13**

제 9 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 S 스위치들은 상기 제 1 회로의 동작 모드에 기초하여 상기 전력 공급 라인들을 선택하는 반도체 장치.

**청구항 14**

제 9 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 내지 제 K 관통 전극들은 제 1 내지 제 G 그룹들로 분류되고, G는 2이상 K-1 이하의 정수이고,

상기 제 1 내지 제 G 그룹들 각각에 포함된 관통 전극들은 서로 전기적으로 연결되고, 그리고

상기 전력 공급 라인들 각각은 상기 제 1 내지 제 G 그룹들 각각에 포함된 상기 관통 전극들 및 상기 제 1 내지 제 S 스위치들 중 어느 하나와 전기적으로 연결되고, G는 S와 같은 반도체 장치.

**청구항 15**

제 14 항에 있어서,

상기 제 1 그룹에 포함된 관통 전극들의 수와 상기 제 2 그룹에 포함된 관통 전극들의 수는 서로 다른 반도체 장치.

**청구항 16**

제 9 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각은:

상기 제 1 방향으로 상기 기판을 관통하는 제 K+1 내지 제 K+L 관통 전극들; 및

상기 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결된 전력 공급 라인을 통해 상기 공급 전압을 제공받는 제 2 회로를 더 포함하되,

상기 제 N 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들은 평면적 관점에서 오버래핑되는 상기 제 N+1 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결되는 반도체 장치.

**청구항 17**

제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함하되,

상기 제 1 내지 제 M 반도체 다이들 각각은:

기판;

상기 제 1 방향으로 상기 기판을 관통하는 제 1 내지 제 K 관통 전극들;

상기 제 1 방향으로 상기 기관을 관통하는 제 K+1 내지 제 K+L 관통 전극들; 및

상기 제 1 내지 제 K 관통 전극들과 전기적으로 연결된 전력 공급 라인을 통해 전압 및 전류를 제공받는 제 1 회로를 포함하고, M, K, 및 L은 각각 2 이상의 정수이고,

상기 제 1 내지 제 M 반도체 다이들 중 제 0+1 반도체 다이는, 상기 제 1 내지 제 M 반도체 다이들 중 제 0 반도체 다이 상에 적층되고, 0는 1 이상 M-1 이하의 정수이고,

상기 제 0 반도체 다이의 제 1 내지 제 K 관통 전극들은 평면적 관점에서 오버래핑(overlapping)되지 않는 상기 제 0+1 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결되고, 그리고 상기 제 0 반도체 다이의 상기 제 K+1 내지 제 K+L 관통 전극들은 평면적 관점에서 오버래핑되지 않는 상기 제 0+1 반도체 다이의 제 1 내지 제 K 관통 전극들과 전기적으로 연결되고,

상기 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 상기 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층되고, N은 1 이상 M-1 이하의 정수이고 상기 0와 다르고,

상기 제 N 반도체 다이의 제 1 내지 제 K+L 관통 전극들 각각은, 상기 제 N+1 반도체 다이의 제 1 내지 제 K+L 관통 전극들 중 평면적 관점에서 오버래핑되는 관통 전극과 각각 전기적으로 연결되고, 그리고

상기 제 1 반도체 다이의 상기 제 1 내지 제 K 관통 전극들 및 상기 제 K+1 내지 제 K+L 관통 전극들은 상기 전압 및 상기 전류를 공급하는 전력원과 연결되는 반도체 장치.

**청구항 18**

제 17 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각의 상기 제 1 회로는 상기 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결되지 않는 반도체 장치.

**청구항 19**

제 17 항에 있어서,

상기 제 1 내지 제 0 반도체 다이들 및 상기 제 0+2 내지 제 M 반도체 다이들은 동일하게 제조되는 반도체 장치.

**청구항 20**

제 17 항에 있어서,

상기 제 1 내지 제 M 반도체 다이들 각각은:

상기 제 1 방향으로 상기 기관을 관통하는 제 S 내지 제 S+T 관통 전극들; 및

상기 제 S 내지 제 S+T 관통 전극들과 전기적으로 연결된 전력 공급 라인을 통해 상기 전압 및 상기 전류를 제공하는 제 2 회로를 더 포함하되,

상기 제 0 반도체 다이의 제 S 내지 제 S+T 관통 전극들은 상기 제 0+1 반도체 다이의 제 S 내지 제 S+T 관통 전극들과 전기적으로 연결되고,

상기 제 N 반도체 다이의 제 S 내지 제 S+T 관통 전극들은 평면적 관점에서 오버래핑되는 상기 제 N+1 반도체 다이의 제 S 내지 제 S+T 관통 전극들과 전기적으로 연결되고, 그리고

상기 제 1 반도체 다이의 제 S 내지 제 S+T 관통 전극들은 상기 전력원과 연결되는 반도체 장치.

**발명의 설명**

**기술 분야**

본 발명은 반도체 장치에 관한 것으로, 좀 더 자세하게는 전류를 분산시키는 관통 전극들을 포함하는 반도체 장치에 관한 것이다.

[0001]

**배경 기술**

[0002] 다수의 반도체 다이(die)들은 반도체 장치에 적층(stack)될 수 있다. 종래에는, 적층된 반도체 다이들의 전기적 연결을 위해 와이어 본딩(wire bonding)이 사용되었다. 최근에는, 반도체 장치의 고성능 또는 고집적이 요구됨에 따라, 관통 전극(through electrode)이 사용될 수 있다.

[0003] 반도체 장치는, 예를 들어, 메모리 장치일 수 있다. 메모리 장치의 용량을 증가시키기 위해 메모리 장치에 적층되는 메모리 다이들의 수가 증가하고 있다. 메모리 다이들의 수가 증가함에 따라, 메모리 다이들로 공급 전압을 제공하는 관통 전극들도 증가할 수 있다. 그러나, 관통 전극들을 단순히 증가시키면, 전력 소모가 발생하는 회로에 인접하거나 또는 아래층에 위치하는 관통 전극들로 전류가 집중될 수 있다. 관통 전극을 통해 흐르는 전류가 증가하면, 관통 전극의 수명이 감소하고 관통 전극에서 일렉트로마이그레이션(electromigration)이 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명은 전류를 분산시키는 관통 전극들을 포함하는 반도체 장치를 제공할 수 있다.

**과제의 해결 수단**

[0005] 본 발명의 실시 예에 따른 반도체 장치는 제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들 각각은, 기관, 제 1 방향으로 기관을 관통하는 제 1 내지 제 K 관통 전극들, 및 제 1 관통 전극과 전기적으로 연결된 전력 공급 라인을 통해 전압 및 전류를 제공받는 제 1 회로를 포함할 수 있다. M 및 K는 각각 2 이상의 정수일 수 있다. 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층될 수 있다. N은 1 이상 M-1 이하의 정수일 수 있다. 제 N 반도체 다이의 제 1 내지 제 K 관통 전극들 각각은, 제 N+1 반도체 다이의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑되지 않는 관통 전극과 전기적으로 연결될 수 있다. 제 1 반도체 다이의 제 1 내지 제 K 관통 전극들은 전압 및 전류를 공급하는 전력원과 연결될 수 있다.

[0006] 본 발명의 다른 실시 예에 따른 반도체 장치는 제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들 각각은, 기관, 제 1 방향으로 기관을 관통하는 제 1 내지 제 K 관통 전극들, 제 1 내지 제 K 관통 전극들과 전기적으로 연결된 전력 공급 라인들을 선택하는 제 1 내지 제 S 스위치들, 및 제 1 내지 제 S 스위치들 중 하나를 통해 전압 및 전류를 제공받는 제 1 회로를 포함할 수 있다. M, K, 및 S는 각각 2 이상의 정수일 수 있다. 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층될 수 있다. N은 1 이상 M-1 이하의 정수일 수 있다. 제 N 반도체 다이의 제 1 내지 제 K 관통 전극들 각각은 제 N+1 반도체 다이의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다. 제 1 반도체 다이의 제 1 내지 제 K 관통 전극들은 상기 전압 및 상기 전류를 공급하는 전력원과 연결될 수 있다.

[0007] 본 발명의 또 다른 실시 예에 따른 반도체 장치는 제 1 방향으로 적층된 제 1 내지 제 M 반도체 다이들을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들 각각은, 기관, 제 1 방향으로 상기 기관을 관통하는 제 1 내지 제 K 관통 전극들, 제 1 방향으로 기관을 관통하는 제 K+1 내지 제 K+L 관통 전극들, 및 제 1 내지 제 K 관통 전극들과 전기적으로 연결된 전력 공급 라인을 통해 전압 및 전류를 제공받는 제 1 회로를 포함할 수 있다. M, K, 및 L은 각각 2 이상의 정수일 수 있다. 제 1 내지 제 M 반도체 다이들 중 제 O+1 반도체 다이는, 제 1 내지 제 M 반도체 다이들 중 제 O 반도체 다이 상에 적층될 수 있다. O는 1 이상 M-1 이하의 정수일 수 있다. 제 O 반도체 다이의 제 1 내지 제 K 관통 전극들은 평면적 관점에서 오버래핑되지 않는 제 O+1 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결될 수 있다. 제 O 반도체 다이의 제 K+1 내지 제 K+L 관통 전극들은 평면적 관점에서 오버래핑되지 않는 제 O+1 반도체 다이의 제 1 내지 제 K 관통 전극들과 전기적으로 연결될 수 있다. 제 1 내지 제 M 반도체 다이들 중 제 N+1 반도체 다이는, 제 1 내지 제 M 반도체 다이들 중 제 N 반도체 다이 상에 적층될 수 있다. N은 1 이상 M-1 이하의 정수이고 O와 다를 수 있다. 제 N 반도체 다이의 제 1 내지 제 K+L 관통 전극들 각각은, 제 N+1 반도체 다이의 제 1 내지 제 K+L 관통 전극들 중 평면적 관점에서 오버래핑되는 관통 전극과 각각 전기적으로 연결될 수 있다. 제 1 반도체 다이의 제 1 내지 제 K 관통 전극들 및 제 K+1

내지 제 K+L 관통 전극들은 전압 및 전류를 공급하는 전력원과 연결될 수 있다.

**발명의 효과**

[0008] 본 발명의 실시 예에 따른 반도체 장치는 반도체 다이들로 공급 전압을 제공하기 위한 관통 전극들 각각을 통해 흐르는 전류가 균일할 수 있다. 본 발명의 실시 예에 따르면, 관통 전극의 수명이 개선되고 일렉트로마이그레이션(electromigration)을 방지할 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다.
- 도 2는 도 1의 제 1 반도체 다이의 배선층을 예시적으로 보여주는 도면이다.
- 도 3은 도 1의 반도체 장치의 다른 예시를 보여주는 단면도이다.
- 도 4는 도 1의 반도체 장치의 또 다른 예시를 보여주는 단면도이다.
- 도 5는 본 발명의 다른 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다.
- 도 6은 도 5의 반도체 장치의 다른 예시를 보여주는 단면도이다.
- 도 7은 도 5의 반도체 장치의 또 다른 예시를 보여주는 단면도이다.
- 도 8은 본 발명의 또 다른 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다.
- 도 9는 도 8의 반도체 장치의 다른 예시를 보여주는 단면도이다.
- 도 10은 본 발명의 실시 예에 따른 반도체 장치가 적용된 전자 장치를 예시적으로 보여주는 도면이다.
- 도 11은 본 발명의 실시 예에 따른 반도체 장치가 적용된 다른 전자 장치를 예시적으로 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 아래에서는, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0011] 도 1은 본 발명의 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다. 반도체 장치(100)는 D3 방향(제 1 방향)으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)을 포함할 수 있다. D3 방향은 수직 방향일 수 있다. 수직 방향은 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)이 적층되는 방향 또는 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)의 제 1 관통 전극들(130\_1)이 배치되는 방향을 나타낼 수 있다. M은 2 이상의 정수일 수 있다. 우선, 제 1 반도체 다이(110\_1)가 설명될 것이다. 관통 전극은 TSV(through silicon via)로 지칭될 수도 있다.
- [0012] 제 1 반도체 다이(110\_1)는 기관(120), 제 1 내지 제 K 관통 전극들(130\_1~130\_K), 배선층(interconnection layer, 140), 제 1 내지 제 K 하부 단자들(150\_1~150\_K), 제 1 내지 제 K 상부 단자들(160\_1~160\_K), 및 회로(180)를 포함할 수 있다. 여기서, K는 2 이상의 정수일 수 있고, K는 M과 다를 수 있다. 예를 들어, 반도체 장치(100)에 적층된 반도체 다이들의 수보다 관통 전극들의 수가 더 클 수 있다.
- [0013] 기관(120)은 웨이퍼 레벨 혹은 칩 레벨의 실리콘 기관을 포함할 수 있다. 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 각각은 기관(120)을 수직 방향으로 관통할 수 있다. 제 1 내지 제 K 관통 전극들(130\_1~130\_K)은 전기적 신호들을 제 2 반도체 다이(110\_2, 미도시)로 전송하거나 혹은 제 2 반도체 다이(110\_2)로부터 전기적 신호들을 수신하기 위한 경로들일 수 있다. 예를 들어, 제 1 내지 제 K 관통 전극들(130\_1~130\_K)은 VDD(공급 전압)를 제 2 반도체 다이로 공급하기 위한 경로들, 즉 전력 관통 전극들일 수 있다. 제 1 내지 제 K 관통 전극들(130\_1~130\_K)은 VDD뿐만 아니라 다른 공급 전압들(VSS, VPP, VDDQ, 등)을 제 2 반도체 다이로 공급하기 위한 경로들일 수 있다. 도 1은 단면도로서, 예를 들어, 다수의 관통 전극들이 매트릭스 배열로 배치될 수 있다.
- [0014] 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 각각은 기둥 형상을 가질 수 있고, 도전성 물질을 포함할 수 있다. 도 1에서 도시되진 않았으나, 기관(120)과 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 사이에 절연막이 배치될 수 있다. 절연막은 기관(120)과 제 1 내지 제 K 관통 전극들(130\_1~130\_K)을 전기적으로 절연시킬 수 있다.

- [0015] 배선층(140)은 메탈 라인들 및 메탈 라인들을 연결하는 비아들을 포함할 수 있다. 메탈 라인들 및 비아들은 제 1 내지 제 K 관통 전극들(130\_1~130\_K), 제 1 내지 제 K 하부 단자들(150\_1~150\_K), 및 회로(180) 간의 전기적 경로들을 제공할 수 있다. 배선층(140)은 메탈 라인들이 배치되는 적어도 두 개의 층들(예를 들어, M1 층, M2 층)을 포함할 수 있다. 적어도 두 개의 층들 각각에 배치되는 메탈 라인들은 적어도 하나의 비아를 통해 서로 전기적으로 연결될 수 있다. 예를 들어, 적어도 두 개의 층들 사이에는 절연층(혹은 절연막)이 배치될 수 있다.
- [0016] 제 1 반도체 다이(110\_1)의 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 전력원(power source)으로부터 VDD를 공급받거나 제공받을 수 있다. 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 VDD뿐만 아니라 상술한 다른 공급 전압들을 공급받거나 제공받을 수 있다. 또한, 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 공급 전압에 따른 전류도 제공받을 수 있다. 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 전도성 물질을 포함하는 패드들일 수 있다. 설명의 명확함을 위해, 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 제 1 반도체 다이(110\_1)로부터 돌출된 것으로 도시되었으나, 제 1 내지 제 K 하부 단자들(150\_1~150\_K)이 배치된 제 1 반도체 다이(110\_1)의 일면은 평평할 수 있다. 예를 들어, 제 1 반도체 다이(110\_1)는 버퍼 다이(buffer die) 상에 적층될 수 있고, VDD는 버퍼 다이로부터 공급될 수 있다. 여기서, VDD는 제 1 반도체 다이(110\_1)의 동작 전압일 뿐만 아니라 제 2 내지 제 M 반도체 다이들(110\_2~110\_M)의 동작 전압일 수 있다.
- [0017] 제 1 내지 제 K 하부 단자들(150\_1~150\_K)은 배선층(140)을 통해 제 1 내지 제 K 관통 전극들(130\_1~130\_K)과 전기적으로 연결될 수 있다. 본 발명의 실시 예에 따르면, 제 1 내지 제 K 하부 단자들(150\_1~150\_K) 각각은 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 중 평면적 관점(즉, D1, D2 평면)에서 오버래핑(overlapping)되는 관통 전극과 전기적으로 연결되지 않는다. 좀 더 구체적으로, 제 1 하부 단자(150\_1)는 제 1 관통 전극(130\_1)과 연결되지 않고, 제 2 하부 단자(150\_2)는 제 2 관통 전극(130\_2)과 연결되지 않고, 제 3 하부 단자(150\_3)는 제 3 관통 전극(130\_3)과 연결되지 않고, 그리고 제 K 하부 단자(150\_K)는 제 K 관통 전극(130\_K)과 연결되지 않는다.
- [0018] 제 1 내지 제 K 하부 단자들(150\_1~150\_K) 각각은 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 중 평면적 관점에서 오버래핑되지 않는 관통 전극과 전기적으로 연결될 수 있다. 예를 들어, K가 4인 경우, 제 1 하부 단자(150\_1)는 제 4 관통 전극(130\_4)과 연결될 수 있고, 제 2 하부 단자(150\_2)는 제 1 관통 전극(130\_1)과 연결될 수 있고, 제 3 하부 단자(150\_3)는 제 2 관통 전극(130\_2)과 연결될 수 있고, 제 4 하부 단자(150\_4)는 제 3 관통 전극(130\_3)과 연결될 수 있다. 다만, K는 4로 한정되지 않는다.
- [0019] 도 1에서 도시된 것처럼, 제 1 하부 단자(150\_1)는 제 K 관통 전극(130\_K)과 연결될 수도 있고, 도 1에서 도시된 바와 달리, 제 1 하부 단자(150\_1)는 제 2 내지 제 K-1 관통 전극들(130\_2~130\_K-1) 중 어느 하나와 연결될 수도 있다. 제 2 내지 제 K 하부 단자들(150\_2~150\_K)도 제 1 하부 단자(150\_1)와 유사한 방식으로 연결될 수 있다.
- [0020] 제 1 내지 제 K 상부 단자들(160\_1~160\_K)은 제 1 내지 제 K 관통 전극들(130\_1~130\_K)과 각각 전기적으로 연결될 수 있다. 제 1 내지 제 K 하부 단자들(150\_1~150\_K)과 달리, 제 1 내지 제 K 상부 단자들(160\_1~160\_K) 각각은 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다. 또한, 제 1 내지 제 K 상부 단자들(160\_1~160\_K) 각각은 제 2 반도체 다이(110\_2)의 제 1 내지 제 K 하부 단자들(미도시) 중 평면적 관점에서 오버래핑되는 하부 단자와 전기적으로 연결될 수 있다. 설명의 명확함을 위해, 제 1 내지 제 K 상부 단자들(160\_1~160\_K)은 제 1 반도체 다이(110\_1)로부터 돌출된 것으로 도시되었으나, 제 1 내지 제 K 상부 단자들(160\_1~160\_K)이 배치된 제 1 반도체 다이(110\_1)의 일면은 평평할 수 있다.
- [0021] 회로(180)는 기판(120) 상에 제공될 수 있다. 예를 들어, 회로(180)는 메모리 셀들, 메모리 셀들을 접근하기 위한 회로, 로직 회로, 또는 이들의 조합을 포함할 수 있다. 회로(180)가 메모리 셀들을 포함하는 경우, 반도체 다이는 메모리 다이로 그리고 반도체 장치는 메모리 장치로 지칭될 수 있다. 예를 들어, 메모리 셀들은 DRAM(dynamic random access memory) 셀, SRAM(static random access memory) 셀, 낸드 플래시 메모리(nand flash memory) 셀, 노어 플래시 메모리(nor flash memory) 셀, RRAM(resistive random access memory) 셀, FRAM(ferroelectric random access memory) 셀, PRAM(phase change random access memory) 셀, TRAM(thyristor random access memory) 셀, MRAM(magnetic random access memory) 셀 중 적어도 하나를 포함할 수 있다. 예를 들어, 메모리 장치는 HBM(high bandwidth memory), HBM2, HBM3 등과 같은 DRAM(dynamic random access memory) 장치일 수 있다.
- [0022] 회로(180)는 제 2 하부 단자(150\_2) 및 제 1 관통 전극(130\_1)과 전기적으로 연결된 전력 공급 라인을 통해 전

압(VDD) 및 그에 따른 전류를 공급받거나 제공받을 수 있다. 여기서, 제 2 하부 단자(150\_2) 및 제 1 관통 전극(130\_1)과 전기적으로 연결된 전력 공급 라인은 다른 하부 단자들(150\_1, 150\_3~150\_K) 및 다른 관통 전극들(130\_2~130\_K)과 전기적으로 연결되지 않는다. 회로(180)는 제 1 내지 제 K 관통 전극들(130\_1~130\_K)과 인접하게 배치될 수 있고, 제 1 내지 제 K 관통 전극들(130\_1~130\_K) 중 가장 가까운 관통 전극(즉, 제 1 관통 전극(130\_1))과 연결된 전력 공급 라인을 통해 VDD를 공급받을 수 있다. 이하, 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)에 대해 설명한다.

[0023] 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)은 실질적으로 동일하게 제조될 수 있다. 제 1 반도체 다이(110\_1) 상에 제 2 내지 제 M 반도체 다이들(110\_2~110\_M)이 D3 방향으로 순차적으로 적층될 수 있다.

[0024] 제 N 반도체 다이(110\_N)의 제 1 내지 제 K 상부 단자들 각각은 제 N+1 반도체 다이(110\_{N+1})의 제 1 내지 제 K 하부 단자들 중 평면적 관점에서 오버래핑되는 하부 단자와 전기적으로 연결될 수 있다. 여기서, N은 1 이상 M-1 이하의 정수일 수 있다. 예를 들어, 제 N 반도체 다이(110\_N)의 제 1 내지 제 K 상부 단자들과 제 N+1 반도체 다이(110\_{N+1})의 제 1 내지 제 K 하부 단자들 사이에는 마이크로 범프들(미도시)이 배치될 수 있다. 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)의 제 1 내지 제 K 관통 전극들(130\_1~130\_K), 제 1 내지 제 K 하부 단자들(150\_1~150\_K), 및 제 1 내지 제 K 상부 단자들(160\_1~160\_K)은 VDD를 생성하는 전원과 연결될 수 있다. VDD는 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)의 회로들(180)로 공급될 수 있다.

[0025] 제 N+1 반도체 다이(110\_{N+1})는 제 N 반도체 다이(110\_N) 상에 적층될 수 있다. 제 N 반도체 다이(110\_N)의 제 1 내지 제 K 관통 전극들 각각은 제 N+1 반도체 다이(110\_{N+1})의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑되지 않는 관통 전극과 전기적으로 연결될 수 있다. 즉, 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)의 각각의 제 1 관통 전극들(130\_1)은 서로 전기적으로 연결되지 않는다. 제 1 내지 제 M 반도체 다이들(110\_1~110\_M)의 각각의 제 K 관통 전극들(130\_K)도 서로 전기적으로 연결되지 않는다. 전술한대로, K는 2 이상의 정수이다.

[0026] 제 N 반도체 다이(110\_N)의 제 1 관통 전극은 제 N+1 반도체 다이(110\_{N+1})의 제 K 관통 전극과 전기적으로 연결될 수 있다. 제 N 반도체 다이(110\_N)의 제 2 내지 제 K 관통 전극들은 제 N+1 반도체 다이(110\_{N+1})의 제 1 내지 제 K-1 관통 전극들과 각각 전기적으로 연결될 수 있다. 도 1에서 도시된 것과 달리, 제 N 반도체 다이(110\_N)의 제 1 관통 전극은 제 N+1 반도체 다이(110\_{N+1})의 제 2 내지 제 K-1 관통 전극들 중 어느 하나와 전기적으로 연결될 수도 있다.

[0027] 도 1에서, M 및 K 각각은 4이고 그리고 N은 2인 것으로 가정한다. 제 1 반도체 다이(110\_1)의 제 1 관통 전극(130\_1), 제 2 반도체 다이(110\_2)의 제 4 관통 전극, 제 3 반도체 다이(110\_3)의 제 3 관통 전극, 및 제 4 반도체 다이(110\_4)의 제 2 관통 전극은 서로 전기적으로 연결될 수 있다. 제 1 내지 제 4 반도체 다이들(110\_1~110\_4)의 다른 관통 전극들도 이와 유사한 방식으로 연결될 수 있다. 실시 예에 있어서, 도 1에서 도시된 것과 달리, 제 1 반도체 다이(110\_1)의 제 1 관통 전극(130\_1)은 제 2 반도체 다이(110\_2)의 제 2 및 제 3 관통 전극들 중 어느 하나와 전기적으로 연결될 수 있다.

[0028] 제 4 반도체 다이(110\_4)의 회로는 제 1 반도체 다이(110\_1)의 제 4 관통 전극(130\_4), 제 2 반도체 다이(110\_2)의 제 3 관통 전극, 및 제 3 반도체 다이(110\_3)의 제 2 관통 전극을 통해 VDD를 제공받을 수 있다. 제 3 반도체 다이(110\_3)의 회로는 제 1 반도체 다이(110\_1)의 제 3 관통 전극(130\_3) 및 제 2 반도체 다이(110\_2)의 제 2 관통 전극을 통해 VDD를 제공받을 수 있다. 제 2 반도체 다이(110\_2)의 회로는 제 1 반도체 다이(110\_1)의 제 2 관통 전극(130\_2)을 통해 VDD를 제공받을 수 있다.

[0029] 본 발명의 실시 예에 따르면, 다수의 반도체 다이들이 적층되어도, 다수의 반도체 다이들로 VDD를 공급하기 위한 전류는 제 1 내지 제 K 관통 전극들을 통해 균일하게 분산될 수 있다. 즉, 다수의 반도체 다이들로 VDD를 공급하기 위한 전류는 제 1 내지 제 K 관통 전극들 중 특정한 관통 전극들(예를 들면, 회로들에 인접한 제 1 관통 전극들 또는 상대적으로 아래층에 위치하는 관통 전극들)로 집중되지 않는다. 전류가 제 1 내지 제 K 관통 전극들을 통해 균일하게 흐르므로, 관통 전극의 수명이 증가하고 관통 전극의 일렉트로마이그레이션(electromigration)이 방지될 수 있다.

[0030] 도 2는 도 1의 제 1 반도체 다이의 배선층을 예시적으로 보여주는 도면이다. 도 2는 도 1을 참조하여 설명될 것이다. 도 2에서, K는 4인 것으로 가정한다. 도면의 간략화를 위해, M1 층과 TSV가 직접적으로 연결된 것으로 도시되었으나, M1 층과 TSV 사이에는 다른 전도성 물질이 존재할 수 있다.

[0031] 제 1 관통 전극(130\_1)은 M1 층 및 M2 층에 각각 배치되는 메탈 라인들 및 비아들을 통해 제 2 하부 단자

(150\_2)과 전기적으로 연결될 수 있다. 제 1 관통 전극(130\_1)과 유사하게, 제 2 내지 제 3 관통 전극들(130\_2, 130\_3)은 메탈 라인들 및 비아들을 통해 제 3 및 제 4 하부 단자들(150\_3, 150\_4)과 각각 전기적으로 연결될 수 있다. 예를 들어, 제 1 내지 제 3 관통 전극들(130\_1~130\_3)과 제 2 내지 제 4 하부 단자들(150\_2~150\_4)을 전기적으로 연결하는 경로들(비아들, 메탈 라인들)은 실질적으로 동일하게 제조되거나 형성될 수 있다.

[0032] 제 4 관통 전극(130\_4)은 비아들, M1 층 및 M2 층에 각각 배치되는 메탈 라인들을 통해 제 1 하부 단자(150\_1)와 전기적으로 연결될 수 있다. 예를 들어, 제 4 관통 전극(130\_4)과 제 1 하부 단자(150\_1)를 전기적으로 연결하는 경로는 제 1 내지 제 3 관통 전극들(130\_1~130\_3)과 제 2 내지 제 4 하부 단자들(150\_2~150\_4)을 전기적으로 연결하는 경로들과 서로 다르게 제조되거나 형성될 수 있다. 도 2에서, 제 4 관통 전극(130\_4)과 제 1 하부 단자(150\_1)를 전기적으로 연결하기 위해, M2 층의 메탈 라인이 길게 배치된 것으로 도시되었다. 다만, 제 4 관통 전극(130\_4)과 제 1 하부 단자(150\_1)를 전기적으로 연결하기 위해, M1 층의 메탈 라인이 길게 배치될 수도 있다.

[0033] 도 3은 도 1의 반도체 장치의 다른 예시를 보여주는 단면도이다. 도 3은 도 1을 참조하여 설명될 것이다. 도 3에서, 반도체 장치(200)와 반도체 장치(100)간의 차이점이 설명될 것이다.

[0034] 반도체 장치(200)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(210\_1~210\_M)을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들(210\_1~210\_M)은 실질적으로 동일하게 제조될 수 있다. 제 1 반도체 다이(210\_1)는 기관(220), 제 1 내지 제 K 관통 전극들(230\_1~230\_K), 배선층(240), 제 1 내지 제 K 하부 단자들(250\_1~250\_K), 제 1 내지 제 K 상부 단자들(260\_1~260\_K), 및 회로(280)를 포함할 수 있다.

[0035] 반도체 장치(100)와 달리, 반도체 장치(200)에서는 적어도 두 개의 관통 전극들이 하나의 관통 전극처럼 (혹은 하나의 그룹으로서) 반도체 장치(100)의 관통 전극들의 연결 방식과 유사하게 연결될 수 있다. 제 1 내지 제 K 관통 전극들(230\_1~230\_K)은 제 1 내지 제 G 그룹들로 분류될 수 있다. 여기서, G는 2이상 K-1 이하의 정수이다. 예를 들어, 제 1 내지 제 G 그룹들 각각에 포함된 관통 전극들은 서로 전기적으로 연결될 수 있고, 관통 전극들의 수는 적어도 두 개 이상일 수 있다. 그리고, 회로(280)는 제 1 관통 전극(230\_1)을 포함하는 그룹에 포함된 관통 전극들과 전기적으로 연결될 수 있다. 어느 하나의 그룹에 포함된 관통 전극들과 다른 그룹에 포함된 관통 전극들은 서로 전기적으로 연결되지 않을 수 있다.

[0036] 제 1 내지 제 G 그룹들 각각에 포함되는 관통 전극들의 수는 균일할 수 있다. 도 3에서, K는 8이고 G는 4인 것으로 가정한다. 제 1 내지 제 4 그룹들 각각에 포함된 관통 전극들의 수는 2이고 균일할 수 있다. 다른 실시 예에 있어서, 제 1 내지 제 G 그룹들 각각에 포함되는 관통 전극들의 수는 균일하지 않을 수 있다. 예를 들어, 제 1 그룹에 포함된 관통 전극들의 수와 제 2 그룹에 포함된 관통 전극들의 수는 서로 다를 수 있다.

[0037] 도 2를 참조하면, 제 1 및 제 2 관통 전극들(230\_1, 230\_2)은 하나의 관통 전극처럼 제 3 및 제 4 하부 단자들(250\_3, 250\_4)로부터 VDD를 공급받을 수 있다. 다른 관통 전극들(230\_3~230\_K)도 제 1 및 제 2 관통 전극들(230\_1, 230\_2)과 유사하게 제 1, 제 2, 그리고 제 5 내지 제 K 하부 단자들(250\_1, 250\_2, 250\_5~250\_K)로부터 VDD를 공급받을 수 있다. 회로(280)는 제 3 및 제 4 하부 단자들(250\_3, 250\_4) 그리고 제 1 및 제 2 관통 전극들(230\_1, 230\_2)과 전기적으로 연결된 전력 공급 라인을 통해 VDD를 공급받을 수 있다.

[0038] 제 N 반도체 다이(210\_N)의 제 1 및 제 2 관통 전극들은 제 N+1 반도체 다이(210\_{N+1})의 제 K-1 및 제 K 관통 전극들과 각각 전기적으로 연결될 수 있다. 유사하게, 제 N 반도체 다이(210\_N)의 제 3 내지 제 K 관통 전극들은 제 N+1 반도체 다이(210\_{N+1})의 제 1 내지 제 K-2 관통 전극들과 각각 전기적으로 연결될 수 있다. 전술한대로, N은 1 이상 M-1 이하의 정수일 수 있다.

[0039] 좀 더 구체적으로, 도 3에서, M은 4이고, K는 8이고, 그리고 N은 2인 것으로 가정한다. 제 1 반도체 다이(210\_1)의 제 1 및 제 2 관통 전극들(230\_1, 230\_2), 제 2 반도체 다이(210\_2)의 제 7 및 제 8 관통 전극들, 제 3 반도체 다이(210\_3)의 제 5 및 제 6 관통 전극들, 및 제 4 반도체 다이(210\_4)의 제 3 및 제 4 관통 전극들은 서로 전기적으로 연결될 수 있다. 제 1 내지 제 4 반도체 다이들(110\_1~110\_4)의 다른 관통 전극들도 이와 유사한 방식으로 연결될 수 있다.

[0040] 도 4는 도 1의 반도체 장치의 또 다른 예시를 보여주는 단면도이다. 도 4는 도 1 및 도 3을 참조하여 설명될 것이다. 도 4에서, 반도체 장치(300)와 반도체 장치들(100, 200)간의 차이점이 설명될 것이다.

[0041] 반도체 장치(300)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(310\_1~310\_M)을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들(310\_1~310\_M)은 실질적으로 동일하게 제조될 수 있다. 제 1 반도체 다이(310\_1)는 기관(320), 제 1 내지 제 K 관통 전극들(330\_1~330\_K), 제 K+1 내지 제 K+L 관통 전극들

(330\_K+1~330\_K+L), 배선층(340), 제 1 내지 제 K 하부 단자들(350\_1~350\_K), 제 K+1 내지 제 K+L 하부 단자들(350\_K+1~350\_K+L), 제 1 내지 제 K 상부 단자들(360\_1~360\_K), 제 K+1 내지 제 K+L 상부 단자들(360\_K+1~360\_K+L), 제 1 회로(380), 및 제 2 회로(390)를 포함할 수 있다. 여기서, M, K, L은 각각 2 이상의 정수일 수 있다.

- [0042] 제 1 반도체 다이(310\_1)의 기관(320), 제 1 내지 제 K 관통 전극들(330\_1~330\_K), 배선층(340), 제 1 내지 제 K 하부 단자들(350\_1~350\_K), 제 1 내지 제 K 상부 단자들(360\_1~360\_K), 및 제 1 회로(380)는 도 1에서 전술한 제 1 반도체 다이(110\_1)의 구성 요소들(120, 130\_1~130\_K, 140, 150\_1~150\_K, 160\_1~160\_K, 180)과 각각 실질적으로 동일하게 제조될 수 있다.
- [0043] 제 K+1 내지 제 K+L 관통 전극들(330\_K+1~330\_K+L), 제 K+1 내지 제 K+L 하부 단자들(350\_K+1~350\_K+L), 및 제 K+1 내지 제 K+L 상부 단자들(360\_K+1~360\_K+L)은 서로 전기적으로 연결될 수 있다. 제 K+1 내지 제 K+L 관통 전극들(330\_K+1~330\_K+L)은 제 1 내지 제 K 관통 전극들(330\_1~330\_K)와 함께 전력원에 연결될 수 있다.
- [0044] 예를 들어, 제 K+1 내지 제 K+L 관통 전극들(330\_K+1~330\_K+L)과 제 K+1 내지 제 K+L 하부 단자들(350\_K+1~350\_K+L)을 연결하기 위해, 하나의 층에 배치되는 메탈 라인이 사용될 수 있다. 반면에, 제 1 내지 제 K 관통 전극들(330\_1~330\_K)과 제 1 내지 제 K 하부 단자들(350\_1~350\_K)을 각각 연결하기 위해, 적어도 두 개 이상의 층에 배치되는 메탈 라인들이 사용될 수 있다. 즉, 제 K+1 내지 제 K+L 관통 전극들(330\_K+1~330\_K+L)과 제 K+1 내지 제 K+L 하부 단자들(350\_K+1~350\_K+L)간의 전기적 연결(즉, 전력 공급 라인)은 제 1 내지 제 K 관통 전극들(330\_1~330\_K)과 제 1 내지 제 K 하부 단자들(350\_1~350\_K)간의 전기적 연결보다 간단하게 제조되거나 형성될 수 있다.
- [0045] 제 2 회로(390)는 제 K+1 내지 제 K+L 관통 전극들(330\_K+1~330\_K+L)과 전기적으로 연결된 전력 공급 라인을 통해 VDD를 공급받거나 제공받을 수 있다. 제 1 반도체 다이(310\_1)는 전력 소모가 서로 다른 회로들을 포함할 수 있다. 예를 들어, 상대적으로 전력 소모가 큰 회로들은 제 1 회로(380)에 포함될 수 있고, 상대적으로 전력 소모가 작은 회로들은 제 2 회로(390)에 포함될 수 있다. 여기서, 제 1 및 제 2 회로들(380, 390)의 위치들은 도 4에서 도시된 것에 한정되지 않는다.
- [0046] 제 N+1 반도체 다이(310\_N+1)는 제 N 반도체 다이(310\_N) 상에 적층될 수 있다. 제 N 반도체 다이(310\_N)의 제 1 내지 제 K 상부 단자들 및 제 K+1 내지 제 K+L 상부 단자들은 제 N+1 반도체 다이(310\_N+1)의 제 1 내지 제 K 하부 단자들 및 제 K+1 내지 제 K+L 하부 단자들과 접촉하여 전기적으로 연결될 수 있다. 전술한대로, N은 1 이상 M-1 이하의 정수일 수 있다. 제 N 반도체 다이(310\_N)의 제 K+1 내지 제 K+L 관통 전극들은 제 N+1 반도체 다이(310\_N+1)의 제 K+1 내지 제 K+L 관통 전극들과 전기적으로 연결될 수 있다.
- [0047] 제 1 내지 제 M 반도체 다이들(310\_1~310\_M)의 제 1 회로들(380)로 VDD를 공급하기 위한 전류는 제 1 내지 제 K 관통 전극들을 통해 균일하게 분산될 수 있다. 제 2 회로들(390)로 VDD를 공급하기 위한 전류는 제 K+1 내지 제 K+L 관통 전극들을 통해 균일하게 분산되지 않을 수도 있다. 대신에, 제 2 회로(390)로 VDD를 공급하기 위한 전력 경로는 하나의 층에 배치되는 메탈 라인을 통해 제조되거나 형성될 수 있으므로 제 1 회로(380)로 VDD를 공급하기 위한 전력 경로보다 간단하게 제조되거나 형성될 수 있다. 그리고, 제 2 회로(390)의 전력 소모는 제 1 회로(380)의 전력 소모보다 작을 수 있다.
- [0048] 도 5는 본 발명의 다른 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다. 도 5에서, 반도체 장치(400)와 반도체 장치(100)간의 차이점이 설명될 것이다.
- [0049] 반도체 장치(400)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(410\_1~410\_M)을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들(410\_1~410\_M)은 실질적으로 동일하게 제조될 수 있다.
- [0050] 제 1 반도체 다이(410\_1)는 기관(420), 제 1 내지 제 K 관통 전극들(430\_1~430\_K), 배선층(440), 제 1 내지 제 K 하부 단자들(450\_1~450\_K), 제 1 내지 제 K 상부 단자들(460\_1~460\_K), 스위치 회로(470) 및 회로(480)를 포함할 수 있다. 여기서, 기관(420), 제 1 내지 제 K 관통 전극들(430\_1~430\_K), 제 1 내지 제 K 하부 단자들(450\_1~450\_K), 제 1 내지 제 K 상부 단자들(460\_1~460\_K), 및 회로(480)는 도 1에서 전술한 제 1 반도체 다이(110\_1)의 구성 요소들(120, 130\_1~130\_K, 150\_1~150\_K, 160\_1~160\_K, 180)과 각각 실질적으로 동일하게 제조될 수 있다.
- [0051] 제 1 내지 제 K 하부 단자들(450\_1~450\_K) 각각은 배선층(440)을 통해 제 1 내지 제 K 관통 전극들(430\_1~430\_K) 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다. 제 1 내지 제 K 하부 단자들(450\_1~450\_K)은 서로 전기적으로 연결되지 않을 수 있다. 따라서, 제 1 내지 제 K 하부 단자들

(450\_1~450\_K)과 제 1 내지 제 K 관통 전극들(430\_1~430\_K)을 각각 연결하는 배선층(440)의 메탈 라인들은 도 1의 배선층(140)의 메탈 라인들(도 2의 메탈 라인들 참조)과 다르게 제조될 수 있다. 제 N 반도체 다이(410\_N)의 제 1 내지 제 K 관통 전극들 각각은 제 N+1 반도체 다이(410\_{N+1})의 제 1 내지 제 K 관통 전극들 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다.

- [0052] 스위치 회로(470)는 제 1 내지 제 K 관통 전극들(430\_1~430\_K)과 전기적으로 연결된 전력 공급 라인들을 선택할 수 있다. 스위치 회로(470)는 제 1 내지 제 S 스위치들을 포함할 수 있다. 여기서, S는 2 이상의 정수이고, K와 같거나 다를 수 있다. 도 5에서 K 및 S는 각각 4이고, 하나의 전력 라인은 제 1 내지 제 K 관통 전극들(430\_1~430\_K) 중 하나 및 제 1 내지 제 S 스위치들 중 어느 하나와 전기적으로 연결될 수 있다.
- [0053] 회로(480)는 제 1 내지 제 S 스위치들 중 하나를 통해 VDD 및 전류를 공급받거나 제공받을 수 있다. 회로(480)는 제 1 내지 제 S 스위치들 중 하나에 의해 선택된 적어도 하나의 전력 공급 라인과 전기적으로 연결될 수 있다.
- [0054] 제 N 반도체 다이(410\_N)의 스위치 회로에 의해 선택된 전력 공급 라인과 연결된 관통 전극은 제 N+1 반도체 다이(410\_{N+1})의 스위치 회로에 의해 선택된 전력 공급 라인과 연결된 관통 전극은 서로 전기적으로 연결되지 않을 수 있다. 제 N+1 반도체 다이(410\_{N+1})가 제 N 반도체 다이(410\_N) 상에 적층될 수 있다. D3 방향을 따라, 제 1 반도체 다이(410\_1)부터 제 N+1 반도체 다이(410\_{N+1})까지의 길이는 제 1 반도체 다이(410\_1)부터 제 N 반도체 다이(410\_N)까지의 길이보다 길 수 있다. 따라서, 제 N+1 반도체 다이(410\_{N+1})의 스위치 회로에 의해 선택된 전력 공급 라인의 길이는 제 N 반도체 다이(410\_N)의 스위치 회로에 의해 선택된 전력 공급 라인의 길이보다 짧을 수 있다. 즉, N이 증가할수록, 스위치 회로에 의해 선택된 전력 공급 라인의 길이는 짧아질 수 있다. 전술한대로, N은 1 이상 M-1 이하의 정수이다.
- [0055] 도 5에서, M 및 K 각각은 4이고, N은 2인 것으로 가정한다. 제 1 내지 제 4 반도체 다이들(410\_1~410\_4)의 제 1 관통 전극들(430\_1)은 서로 전기적으로 연결될 수 있다. 제 1 내지 제 4 반도체 다이들(410\_1~410\_4)의 다른 관통 전극들도 이와 유사한 방식으로 연결될 수 있다.
- [0056] 제 4 반도체 다이(410\_4)의 회로는 제 1 내지 제 3 반도체 다이들(410\_1~410\_3)의 제 1 관통 전극들(430\_1)을 통해 VDD를 공급받을 수 있다. 제 3 반도체 다이(410\_3)의 회로는 제 1 및 제 2 반도체 다이들(410\_1, 410\_2)의 제 2 관통 전극들(430\_2)을 통해 VDD를 공급받을 수 있다. 제 2 반도체 다이(410\_2)의 회로는 제 1 반도체 다이(410\_1)의 제 3 관통 전극(430\_3)을 통해 VDD를 공급받을 수 있다. 도 1의 반도체 장치(100)와 유사하게, 반도체 장치(400)의 다수의 반도체 다이들로 VDD를 공급하기 위한 전류는 제 1 내지 제 K 관통 전극들을 통해 균일하게 분산될 수 있다.
- [0057] 다른 실시 예에 있어서, 스위치 회로(470)는 제 1 반도체 다이(410\_1)의 스택 식별자(stack ID) 또는 회로(480)의 동작 모드에 기초하여 제 1 내지 제 K 관통 전극들(430\_1~430\_K)과 각각 전기적으로 연결된 전력 공급 라인들을 선택할 수 있다. 여기서, 스택 식별자는 제 1 내지 제 M 반도체 다이들(410\_1~410\_M) 각각을 식별하기 위한 정보이다. 제 1 내지 제 M 반도체 다이들(410\_1~410\_M) 각각은 고유한 스택 식별자를 내부에 저장할 수 있다.
- [0058] 도 5에서 제 1 내지 제 M 반도체 다이들(410\_1~410\_M)의 스위치 회로는 하나의 전력 공급 라인을 선택하는 것으로 도시되었으나, 본 발명의 범위는 이에 제한되지 않는다. 예를 들어, 회로(480)가 메모리 셀들을 포함하고, 제 N 반도체 다이(410\_N)의 회로만이 메모리 셀들과 관련된 읽기 동작, 쓰기 동작, 리프레쉬(refresh) 동작 등을 수행하고, 그리고 제 N 반도체 다이(410\_N)의 회로의 전력 소모가 커질 수 있다. 이 경우, 제 N 반도체 다이(410\_N)의 스위치 회로는 모든 전력 공급 라인들을 선택할 수 있고, 다른 스위치 회로들은 전력 공급 라인들을 선택하지 않을 수도 있다. 즉, 모든 제 1 내지 제 K 관통 전극들이 VDD를 제 N 반도체 다이(410\_N)의 회로로 공급하기 위해 사용될 수 있다.
- [0059] 도 6은 도 5의 반도체 장치의 다른 예시를 보여주는 단면도이다. 도 6은 도 5를 참조하여 설명될 것이다. 도 6에서, 반도체 장치(500)와 반도체 장치(400)간의 차이점이 설명될 것이다.
- [0060] 반도체 장치(500)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(510\_1~510\_M)을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들(510\_1~510\_M)은 실질적으로 동일하게 제조될 수 있다. 제 1 반도체 다이(510\_1)는 기판(520), 제 1 내지 제 K 관통 전극들(530\_1~530\_K), 배선층(540), 제 1 내지 제 K 하부 단자들(550\_1~550\_K), 제 1 내지 제 K 상부 단자들(560\_1~560\_K), 스위치 회로(570) 및 회로(580)를 포함할 수 있다.
- [0061] 반도체 장치(400)와 달리, 반도체 장치(500)에서는 적어도 두 개의 관통 전극들이 하나의 관통 전극처럼 (혹은

하나의 그룹으로서) 반도체 장치(400)의 관통 전극들의 연결 방식과 유사하게 연결될 수 있다. 도 3에서 전술한 제 1 내지 제 K 관통 전극들(230\_1~230\_K)과 유사하게, 제 1 내지 제 K 관통 전극들(530\_1~530\_K)들은 제 1 내지 제 G 그룹들로 분류될 수 있다. 전술한대로, G는 2이상 K-1 이하의 정수이다. 예를 들어, 제 1 내지 제 G 그룹들 각각에 포함된 관통 전극들은 서로 전기적으로 연결될 수 있고, 관통 전극들의 수는 적어도 두 개 이상일 수 있다. 그리고, 회로(580)는 제 1 관통 전극(530\_1)을 포함하는 그룹에 포함된 관통 전극들과 전기적으로 연결될 수 있다. 어느 하나의 그룹에 포함된 관통 전극들과 다른 그룹에 포함된 관통 전극들은 서로 전기적으로 연결되지 않을 수 있다.

[0062] 제 1 내지 제 G 그룹들 각각에 포함되는 관통 전극들의 수는 균일할 수 있다. 도 6에서, K는 8이고 G는 4인 것으로 가정한다. 제 1 내지 제 4 그룹들 각각에 포함된 관통 전극들의 수는 2이고 균일할 수 있다. 다른 실시 예에 있어서, 제 1 내지 제 G 그룹들 각각에 포함되는 관통 전극들의 수는 균일하지 않을 수 있다. 예를 들어, 제 1 그룹에 포함된 관통 전극들의 수와 제 2 그룹에 포함된 관통 전극들의 수는 서로 다를 수 있다.

[0063] 제 1 내지 제 K 관통 전극들(530\_1~530\_K)들이 제 1 내지 제 G 그룹들로 분류되면서, 스위치 회로(570)는 제 1 내지 제 G 그룹들 중 하나에 포함되는 관통 전극들과 연결된 전력 라인을 선택할 수 있다. 스위치 회로(570)는 스위치 회로(470)와 유사하게 제 1 내지 제 S개 스위치들을 포함할 수 있다. 여기서, S는 2 이상의 정수이고 K와 같거나 다를 수 있다. 도 6에서, K는 8이고 S는 4이고, 하나의 전력 라인은 제 1 내지 제 G 그룹들 중 하나에 포함되는 관통 전극들 및 제 1 내지 제 S 스위치들 중 어느 하나와 전기적으로 연결될 수 있다.

[0064] 도 6을 참조하면, 제 1 및 제 2 관통 전극들(530\_1, 530\_2)은 하나의 관통 전극처럼 제 1 및 제 2 하부 단자들(550\_1, 550\_1)로부터 VDD를 공급받을 수 있다. 제 3 내지 제 K 관통 전극들(530\_3~530\_K)도 제 1 및 제 2 관통 전극들(530\_1, 530\_2)과 유사하게 제 3 내지 제 K 하부 단자들(550\_3~550\_K)로부터 VDD를 공급받을 수 있다.

[0065] 제 N 반도체 다이(510\_N)의 제 1 및 제 2 관통 전극들은 제 N+1 반도체 다이(510\_N+1)의 제 1 및 제 2 관통 전극들과 전기적으로 연결될 수 있다. 제 1 및 제 2 관통 전극들과 유사하게, 제 N 반도체 다이(510\_N)의 제 3 내지 제 K 관통 전극들은 제 N+1 반도체 다이(510\_N+1)의 제 3 내지 제 K 관통 전극들과 전기적으로 연결될 수 있다. 전술한대로, N은 1 이상 M-1 이하의 정수일 수 있다. 제 N 반도체 다이(510\_N)의 스위치 회로에 의해 선택된 전력 공급 라인과 연결된 적어도 두 개의 관통 전극들과, 제 N+1 반도체 다이(510\_N+1)의 스위치 회로에 의해 선택된 전력 공급 라인과 연결된 적어도 두 개의 관통 전극들은 서로 전기적으로 연결되지 않을 수 있다.

[0066] 도 7은 도 5의 반도체 장치의 또 다른 예시를 보여주는 단면도이다. 도 7은 도 4 및 도 5를 참조하여 설명될 것이다.

[0067] 반도체 장치(600)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(610\_1~610\_M)을 포함할 수 있다. 제 1 내지 제 M 반도체 다이들(610\_1~610\_M)은 실질적으로 동일하게 제조될 수 있다. 제 1 반도체 다이(610\_1)는 기관(620), 제 1 내지 제 K 관통 전극들(630\_1~630\_K), 제 K+1 내지 제 K+L 관통 전극들(630\_K+1~630\_K+L), 배선층(640), 제 1 내지 제 K 하부 단자들(650\_1~650\_K), 제 K+1 내지 제 K+L 하부 단자들(650\_K+1~650\_K+L), 제 1 내지 제 K 상부 단자들(660\_1~660\_K), 제 K+1 내지 제 K+L 상부 단자들(660\_K+1~660\_K+L), 제 1 회로(680), 및 제 2 회로(690)를 포함할 수 있다.

[0068] 제 1 반도체 다이(610\_1)의 기관(620), 제 1 내지 제 K 관통 전극들(630\_1~630\_K), 배선층(640), 제 1 내지 제 K 하부 단자들(650\_1~650\_K), 제 1 내지 제 K 상부 단자들(660\_1~660\_K), 및 제 1 회로(680)는 도 5에서 전술한 제 1 반도체 다이(410\_1)의 구성 요소들(420, 430\_1~430\_K, 440, 450\_1~450\_K, 460\_1~460\_K, 480)과 각각 실질적으로 동일하게 제조될 수 있다.

[0069] 제 1 반도체 다이(610\_1)의 제 K+1 내지 제 K+L 관통 전극들(630\_K+1~630\_K+L), 제 K+1 내지 제 K+L 하부 단자들(650\_K+1~650\_K+L), 제 K+1 내지 제 K+L 상부 단자들(660\_K+1~660\_K+L), 및 제 2 회로(690)는 도 4에서 전술한 제 1 반도체 다이(310\_1)의 구성 요소들(330\_K+1~330\_K+L, 350\_K+1~350\_K+L, 360\_K+1~360\_K+L, 390)과 각각 실질적으로 동일하게 제조될 수 있다.

[0070] 도 8은 본 발명의 또 다른 실시 예에 따른 반도체 장치를 예시적으로 보여주는 단면도이다. 도 8은 도 1을 참조하여 설명될 것이다. 도 8에서, 반도체 장치(700)와 반도체 장치(100)간의 차이점이 설명될 것이다.

[0071] 반도체 장치(700)는 D3 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(710\_1~710\_M)을 포함할 수 있다. 여기서, M은 2 이상의 정수일 수 있다. 우선, 제 1 반도체 다이(710\_1)에 대해 설명될 것이다.

- [0072] 제 1 반도체 다이(710\_1)는 기판(720), 제 1 내지 제 K 관통 전극들(730\_1~730\_K), 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L), 배선층(740), 제 1 내지 제 K 하부 단자들(750\_1~750\_K), 제 K+1 내지 제 K+L 하부 단자들(750\_K+1~750\_K+L), 제 1 내지 제 K 상부 단자들(760\_1~760\_K), 제 K+1 내지 제 K+L 상부 단자들(760\_K+1~760\_K+L), 및 회로(780)를 포함할 수 있다. 여기서, K 및 L 각각은 2 이상의 정수일 수 있고, L은 K와 동일하거나 다를 수 있다. 기판(720) 및 회로(780)는 도 1에서 기술한 기판(120) 및 회로(180)와 각각 실질적으로 동일하게 제조될 수 있다.
- [0073] 제 1 내지 제 K 하부 단자들(750\_1~750\_K)은 배선층(740)을 통해 제 1 내지 제 K 관통 전극들(730\_1~730\_K)과 전기적으로 연결될 수 있다. 제 K+1 내지 제 K+L 하부 단자들(750\_K+1~750\_K+L)은 배선층(740)을 통해 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L)과 전기적으로 연결될 수 있다. 제 1 내지 제 K+L 상부 단자들(760\_1~760\_K+L)은 제 1 내지 제 K+L 관통 전극들(730\_1~730\_K+L) 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다.
- [0074] 회로(780)는 제 1 내지 제 K 관통 전극들(730\_1~730\_K)과 연결된 전력 공급 라인을 통해 VDD를 공급받거나 제공받을 수 있다. 예를 들어, 제 1 내지 제 K 관통 전극들(730\_1~730\_K)과 연결된 전력 공급 라인은 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L)과 전기적으로 연결되지 않을 수 있다.
- [0075] 다음, 제 0+1 반도체 다이(710\_0+1)에 대해 설명될 것이다. 여기서, 0는 1 이상 M-1 이하의 정수일 수 있다. 제 0+1 반도체 다이(710\_0+1)는 제 1 반도체 다이(710\_1)와 다르게 제조될 수 있다. 제 0+1 반도체 다이(710\_0+1)는 기판(720), 제 1 내지 제 K 관통 전극들(730\_1~730\_K), 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L), 배선층(740), 제 1 내지 제 K 하부 단자들(750\_1~750\_K), 제 K+1 내지 제 K+L 하부 단자들(750\_K+1~750\_K+L), 제 1 내지 제 K 상부 단자들(760\_1~760\_K), 제 K+1 내지 제 K+L 상부 단자들(760\_K+1~760\_K+L), 및 회로(780)를 포함할 수 있다.
- [0076] 제 1 내지 제 K 하부 단자들(750\_1~750\_K)은 배선층(740)을 통해 평면적 관점에서 오버래핑되지 않는 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L)과 전기적으로 연결될 수 있다. 제 K+1 내지 제 K+L 하부 단자들(750\_K+1~750\_K+L)은 배선층(740)을 통해 평면적 관점에서 오버래핑되지 않는 제 1 내지 제 K 관통 전극들(730\_1~730\_K)과 전기적으로 연결될 수 있다. 제 1 내지 제 K+L 상부 단자들(760\_1~760\_K+L)은 제 0+2 반도체 다이(710\_0+2, 미도시)의 제 1 내지 제 K+L 관통 전극들(730\_1~730\_K+L) 중 평면적 관점에서 오버래핑되는 관통 전극과 각각 전기적으로 연결될 수 있다.
- [0077] 제 0+1 반도체 다이(710\_0+1)는 제 0 반도체 다이(710\_0) 상에 적층될 수 있다. 제 0 반도체 다이(710\_0)의 제 1 내지 제 K 관통 전극들은 평면적 관점에서 오버래핑되지 않는 제 0+1 반도체 다이(710\_0+1)의 제 K+1 내지 제 K+L 관통 전극들(730\_K+1~730\_K+L)과 전기적으로 연결될 수 있다. 제 0 반도체 다이(710\_0)의 제 K+1 내지 제 K+L 관통 전극들은 평면적 관점에서 오버래핑되지 않는 제 0+1 반도체 다이(710\_0+1)의 제 1 내지 제 K 관통 전극들(730\_1~730\_K)과 전기적으로 연결될 수 있다.
- [0078] 실시 예에 있어서, 제 1 내지 제 0 그리고 제 0+2 내지 제 M 반도체 다이들(710\_1~710\_0, 710\_0+2~710\_M)은 실질적으로 동일하게 제조될 수 있다. 예를 들어, N은 1 이상 M-1 이하의 정수이고 0와 다를 수 있다. 제 N+1 반도체 다이(710\_N+1)는 제 N 반도체 다이(710\_N) 상에 적층될 수 있다. 제 N 반도체 다이(710\_N)의 제 1 내지 제 K+L 관통 전극들 각각은 제 N+1 반도체 다이(710\_N+1)의 제 1 내지 제 K+L 관통 전극들 중 평면적 관점에서 오버래핑되는 관통 전극과 전기적으로 연결될 수 있다.
- [0079] 본 발명의 실시 예에 따르면, 제 0+1 내지 제 M 반도체 다이들(710\_0+1~710\_M)로 VDD를 공급하기 위한 전류는 제 0+1 반도체 다이(710\_0+1)가 적층되는 제 1 내지 제 0 반도체 다이들(710\_1~710\_0)의 제 K+1 내지 제 K+L 관통 전극들을 통해 흐를 수 있다. 제 2 내지 제 0 반도체 다이들(710\_2~710\_0)로 VDD를 공급하기 위한 전류는 제 0+1 반도체 다이(710\_0+1)가 적층되는 제 1 내지 제 0 반도체 다이들(710\_1~710\_0)의 제 1 내지 제 K 관통 전극들을 통해 흐를 수 있다. 즉, 제 2 내지 제 M 반도체 다이들(710\_2~710\_M)로 VDD를 공급하기 위한 전류는 제 0+1 반도체 다이(710\_0+1)의 배선층(740)에 의해 분산될 수 있다. 도 8에서 제 0+1 반도체 다이(710\_0+1)의 수는 한 개로 도시되었으나, 전류 분산을 위해, 반도체 장치(700)는 더 많은 제 0+1 반도체 다이(710\_0+1)를 포함할 수 있다.
- [0080] 도 9는 도 8의 반도체 장치의 다른 예시를 보여주는 단면도이다. 도 9는 도 4 및 도 8을 참조하여 설명될 것이다. 도 9에서, 반도체 장치(800)와 반도체 장치(700)간의 차이점이 설명될 것이다.

- [0081] 반도체 장치(800)는 수직 방향으로 순차적으로 적층된 제 1 내지 제 M 반도체 다이들(810\_1~810\_M)을 포함할 수 있다. 제 1 내지 제 0 그리고 제 0+2 내지 제 M 반도체 다이들(810\_1~810\_0, 810\_0+2~810\_M)은 실질적으로 동일하게 제조될 수 있다.
- [0082] 제 1 및 제 0+1 반도체 다이들(810\_1, 810\_0+1) 각각은 기판(820), 제 1 내지 제 K+L 관통 전극들(830\_1~830\_K+L), 제 S 내지 제 S+T 관통 전극들(830\_S~830\_S+T), 배선층(840), 제 1 내지 제 K+L 하부 단자들(850\_1~850\_K+L), 제 S 내지 제 S+T 하부 단자들(850\_S~850\_S+T), 제 1 내지 제 K+L 상부 단자들(860\_1~860\_K+L), 제 S 내지 제 S+T 상부 단자들(860\_S~860\_S+T), 제 1 회로(880), 및 제 2 회로(890)를 포함할 수 있다.
- [0083] 제 1 반도체 다이(810\_1)의 기판(820), 제 1 내지 제 K+L 관통 전극들(830\_1~830\_K+L), 배선층(840), 제 1 내지 제 K+L 하부 단자들(850\_1~850\_K+L), 제 1 내지 제 K+L 상부 단자들(860\_1~860\_K+L), 및 제 1 회로(880)는 도 8에서 전술한 제 1 반도체 다이(710\_1)의 구성 요소들(720, 730\_1~730\_K+L, 740, 750\_1~750\_K+L, 760\_1~760\_K+L, 780)과 각각 실질적으로 동일하게 제조될 수 있다.
- [0084] 제 0+1 반도체 다이(810\_0+1)의 기판(820), 제 1 내지 제 K+L 관통 전극들(830\_1~830\_K+L), 배선층(840), 제 1 내지 제 K+L 하부 단자들(850\_1~850\_K+L), 제 1 내지 제 K+L 상부 단자들(860\_1~860\_K+L), 및 제 1 회로(880)는 도 8에서 전술한 제 0+1 반도체 다이(710\_0+1)의 구성 요소들(720, 730\_1~730\_K+L, 740, 750\_1~750\_K+L, 760\_1~760\_K+L, 780)과 각각 실질적으로 동일하게 제조될 수 있다.
- [0085] 제 1 및 제 0+1 반도체 다이들(810\_1, 810\_0+1) 각각의 제 S 내지 제 S+T 관통 전극들(830\_S~830\_S+T), 제 S 내지 제 S+T 하부 단자들(850\_S~850\_S+T), 제 S 내지 제 S+T 상부 단자들(860\_S~860\_S+T), 및 제 2 회로(890)는 도 4에서 전술한 제 1 반도체 다이(310\_1)의 구성 요소들(330\_K+1~330\_K+L, 350\_K+1~350\_K+L, 360\_K+1~360\_K+L, 390)과 각각 실질적으로 동일하게 제조될 수 있다.
- [0086] 도 10은 본 발명의 실시 예에 따른 반도체 장치가 적용된 전자 장치를 예시적으로 보여주는 도면이다. 전자 장치(1000)는 SoC(system on chip; 1100), 기판(1200), 및 반도체 장치(1300)를 포함할 수 있다. 도 10에서, 반도체 장치(1300)는 메모리 장치로서 사용될 수 있다.
- [0087] SoC(1100)는 어플리케이션 프로세서(application processor; AP)로서 전자 장치(1000)의 전반적인 동작을 제어할 수 있다. SoC(1100)는 전자 장치(1000)가 지원하는 어플리케이션에 따라 프로그램을 실행하고, 반도체 장치(1300)로부터 프로그램 실행과 관련된 데이터를 수신하거나 또는 프로그램 실행의 결과를 반도체 장치(1300)로 전송할 수 있다. SoC(1100)는 기판(1200)의 일면에 배치될 수 있고, SoC(1100)의 일면에는 솔더 볼 또는 범프가 배치될 수 있다. 솔더 볼 또는 범프를 통해 SoC(1100)와 기판(1200)은 서로 전기적으로 연결될 수 있다.
- [0088] 기판(1200)은 SoC(1100)와 반도체 장치(1300)간의 입출력 경로를 제공할 수 있다. 예를 들어, 기판(1200)은 인쇄 회로 기판, 연성 회로 기판, 세라믹 기판, 또는 인터포저(interposer)일 수 있다. 기판(1200)이 인터포저인 경우, 기판(1200)은 실리콘 웨이퍼를 이용하여 제조될 수 있다. 도 10을 참조하면, 기판(1200)의 내부에는 다수의 배선들이 형성될 수 있다.
- [0089] 반도체 장치(1300)는 수직 방향으로 적층된 다수의 메모리 다이들을 포함할 수 있다. 예를 들어, 반도체 장치(1300)는 고대역폭을 제공하는 HBM 장치일 수 있다. 반도체 장치(1300)는 SoC(1100)가 배치된 기판(1200)의 일면에 배치될 수 있다. 반도체 장치(1300)의 일면에는 솔더 볼 또는 범프가 배치될 수 있다. 솔더 볼 또는 범프를 통해, 반도체 장치(1300)와 기판(1200)은 서로 전기적으로 연결될 수 있다. 반도체 장치(1300)는 제 1 반도체 다이(1310), 제 2 반도체 다이(1320), 및 버퍼 다이(1330)를 포함할 수 있다. 설명의 편의를 위해, 도 10에서 반도체 다이들의 수는 단지 2개로만 도시되었으나, 본 발명의 범위는 이에 제한되지 않는다.
- [0090] 제 1 반도체 다이(1310)는 제 1 회로 영역(1311) 및 제 1 관통 전극 영역(1312)을 포함할 수 있다. 제 2 반도체 다이(1320)는 제 2 회로 영역(1321) 및 제 2 관통 전극 영역(1322)을 포함할 수 있다. 제 1 및 제 2 회로 영역들(1311, 1322) 각각에는 도 1 그리고 도 3 내지 도 9에서 전술한 제 1 또는 제 2 회로들이 배치될 수 있다. 제 1 및 제 2 관통 전극 영역들(1312, 1322) 각각에는 도 1 그리고 도 3 내지 도 9에서 전술한 관통 전극들이 배치될 수 있다. 제 1 및 제 2 반도체 다이들(1310, 1320) 각각은 도 1 그리고 도 3 내지 도 9에서 전술한 반도체 다이들 중 어느 하나일 수 있다.
- [0091] 버퍼 다이(1330)는 관통 전극들을 통해 제 1 관통 전극 영역(1312) 및 제 2 관통 전극 영역(1322)과 연결될 수 있다. 버퍼 다이(1330)는 관통 전극들을 통해 제 1 및 제 2 반도체 다이들(1310, 1320)로 VDD를 공급하거나 제

공할 수 있다. 버퍼 다이(1330)는 외부로부터 데이터를 수신하고 관통 전극들을 통해 수신된 데이터를 제 1 및 제 2 반도체 다이들(1310, 1320)로 전송할 수 있다. 버퍼 다이(1330)는 제 1 및 제 2 반도체 다이들(1310, 1320)에 저장된 데이터를 관통 전극들을 통해 수신하고, 수신된 데이터를 외부로 출력할 수 있다. 버퍼 다이(1330)는 제 1 및 제 2 반도체 다이들(1310, 1320)을 각각 구동하기 위한 제 1 및 제 2 버퍼 회로들(1331, 1332)을 포함할 수 있다.

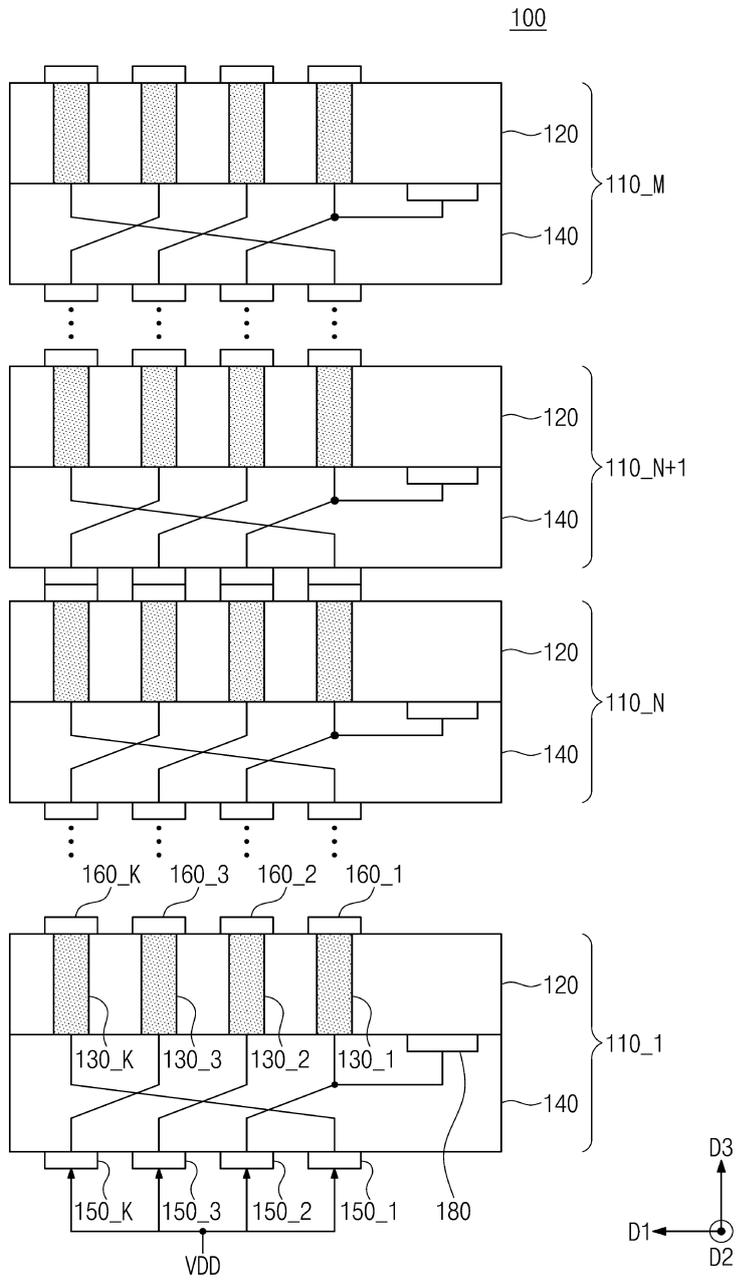
- [0092] 도 11은 본 발명의 실시 예에 따른 반도체 장치가 적용된 다른 전자 장치를 예시적으로 보여주는 블록도이다. 전자 장치(2000)는 MIPI(mobile industry processor interface) 연합(alliance)에 의해 제안된 인터페이스들을 이용하거나 지원할 수 있는 전자 장치로 구현될 수 있다. 예를 들어, 전자 장치(2000)는 서버, 컴퓨터, 스마트폰, 태블릿(tablet), PDA(personal digital assistant), 디지털 카메라(digital camera), PMP(portable multimedia player), 웨어러블(wearable) 장치, 사물 인터넷(internet of things; IoT) 장치 등 중 하나일 수 있으나, 이에 한정되지 않는다.
- [0093] 전자 장치(2000)는 SoC(2100) 및 메모리 장치(2200)를 포함할 수 있다. SoC(2100)는 어플리케이션 프로세서일 수 있다. 메모리 장치(2200)는 도 1 내지 도 9에서 기술한 반도체 장치들(100~800) 중 어느 하나일 수 있다.
- [0094] 전자 장치(2000)는 SoC(2100)와 통신하는 디스플레이(2310)를 포함할 수 있다. SoC(2100)는 DSI(display serial interface)에 따라 DSI 장치(2315)와 통신할 수 있다. 예를 들어, DSI 장치(2315)에는 광 디시리얼라이저(DES)가 구현될 수 있다.
- [0095] 전자 장치(2000)는 SoC(2100)와 통신하는 이미지 센서(2320)를 포함할 수 있다. SoC(2100)는 CSI(camera serial interface)에 따라 CSI 장치(2325)와 통신할 수 있다. 예를 들어, CSI 장치(2325)에는 광 시리얼라이저(SER)가 구현될 수 있다.
- [0096] 전자 장치(2000)는 SoC(2100)와 통신하는 RF(radio frequency) 칩(2330)을 더 포함할 수 있다. RF 칩(2330)은 물리 계층(2331), DigRF 슬레이브(2332), 및 안테나(2333)를 포함할 수 있다. 예를 들어, RF 칩(2330)의 물리 계층(2331)과 SoC(2100)는 MIPI 연합에 의해 제안된 DigRF 인터페이스에 의해 서로 데이터를 교환할 수 있다.
- [0097] 전자 장치(2000)는 임베디드/카드 스토리지(2340)를 더 포함할 수 있다. 임베디드/카드 스토리지(2340)는 SoC(2100)로부터 제공된 데이터를 저장할 수 있고, 메모리 장치(2200)로부터 제공된 데이터를 영구적으로 저장할 수 있다. 전자 장치(2000)는 WiMax(worldwide interoperability for microwave access, 2350), WLAN(wireless local area network, 2360), UWB(ultra wide band, 2370) 등을 통해 외부 시스템과 통신할 수 있다.
- [0098] 위에서 설명한 내용은 본 발명을 실시하기 위한 구체적인 예들이다. 본 발명에는 위에서 설명한 실시 예들뿐만 아니라, 단순하게 설계 변경하거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명에는 상술한 실시 예들을 이용하여 앞으로 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다.

**부호의 설명**

- [0099] 100: 반도체 장치;
- 110\_1~110\_M: 제 1 내지 제 M 반도체 다이들;
- 120: 기판
- 130\_1~130\_K: 제 1 내지 제 K 관통 전극들;
- 140: 배선층;
- 150\_1~150\_K: 제 1 내지 제 K 하부 단자들;
- 160\_1~160\_K: 제 1 내지 제 K 상부 단자들;

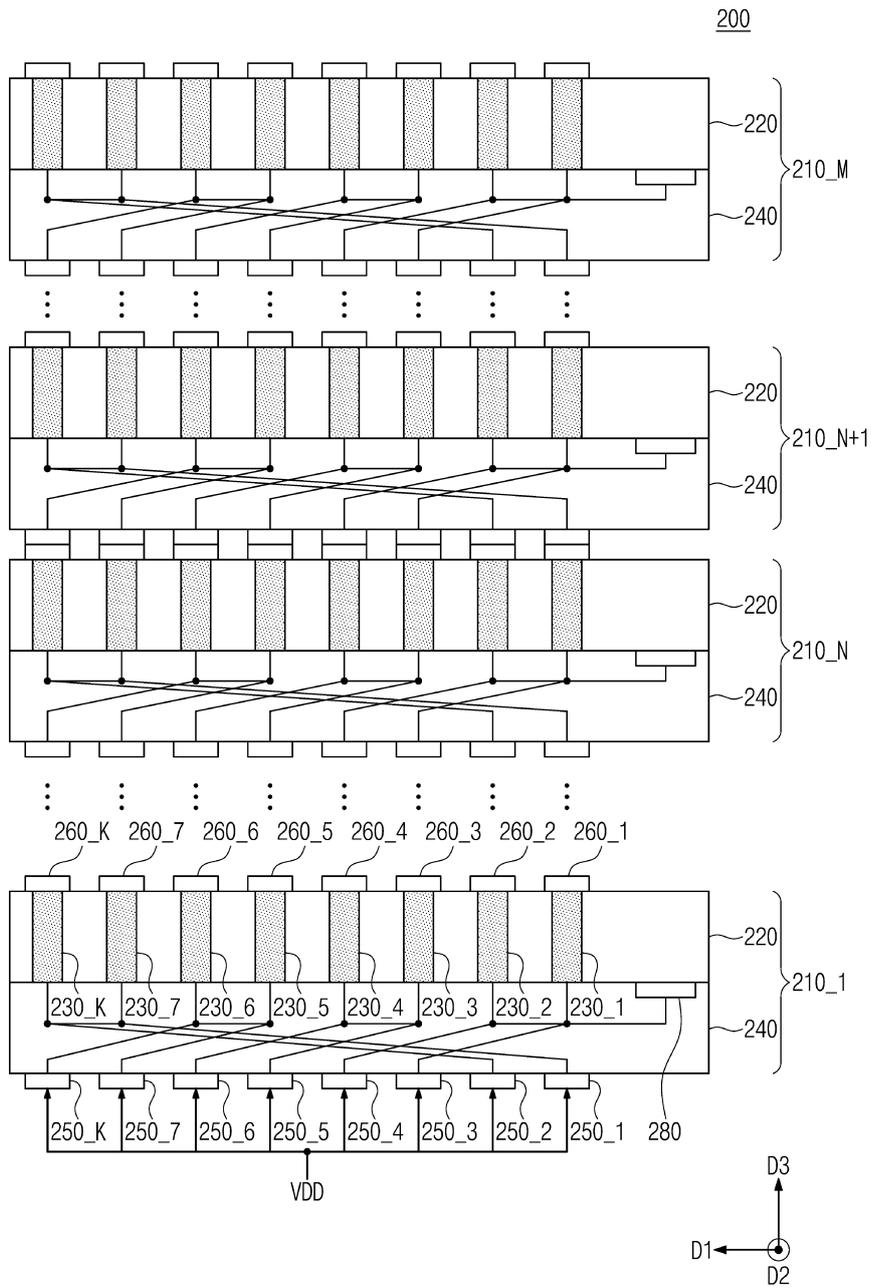
도면

도면1

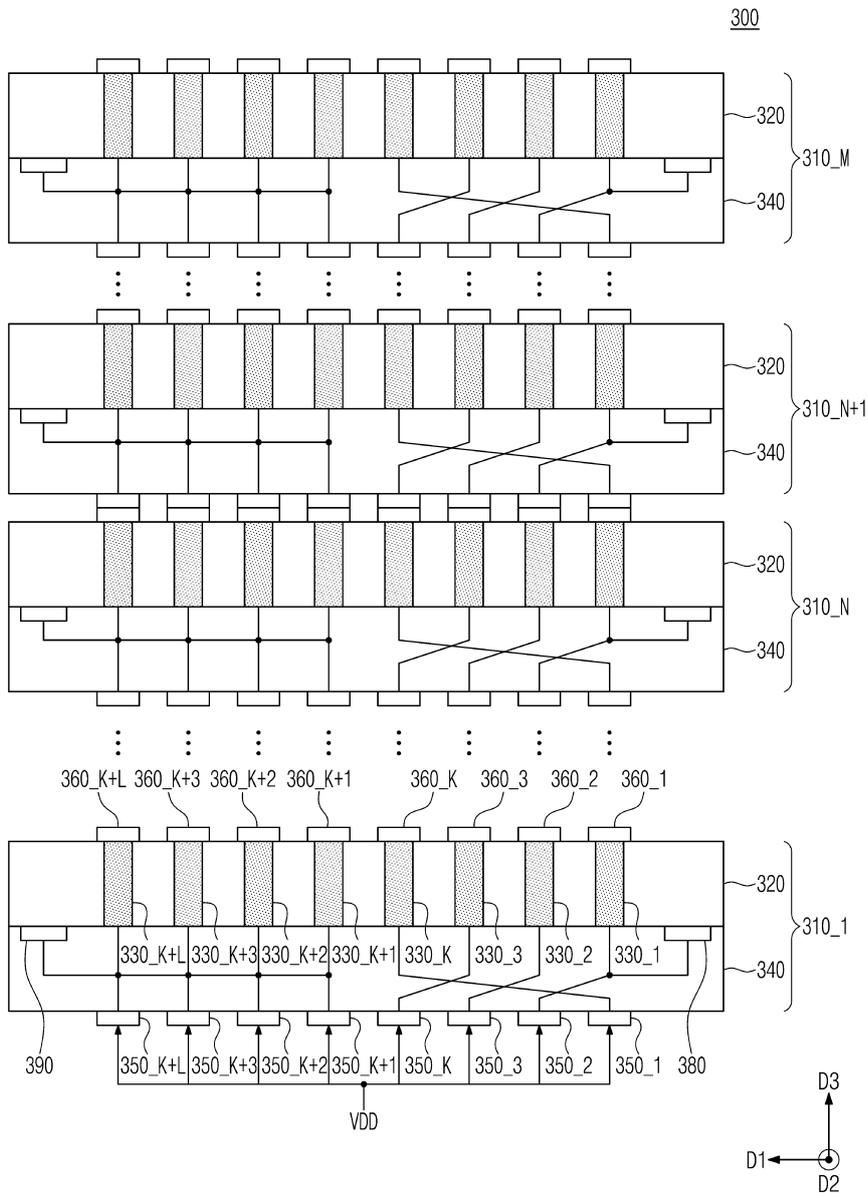




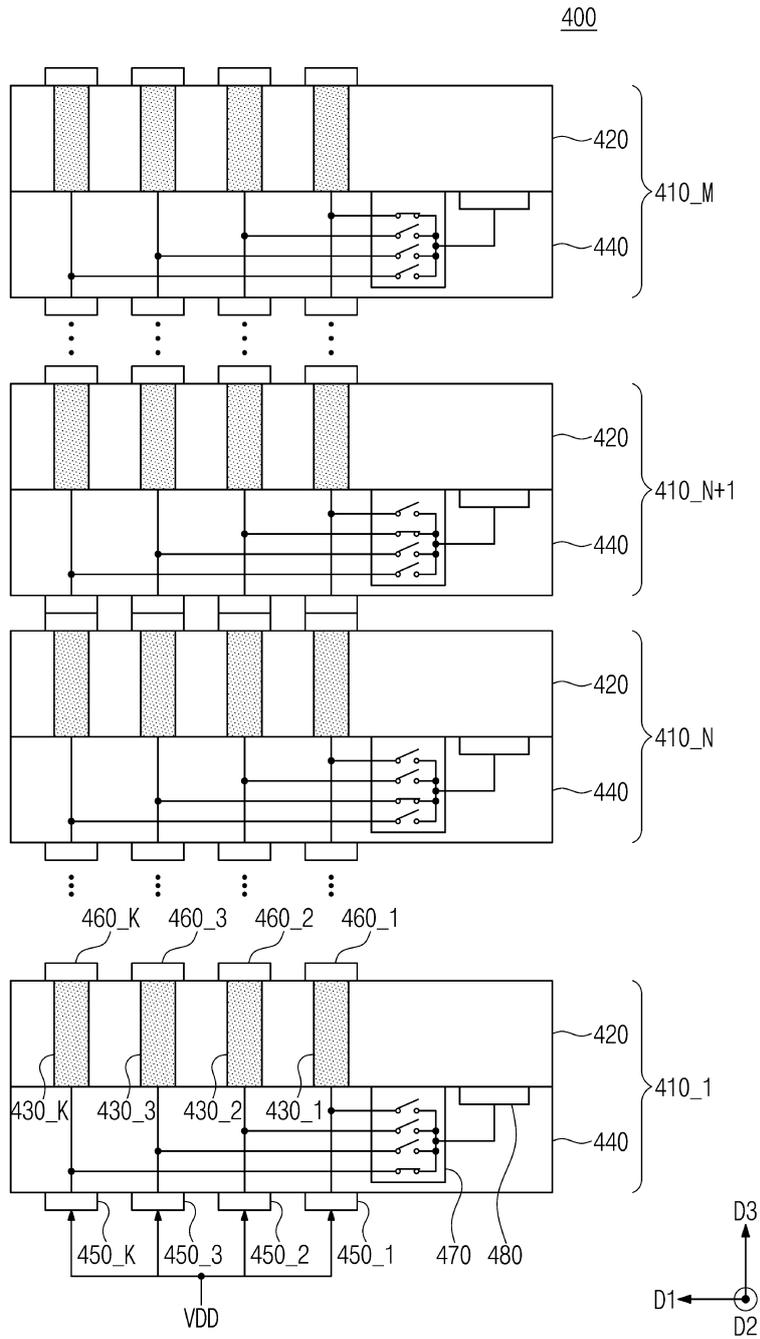
도면3



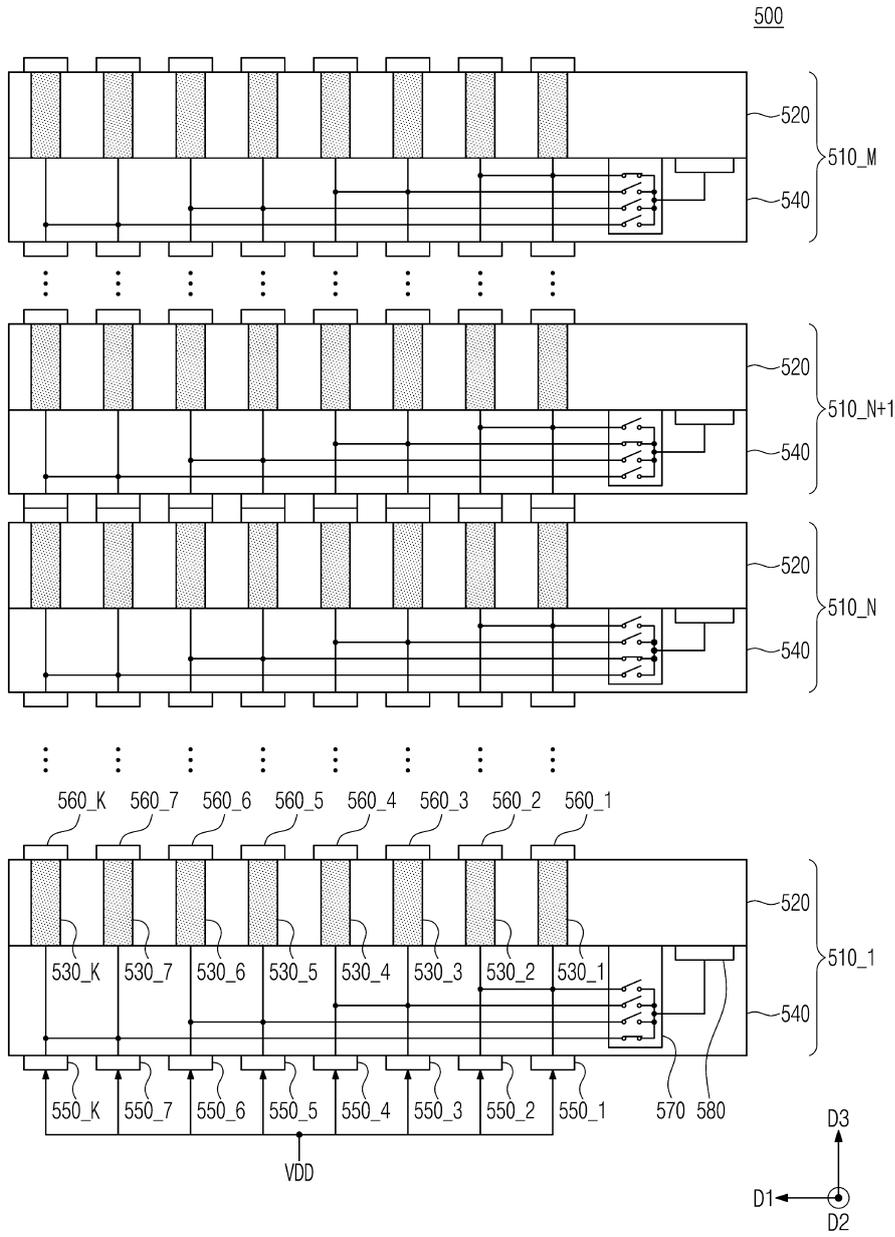
도면4



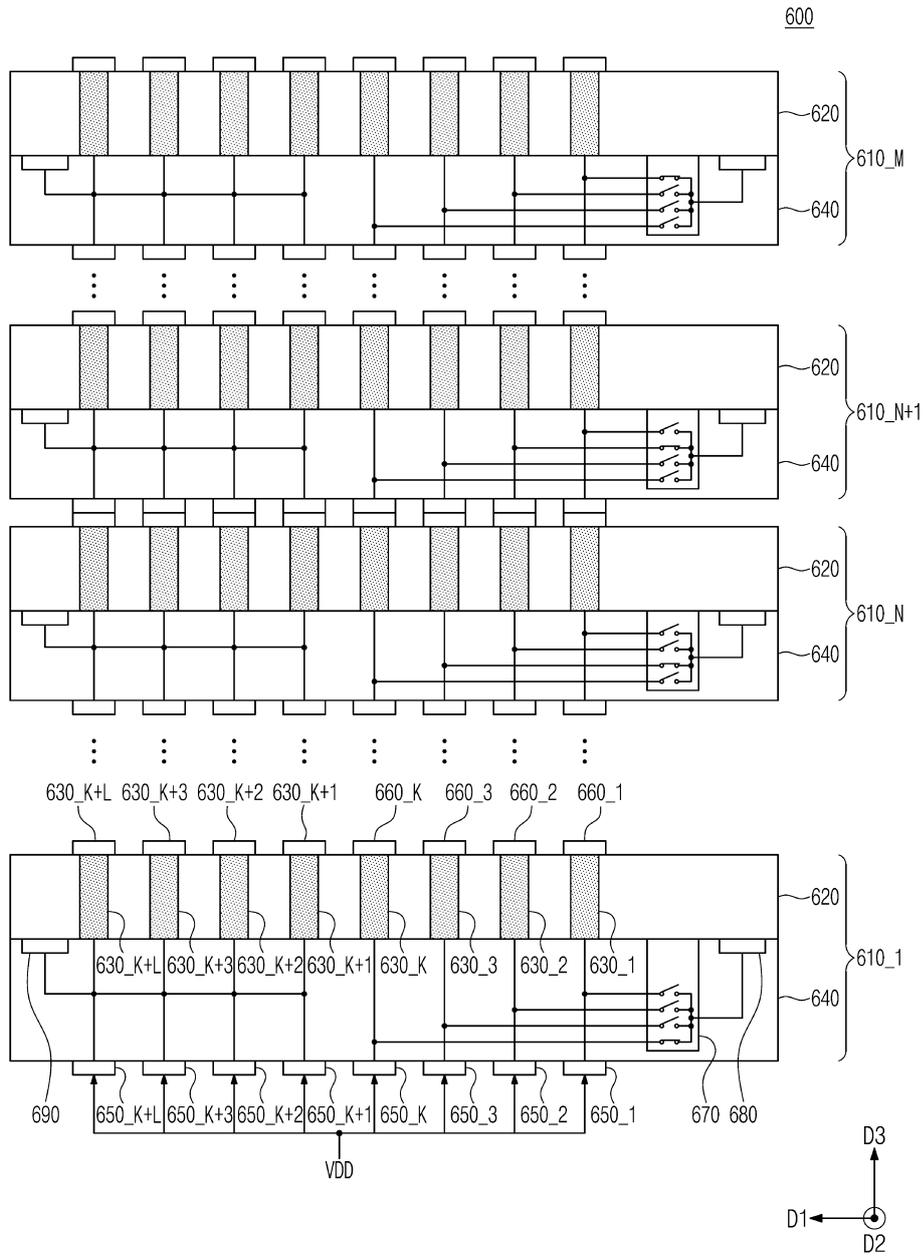
도면5



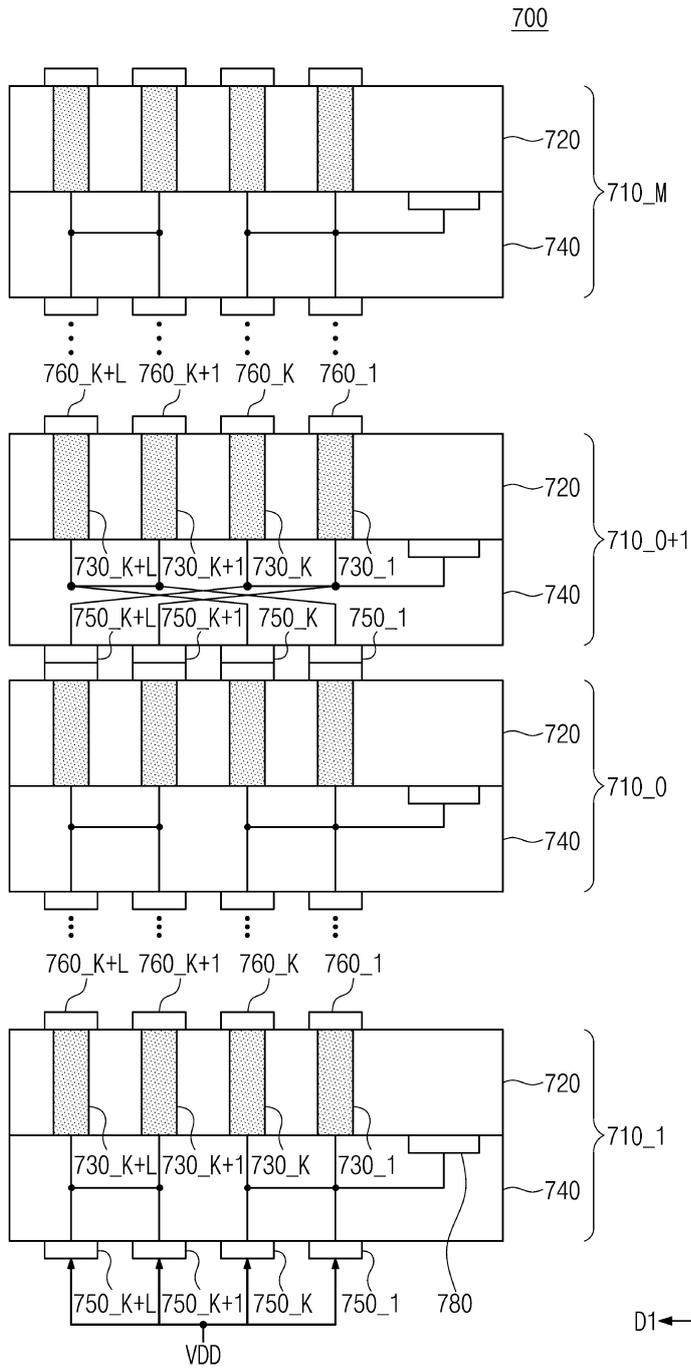
도면6



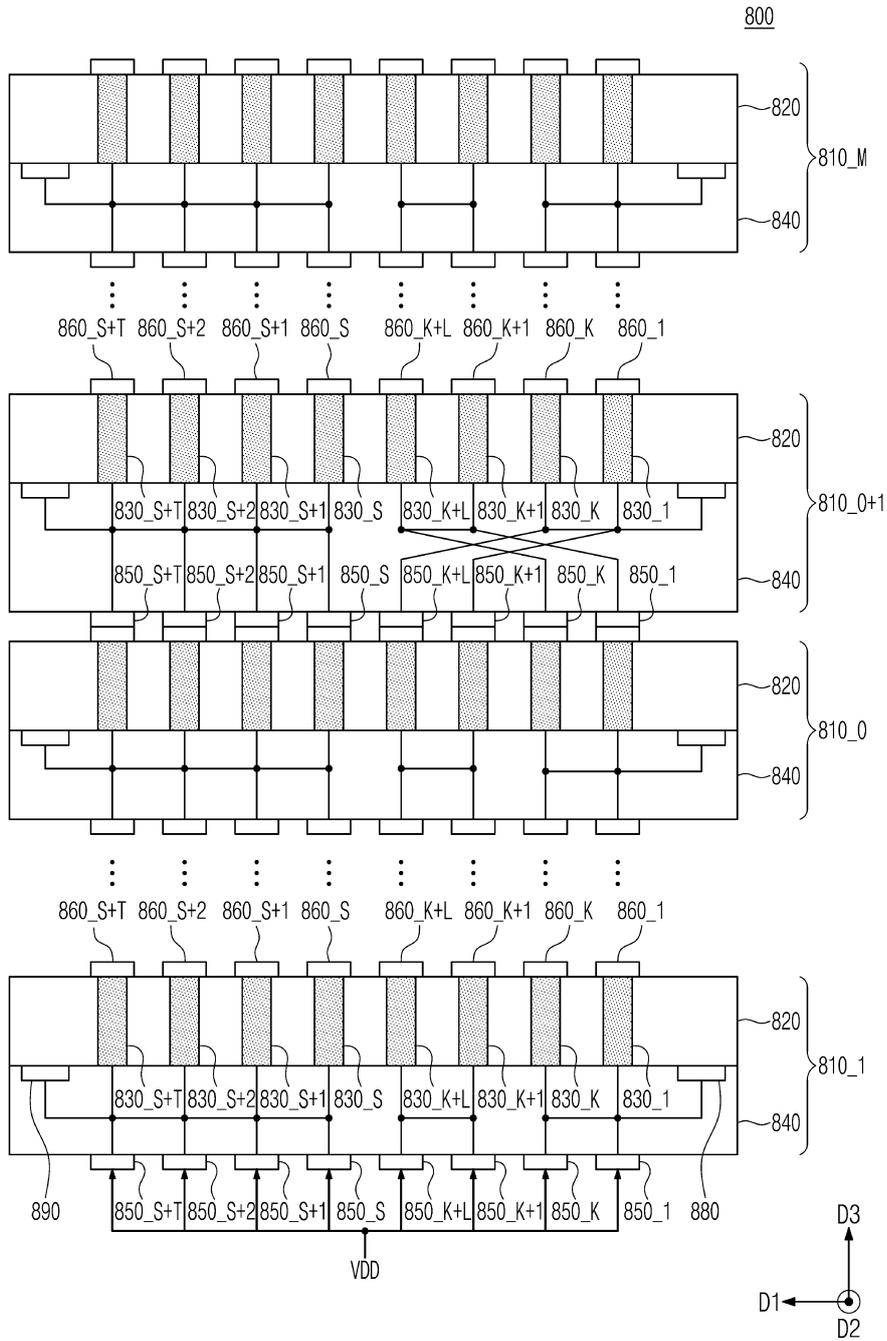
도면7



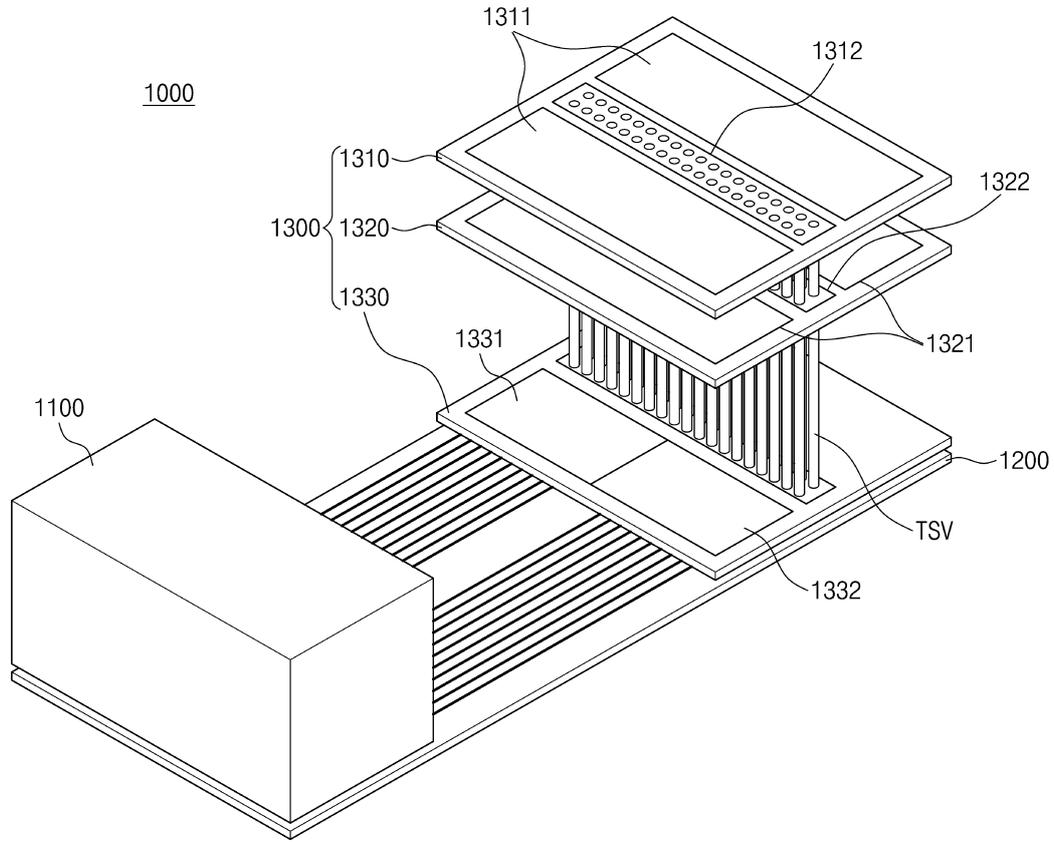
도면8



도면9



도면10



도면11

