



(12) 发明专利

(10) 授权公告号 CN 117558748 B

(45) 授权公告日 2024. 07. 30

(21) 申请号 202311468016.0

(22) 申请日 2023.11.06

(65) 同一申请的已公布的文献号
申请公布号 CN 117558748 A

(43) 申请公布日 2024.02.13

(66) 本国优先权数据
202311135889.X 2023.09.04 CN

(73) 专利权人 杭州芯迈半导体技术有限公司
地址 310051 浙江省杭州市滨江区西兴街
道联慧街6号

(72) 发明人 陈雷雷 刘坚

(74) 专利代理机构 北京成创同维知识产权代理
有限公司 11449
专利代理师 甄丹凤

(51) Int.Cl.

H01L 29/423 (2006.01)

H01L 29/417 (2006.01)

H01L 29/78 (2006.01)

H01L 27/088 (2006.01)

H01L 27/02 (2006.01)

(56) 对比文件

CN 101002330 A, 2007.07.18

CN 107833918 A, 2018.03.23

审查员 吴艳艳

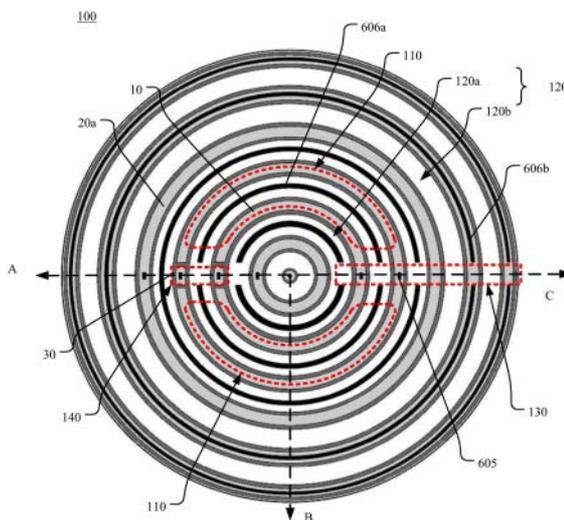
权利要求书3页 说明书7页 附图6页

(54) 发明名称

一种沟槽型半导体功率器件及版图

(57) 摘要

本申请公开了一种沟槽型半导体功率器件及版图,沟槽型半导体功率器件包括:圆环形的元胞区;第一终端区,位于所述元胞区内部,所述第一终端区为圆形,所述元胞区围绕所述第一终端区;第二终端区,位于所述元胞区外侧,所述第二终端区为圆环形,围绕所述元胞区;栅接触区,至少将所述元胞区隔断;屏蔽栅接触区,至少将所述元胞区隔断;所述栅接触区和所述屏蔽栅接触区将所述元胞区分隔形成圆弧段。



1. 一种沟槽型半导体功率器件,包括:

圆环形的元胞区,所述元胞区内形成与圆环形的元胞区相适配的圆环形的栅沟槽结构;

第一终端区,位于所述元胞区内部,所述第一终端区为圆形,所述元胞区围绕所述第一终端区;

第二终端区,位于所述元胞区外侧,所述第二终端区为圆环形,围绕所述元胞区;

栅接触区,至少将所述元胞区隔断;

屏蔽栅接触区,至少将所述元胞区隔断,所述屏蔽栅接触区形成屏蔽栅沟槽结构;

所述栅接触区和所述屏蔽栅接触区将所述元胞区分隔形成圆弧段;

所述栅沟槽结构延伸至所述栅接触区中;

所述栅沟槽结构被所述屏蔽栅接触区隔断,在所述屏蔽栅接触区处形成开口;所述屏蔽栅沟槽结构设置于所述栅沟槽结构的开口处;

所述屏蔽栅接触区内的屏蔽栅沟槽结构、所述元胞区内的栅沟槽结构以及所述栅接触区中的栅沟槽结构共同形成圆环形。

2. 根据权利要求1所述的沟槽型半导体功率器件,其中,所述栅接触区为直线形,所述栅接触区的一端设置于所述第一终端区内,另一端穿过所述元胞区以及第二终端区,延伸至所述第二终端区远离所述元胞区的边缘;

所述屏蔽栅接触区为直线形,所述屏蔽栅接触区从所述元胞区与所述第一终端区的交界处延伸至所述元胞区与所述第二终端区的交界处。

3. 根据权利要求1所述的沟槽型半导体功率器件,其中,包括:

第一掺杂类型的衬底;

第一掺杂类型的外延层,位于所述衬底第一表面;

源沟槽结构,位于所述终端区中,并且延伸至所述栅接触区中,所述元胞区中的源沟槽结构和所述栅接触区中的源沟槽结构共同形成圆环形的源沟槽结构;

第二掺杂类型的基区,设置于相邻的源沟槽结构和/或栅沟槽结构之间,所述第二掺杂类型和所述第一掺杂类型相反;

第一掺杂类型的源区,设置于所述元胞区内的基区中,所述源区被所述栅接触区和所述屏蔽栅接触区分隔形成圆弧段。

4. 根据权利要求3所述的沟槽型半导体功率器件,其中,所述栅沟槽结构包括:

从外延层的表面向其内部延伸的栅沟槽;

位于所述栅沟槽下部的第一屏蔽栅,所述第一屏蔽栅经由第一屏蔽介质层与所述栅沟槽的内壁隔离;以及

位于所述栅沟槽上部的控制栅,所述控制栅经由栅介质层与所述栅沟槽的内壁隔离,且所述控制栅和所述第一屏蔽栅之间经由绝缘层隔离;

所述源沟槽结构包括从所述外延层的表面向其内部延伸的源沟槽,覆盖所述源沟槽内壁的源介质层,以及填充于所述源沟槽的源极导体;

所述屏蔽栅沟槽结构包括从所述外延层的表面向其内部延伸的屏蔽栅沟槽,覆盖所述屏蔽栅沟槽内壁的第二屏蔽介质层,以及填充于所述屏蔽栅沟槽的第二屏蔽栅;

所述屏蔽栅沟槽的下部与所述栅沟槽的下部连通,所述第一屏蔽栅与所述第二屏蔽栅

连接,所述控制栅经由所述栅介质层与所述第二屏蔽栅隔离。

5. 根据权利要求4所述的沟槽型半导体功率器件,其中,包括:

控制栅导电结构,设置于所述栅接触区内,所述控制栅导电结构与所述栅沟槽结构的控制栅连接;

第一源极导电结构,设置于所述元胞区内,与所述元胞区内的源区和基区连接;

第二源极导电结构,设置于所述终端区内,与所述源沟槽结构的所述源极导体和基区连接;

屏蔽栅导电结构,设置于屏蔽栅接触区内,经由所述屏蔽栅沟槽结构与所述第一屏蔽栅连接;

所述第一源极导电结构、所述第二源极导电结构和所述屏蔽栅导电结构分别与所述控制栅导电结构隔离。

6. 根据权利要求5所述的沟槽型半导体功率器件,其中,所述元胞区中设置多圈所述栅沟槽结构时,每一圈所述栅沟槽结构内设置一个控制栅导电结构,形成多个并联的栅沟槽结构。

7. 一种沟槽型半导体功率器件版图,包括:

圆环形的元胞区,所述元胞区包括与圆环形的元胞区相适配的圆环形的沟槽栅结构;

第一终端区,位于所述元胞区内部,所述第一终端区为圆形,所述元胞区围绕所述第一终端区;

第二终端区,位于所述元胞区外侧,所述第二终端区为圆环形,围绕所述元胞区;

栅接触区,至少将所述元胞区隔断;

屏蔽栅接触区,至少将所述元胞区隔断,所述屏蔽栅接触区包括屏蔽栅沟槽结构;

所述栅接触区和所述屏蔽栅接触区将所述元胞区分隔形成圆弧段;

所述栅沟槽结构延伸至所述栅接触区中;

所述栅沟槽结构被所述屏蔽栅接触区隔断,在所述屏蔽栅接触区处形成开口;所述屏蔽栅沟槽结构设置于所述栅沟槽结构的开口处;

所述屏蔽栅接触区内的屏蔽栅沟槽结构、所述元胞区内的栅沟槽结构以及所述栅接触区中的栅沟槽结构共同形成圆环形。

8. 根据权利要求7所述的沟槽型半导体功率器件版图,其中,所述栅接触区为直线形,所述栅接触区的一端设置于所述第一终端区内,另一端穿过所述元胞区以及第二终端区,延伸至所述第二终端区远离所述元胞区的边缘;

所述屏蔽栅接触区为直线形,所述屏蔽栅接触区从所述元胞区与所述第一终端区的交界处延伸至所述元胞区与所述第二终端区的交界处。

9. 根据权利要求7所述的沟槽型半导体功率器件版图,其中,包括:

源沟槽结构,位于所述终端区中,并且延伸至所述栅接触区中,所述元胞区中的源沟槽结构和所述栅接触区中的源沟槽结构共同形成圆环形的源沟槽结构。

10. 根据权利要求9所述的沟槽型半导体功率器件版图,其中,包括:

控制栅导电结构,设置于所述栅接触区内的栅沟槽结构中;

第一源极导电结构,设置于所述元胞区内相邻的栅沟槽结构之间;

第二源极导电结构,设置于所述终端内的第一源沟槽结构中,相邻的源沟槽结构之间,

以及相邻的栅沟槽结构和源沟槽结构之间；

屏蔽栅导电结构, 设置于屏蔽栅接触区内的屏蔽栅沟槽结构中；

所述第一源极导电结构、所述第二源极导电结构和所述屏蔽栅导体结构分别与所述控制栅导电结构隔离。

一种沟槽型半导体功率器件及版图

技术领域

[0001] 本申请涉及半导体技术领域,特别涉及一种沟槽型半导体功率器件及版图。

背景技术

[0002] 屏蔽栅沟槽功率器件(SGT MOSFET)是一种新型的功率半导体器件,具有传统深沟槽MOSFET的低导通损耗的优点,同时具有更加低的开关损耗。屏蔽栅沟槽功率器件(SGT MOSFET)作为开关器件应用于新能源电动车、新型光伏发电、节能家电等领域的电机驱动系统、逆变器系统及电源管理系统,是核心功率控制部件。

[0003] 屏蔽栅沟槽功率器件(SGT MOSFET)和传统功率器件的主要区别是漂移区引入深沟槽结构,这种深沟槽结构通过横向电场来耗尽沟槽之间的漂移区,从而使得漂移区(深沟槽之间的区域)可以采用更高的掺杂浓度,进一步降低导通电阻,突破传统功率器件硅极限性能。

[0004] 随着屏蔽栅沟槽功率器件(SGT MOSFET)技术的发展,分离的屏蔽栅沟槽给设计提供了更大的灵活性。由于分离的屏蔽栅结构相对来讲尺寸比较大,如何通过布局(layout)来提高器件元胞密度(cell density)成为了一个首要解决的技术问题。

发明内容

[0005] 鉴于上述问题,本申请的目的在于提供一种沟槽型半导体功率器件及版图,来提高器件元胞密度。

[0006] 根据本发明的一方面,提供一种沟槽型半导体功率器件,包括:圆环形的元胞区;第一终端区,位于所述元胞区内部,所述第一终端区为圆形,所述元胞区围绕所述第一终端区;第二终端区,位于所述元胞区外侧,所述第二终端区为圆环形,围绕所述元胞区;栅接触区,至少将所述元胞区隔断;屏蔽栅接触区,至少将所述元胞区隔断;所述栅接触区和所述屏蔽栅接触区将所述元胞区分隔形成圆弧段。

[0007] 根据本发明的另一方面,提供一种沟槽型半导体功率器件版图,包括:圆环形的元胞区;第一终端区,位于所述元胞区内部,所述第一终端区为圆形,所述元胞区围绕所述第一终端区;第二终端区,位于所述元胞区外侧,所述第二终端区为圆环形,围绕所述元胞区;栅接触区,至少将所述元胞区隔断;屏蔽栅接触区,至少将所述元胞区隔断;所述栅接触区和所述屏蔽栅接触区将所述元胞区分隔形成圆弧段。

附图说明

[0008] 通过以下参照附图对本申请实施例的描述,本申请的上述以及其他目的、特征和优点将更为清楚:

[0009] 图1a为本申请实施例的沟槽型半导体功率器件的布局结构示意图;

[0010] 图1b为本申请实施例的沟槽型半导体功率器件的各个区域的示意图;

[0011] 图1c为图1b中的A-B处的截面结构示意图;

- [0012] 图1d为图1b中A-C处的截面结构示意图；
- [0013] 图1e为图1a中E-F处的截面图；
- [0014] 图2示出了本申请实施例的沟槽型半导体功率器件的版图的结构示意图。

具体实施方式

[0015] 以下在各个附图中,相同的元件采用类似的附图标记表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0016] 在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一区域“下面”或“下方”。

[0017] 如果为了描述直接位于另一层、另一区域上面的情形,本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

[0018] 图1a为本申请实施例的沟槽型半导体功率器件的布局结构示意图,图1b为本申请实施例的沟槽型半导体功率器件的各个区域的示意图；

[0019] 图1c为图1b中的A-B处的截面结构示意图；图1d为图1b中A-C处的截面结构示意图；图1e为图1a中E-F处的截面图。本申请中,第一掺杂类型是N型和P型中的一种,第二掺杂类型是N型和P型中的另一种。在半导体层中注入N型掺杂剂,例如P、As,可以形成N型半导体层。在半导体层中掺入P型掺杂剂,例如B,可以形成P型半导体层。

[0020] 参阅图1c至图1e,沟槽型半导体功率器件100包括衬底601以及位于衬底601上的外延层602。衬底601可以为硅衬底、应变硅衬底、锗衬底、锗硅衬底、碳化硅衬底、三五族化合物衬底等,且并不限于以上所列举的示例。衬底601作为器件的漏区,具有第一掺杂类型,于一实施例中,衬底601为N型重掺杂。外延层602可以通过掺杂的方式形成在衬底601中,也可以通过如外延的方式形成在衬底601之上,外延层602作为器件的漂移区,具有第一掺杂类型,于一实施例中,外延层602相对衬底601为N型轻掺杂。

[0021] 参阅图1a至图1e,本实施例所提供的沟槽型半导体功率器件100包括元胞区110、终端区120、栅接触区130以及屏蔽栅接触区140。

[0022] 元胞区110用于形成栅沟槽结构10。本实施例中,栅沟槽结构10为屏蔽栅沟槽结构。栅沟槽结构10设置于元胞区110内,栅沟槽结构10包括栅沟槽101、位于栅沟槽101下部的第一屏蔽栅102、位于栅沟槽101上部的控制栅103。栅沟槽101从外延层602远离衬底601的表面向着外延层602内部延伸,控制栅103位于第一屏蔽栅102的上方,并且二者之间由绝缘层彼此隔开。在栅沟槽101上部的内壁形成栅介质层104,控制栅103和栅介质层104形成栅叠层。控制栅103经由栅介质层104与栅沟槽101的内壁隔离。在栅沟槽101下部的内壁形成第一屏蔽栅介质层105,第一屏蔽栅102与第一屏蔽栅介质层105形成屏蔽叠层,第一屏蔽栅102经由第一屏蔽栅介质层105与栅沟槽101的内壁隔离。

[0023] 元胞区110内还形成第二掺杂类型的基区603和第一掺杂类型的源区604。在元胞区110内,基区603位于相邻栅沟槽结构10之间的外延层602中,且与栅沟槽101邻接,源区604位于相邻栅沟槽结构10之间的基区603中,且与栅沟槽101邻接。圆环形的源区604使得

源区604的掺杂更容易控制。

[0024] 本实施例中,栅沟槽结构10为圆环形,为配合圆环形的栅沟槽结构10,基区603和源区604适应性地设置为圆环形。相应地,元胞区110设置为圆环形。元胞区110内可以根据需要设置一圈或者多圈栅沟槽结构10。

[0025] 元胞区110内还形成第一源极导电结构606a,第一源极导电结构606a位于元胞区110内的基区603和源区604中,第一源极导电结构606a贯穿源区604到达基区603内部,第一源极导电结构606a分别与源区604和基区603连接。第一源极导电结构606a配合圆环形的基区603和源区604设置为圆环形,第一源极导电结构606a与栅沟槽结构10交替排列,且第一源极导电结构606a与栅沟槽结构10之间经由源区604和基区603隔离。

[0026] 终端区120用于形成源沟槽结构20。源沟槽结构20设置于终端区120内,源沟槽结构20包括源沟槽201、设置于源沟槽201内的源介质层202和源极导体203。源沟槽201从外延层602远离衬底601的表面向着外延层602内部延伸,源介质层202覆盖源沟槽201的内壁,源极导体203与源沟槽201的内壁之间经由源介质层202隔离。

[0027] 本实施例中,在最外圈的栅沟槽结构10的外侧,以及最内圈的栅沟槽结构10的内侧均形成源沟槽结构20,源沟槽结构20为圆环形或者圆形(例如最内圈的源沟槽结构20)。相应地,终端区120包括设置于元胞区110内侧的第一终端区120a和设置于元胞区110外侧的第二终端区120b。第一终端区120a呈圆形,元胞区110围绕第一终端区120a;第二终端区120b呈围绕元胞区110的圆环形。

[0028] 终端区120内还形成第二源极导电结构606b,第二源极导电结构606b位于源沟槽结构20的源极导体203内部,与源极导体203连接。第二源极导电结构606b配合圆环形的源沟槽结构20设置为圆环形。第二源极导电结构606b还可以设置为圆形,方形等(例如最内圈的源沟槽结构20中的第二源极导电结构606b,以及靠近栅沟槽结构10的源沟槽结构20中的第二源极导电结构606b)。

[0029] 终端区120内还可以形成基区603,图1c和图1d所示的实施例中,第一终端区120a和部分的第二终端区120b中设置基区603。终端区120中的基区603设置于相邻的源沟槽结构20之间,或者相邻的源沟槽结构20和栅沟槽结构10之间。基区603配合源沟槽结构20和栅沟槽结构10设置为圆环形。终端区120中的基区603和元胞区110中的基区603同时形成,不需要增加额外地工艺步骤。

[0030] 在终端区120内形成基区603时,第二源极导电结构606b还设置于基区603内部,与基区603连接。基区603中的第二源极导电结构606b为圆环形。基区603中的第二源极导电结构606b经由基区603与源沟槽结构20和栅沟槽结构10隔离。

[0031] 栅接触区130用于形成控制栅导电结构605,控制栅103经由控制栅导电结构605实现对外导电连接。为了方便控制栅103的对外导电连接,栅沟槽结构10延伸至栅接触区130,即栅沟槽结构10位于元胞区110内和栅接触区130内。

[0032] 控制栅导电结构605设置于栅接触区130内的栅沟槽结构10的控制栅103中,与控制栅103连接,用于实现控制栅103的导电连接。本申请中,元胞区110中设置多圈栅沟槽结构10时,每一圈栅沟槽10内设置一个控制栅导电结构605,形成多个并联的栅沟槽结构10,并联的栅沟槽结构10降低了栅极电阻。

[0033] 为了方便多个控制栅导电结构605之间的互连,本实施例中,将多个控制栅导电结

构605呈直线排列。相应地,栅接触区130呈直线形。于一实施例中,直线形的栅接触区130的一端设置于第一终端区120a内,另一端穿过元胞区110以及第二终端区120b,延伸至第二终端区120b远离元胞区110的边缘。栅接触区130将圆环形的元胞区110隔断,元胞区110在栅接触区130处形成开口。

[0034] 为了防止控制栅导电结构605与元胞区110内的第一源极导电结构606a以及源区604之间的短接,元胞区110内的源区604以及第一源极导电结构606a被栅接触区130隔断,在栅接触区130处形成开口,控制栅导电结构605与第一源极导电结构606a之间相互隔离。

[0035] 为了防止控制栅导电结构605与终端区120内的第二源极导电结构606b之间的短接,终端区120内的第二源极导电结构606b被栅接触区130隔断,在栅接触区130处形成开口,控制栅导电结构605与第一源极导电结构606a之间相互隔离。

[0036] 需要说明的是,多个控制栅导电结构605还可以根据需求以其他形状排列,栅接触区130的形状也可以适应性地改变。

[0037] 屏蔽栅接触区140用于形成屏蔽栅沟槽结构30以及屏蔽栅导电结构606c,第一屏蔽栅102经由屏蔽栅沟槽结构30以及屏蔽栅导电结构606c以实现对外导电连接。

[0038] 为了方便第一屏蔽栅102的导电连接,栅沟槽结构10被屏蔽栅接触区140隔断,在屏蔽栅接触区140处形成开口。屏蔽栅沟槽结构30设置于屏蔽栅接触区140内,具体设置于栅沟槽结构10的开口处,与栅沟槽结构10共同形成圆环形。屏蔽栅沟槽结构30包括:屏蔽栅沟槽301、设置于屏蔽栅沟槽301内的第二屏蔽栅介质层302和第二屏蔽栅303。屏蔽栅沟槽301从外延层602远离衬底601的表面向着外延层602内部延伸。第二屏蔽栅介质层302覆盖屏蔽栅沟槽301的内壁。第二屏蔽栅303与屏蔽栅沟槽301的内壁之间经由第二屏蔽栅介质层302隔离。屏蔽栅沟槽301的下部与栅沟槽101的下部连通。第一屏蔽栅102与第二屏蔽栅303连接。屏蔽栅沟槽301内的第二屏蔽栅303与栅沟槽101上部的控制栅103经由栅介质层104隔离。屏蔽栅导电结构606c位于第二屏蔽栅303中,与第二屏蔽栅303连接。

[0039] 本实施例中,每个栅沟槽结构10的开口处形成一个屏蔽栅沟槽结构30,多个屏蔽栅沟槽结构30呈直线排列,相应地,屏蔽栅导电结构606c呈直线排列,屏蔽栅接触区140呈直线形。直线形的屏蔽栅接触区140将元胞区110隔断,元胞区110在栅接触区130处形成开口。在其他实施例中,多个屏蔽栅沟槽结构30还可以根据需求以其他形状排列,屏蔽栅接触区140的形状也可以适应性地改变。

[0040] 图1a至图1e所示的实施例中,设置一个栅接触区130和一个屏蔽栅接触区140,在其他实施例中,可以根据需求设置多个栅接触区130和屏蔽栅接触区140,且栅接触区130和屏蔽栅接触区140之间可以以任意的相对位置进行设置。元胞区110在每个栅接触区130和每个屏蔽栅接触区140处均形成开口,栅接触区130和屏蔽栅接触区140将元胞区110分隔形成多个圆弧段。相应地,源区604在每个栅接触区130和每个屏蔽栅接触区140处均形成开口,栅接触区130和屏蔽栅接触区140将源区604分隔形成多个圆弧段。

[0041] 元胞区110内的圆环形的第一源极导电结构606a至少被栅接触区130隔断,在栅接触区130处形成开口。图1a至图1e所示的实施例中,元胞区110内的圆环形的第一源极导电结构606a被栅接触区130以及屏蔽栅接触区140隔断,形成圆弧段,第一源极导体结构606a与所述栅极导体结构605相互隔离。在他实施例中,元胞区110中的圆环形的第一源极导体606a还可以只被栅接触区130隔断,或者元胞区110中的圆环形的第一源极导体606a在任意

位置形成开口。

[0042] 终端区120内的圆环形的第二源极导电结构606b至少被栅接触区130隔断,在栅接触区130处形成开口。图1a至图1e所示的实施例中,终端区120内的圆环形的第二源极导电结构606b被栅接触区130隔断,在栅接触区130处形成开口。在其他实施例中,终端区120内的圆环形的第二源极导电结构606b在任意位置形成开口。

[0043] 需要说明的是,本实施例中为了方便说明,将沟槽型半导体功率器件划分为元胞区110、终端区120、栅接触区130以及屏蔽栅接触区140,实际的沟槽型半导体功率器件中,元胞区110、终端区120、栅接触区130以及屏蔽栅接触区140并不代表具体的结构,各个区域的边界线(如图1b中的红色虚线)也是为了方便说明而标注,在实际的沟槽型半导体功率器件中并不存在。

[0044] 栅介质层104、绝缘层、第一屏蔽栅介质层105、源介质层202、第二屏蔽栅介质层302,可以由SiO₂或介电常数大于SiO₂的材料构成,例如包括氧化物、氮化物、氮氧化物、硅酸盐、铝酸盐、钛酸盐。并且,栅介质层104、绝缘层、第一屏蔽栅介质层105、源介质层202、第二屏蔽栅介质层302,不仅可以由本领域的技术人员公知的材料形成,也可以采用将来开发的用于电介质的材料。第一屏蔽栅102、控制栅103、第一源极导体203a、第二屏蔽栅303,可以由能够导电的各种材料形成,例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅极导体或者是其他导电材料,例如为TaC、TiN、TaSiN、HfSiN、TiSiN、TiCN、TaAlC、TiAlN、Ta₃N、PtSix、Ni₃Si、Pt、Ru、W、和各种导电材料的组合。

[0045] 尽管未示出,沟槽型半导体功率器件还可以设置介质层、栅金属层、源金属层和漏金属层。介质层覆盖外延层602、栅沟槽结构10、源沟槽结构20以及屏蔽栅沟槽结构30表面。

[0046] 栅金属层位于介质层表面,贯穿介质层与控制栅导电结构605连接,栅金属层经由控制栅导电结构605与元胞区110中的控制栅103连接。每一圈栅沟槽结构10中的控制栅导电结构605连接至相同的栅金属层。

[0047] 源金属层位于介质层表面,源金属层贯穿介质层与第一源极导电结构606a、第二源极导电结构606b和屏蔽栅导电结构606c连接,源金属层经由第一源极导电结构606a与元胞区110中的源区604和基区603连接,经由第二源极导电结构606b与终端区120内的第一源极导体203a和基区603连接,经由屏蔽栅导电结构606c与元胞区110中的第一屏蔽栅102连接。源金属层608和栅金属层607相互分离。

[0048] 漏金属层设置于衬底601的第二表面,与衬底601连接,衬底601的第一表面和衬底601的第二表面相对。

[0049] 图2示出了本申请实施例的沟槽型半导体功率器件的版图的结构示意图;如图2所示,版图800包括元胞区810、终端区820、栅接触区830以及屏蔽栅接触区840。元胞区810为圆环形,终端区820包括设置于元胞区810内侧的第一终端区820a和设置于元胞区810外侧的第二终端区820b,第一终端区820a呈圆形,元胞区810围绕第一终端区820a;第二终端区820b呈围绕元胞区810的圆环形。

[0050] 栅接触区830呈直线形。栅接触区830至少将元胞区810隔断。于一实施例中,栅接触区830的一端设置于第一终端区820a,另一端穿过元胞区810以及第二终端区820b,延伸至第二终端区820b远离元胞区810的边缘。屏蔽栅接触区840呈直线形,屏蔽栅接触区840至少将元胞区810隔断。于一实施例中,屏蔽栅接触区840的一端设置于第一终端区820a内,另

一端穿过元胞区810到达第二终端区820b。栅接触区830和屏蔽栅接触区840将元胞区810分隔成一个或者多个圆弧段。

[0051] 版图800包括栅沟槽结构910以及源沟槽结构920,源沟槽结构920包括源沟槽结构920以及屏蔽栅沟槽结构930。

[0052] 栅沟槽结构910设置于元胞区810,并且延伸至栅接触区830中,元胞区810中的栅沟槽结构910和栅接触区830中的栅沟槽结构910共同形成圆环形,圆环形的栅沟槽结构910被屏蔽栅接触区840隔断,在屏蔽栅接触区840形成开口。栅沟槽结构910包括栅介质层914以及控制栅913,栅介质层914围绕控制栅913。

[0053] 源沟槽结构920设置于终端区820,且延伸至栅接触区830中,元胞区810中的源沟槽结构920和栅接触区830中的源沟槽结构920共同形成圆环形;位于终端区820最内圈的源沟槽结构920为圆形。源沟槽结构920包括源介质层922和源极导体923;源介质层922围绕源极导体923。

[0054] 屏蔽栅沟槽结构930设置于屏蔽栅接触区840中,屏蔽栅沟槽结构930位于栅沟槽结构910的开口处,填充栅沟槽结构910的开口,与栅沟槽结构910共同形成圆环形。屏蔽栅沟槽结构930包括第二屏蔽栅介质层932和第二屏蔽栅933;第二屏蔽栅933与控制栅913经由栅介质层914隔离,第二屏蔽栅介质层932和栅介质层914共同围绕第二屏蔽栅933。

[0055] 沟槽型半导体功率器件100包括控制栅导电结构950以及源极导电结构960。

[0056] 控制栅导电结构950设置于栅接触区830。在栅接触区830内,控制栅导电结构950位于栅沟槽结构910的控制栅913中。元胞区810中设置多圈栅沟槽结构910时,每一圈栅沟槽10内设置一个控制栅导电结构950。

[0057] 源极导电结构960包括位于元胞区810中的第一源极导电结构960a、位于终端区120中的第二源极导电结构960b和位于屏蔽栅接触区840中的屏蔽栅导电结构960c。

[0058] 第一源极导电结构960a设置于元胞区810内,位于相邻的栅沟槽结构910之间,第一源极导电结构960a配合圆环形的基区603和源区604设置为圆环形,第一源极导电结构960a与栅沟槽结构910交替排列,且第一源极导电结构960a与栅沟槽结构910之间相互隔离。圆环形的第一源极导电结构960a被栅接触区830以及屏蔽栅接触区840隔断,形成圆弧段,第一源极导体结构906a与所述栅极导体结构950相互隔离。

[0059] 第二源极导电结构960b设置于终端区120内,第二源极导电结构960b位于源沟槽结构920的源极导体923内部。第二源极导电结构960b配合圆环形的源沟槽结构920设置为圆环形,圆环形的第二源极导电结构960b被栅接触区830隔断,形成圆弧段。第二源极导电结构960b还可以设置为圆形,方形等。第二源极导体结构960b与所述栅极导体结构950相互隔离。

[0060] 进一步地,第二源极导电结构960b还设置于相邻的源沟槽结构之间,以及相邻的栅沟槽结构910和源沟槽结构920之间,第二源极导电结构960b与源沟槽结构920和栅沟槽结构910隔离。圆环形的第二源极导电结构960b被栅接触区830和屏蔽栅接触区840隔断,形成圆弧段。

[0061] 屏蔽栅导电结构960c设置于屏蔽栅接触区120内,屏蔽栅导电结构960c位于屏蔽栅沟槽结构930中。屏蔽栅导电结构960c与栅极导体结构950相互隔离。

[0062] 依照本申请的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不

限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本申请的原理和实际应用,从而使所属技术领域技术人员能很好地利用本申请以及在本申请基础上的修改使用。本申请仅受权利要求书及其全部范围和等效物的限制。

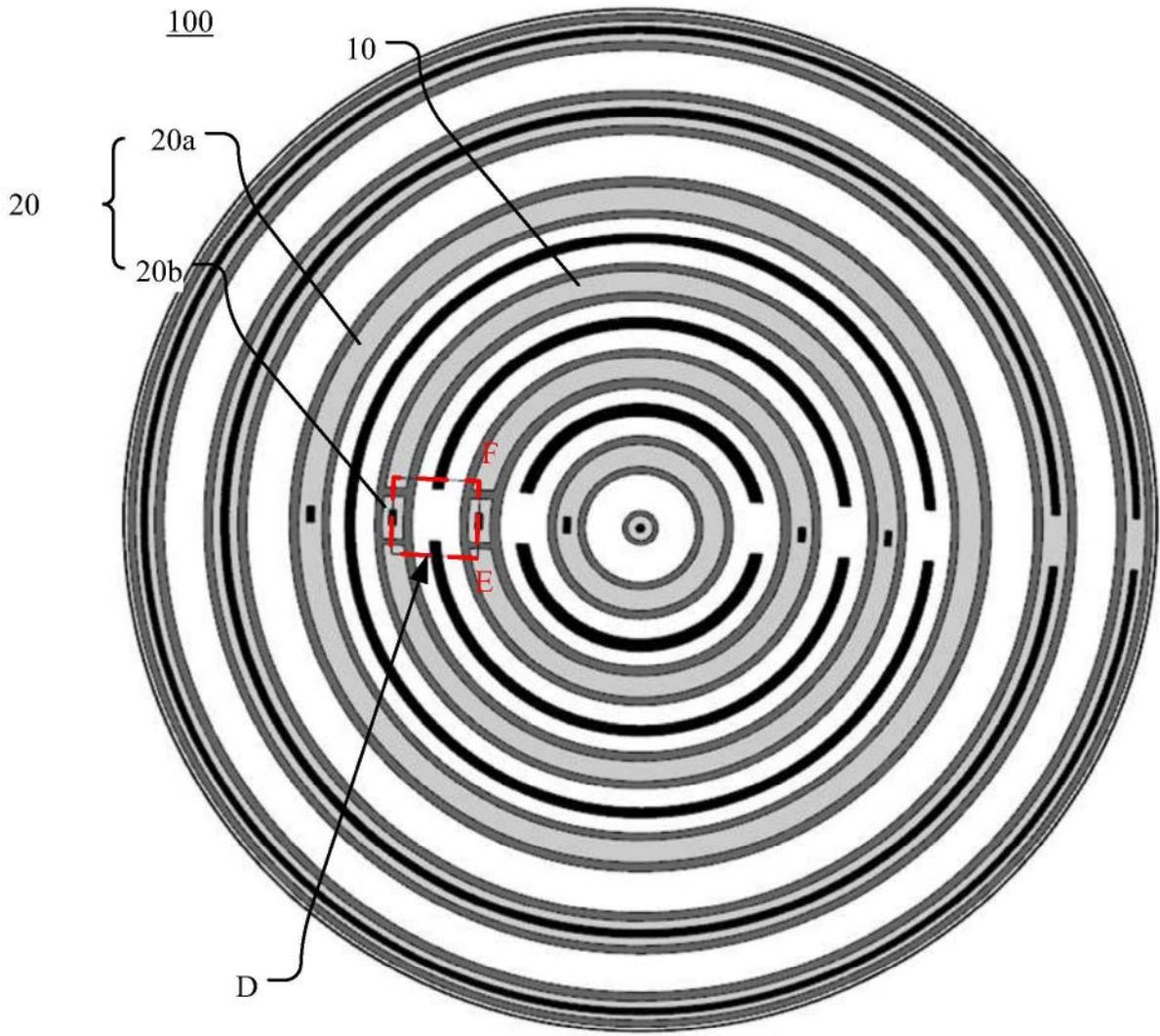


图1a

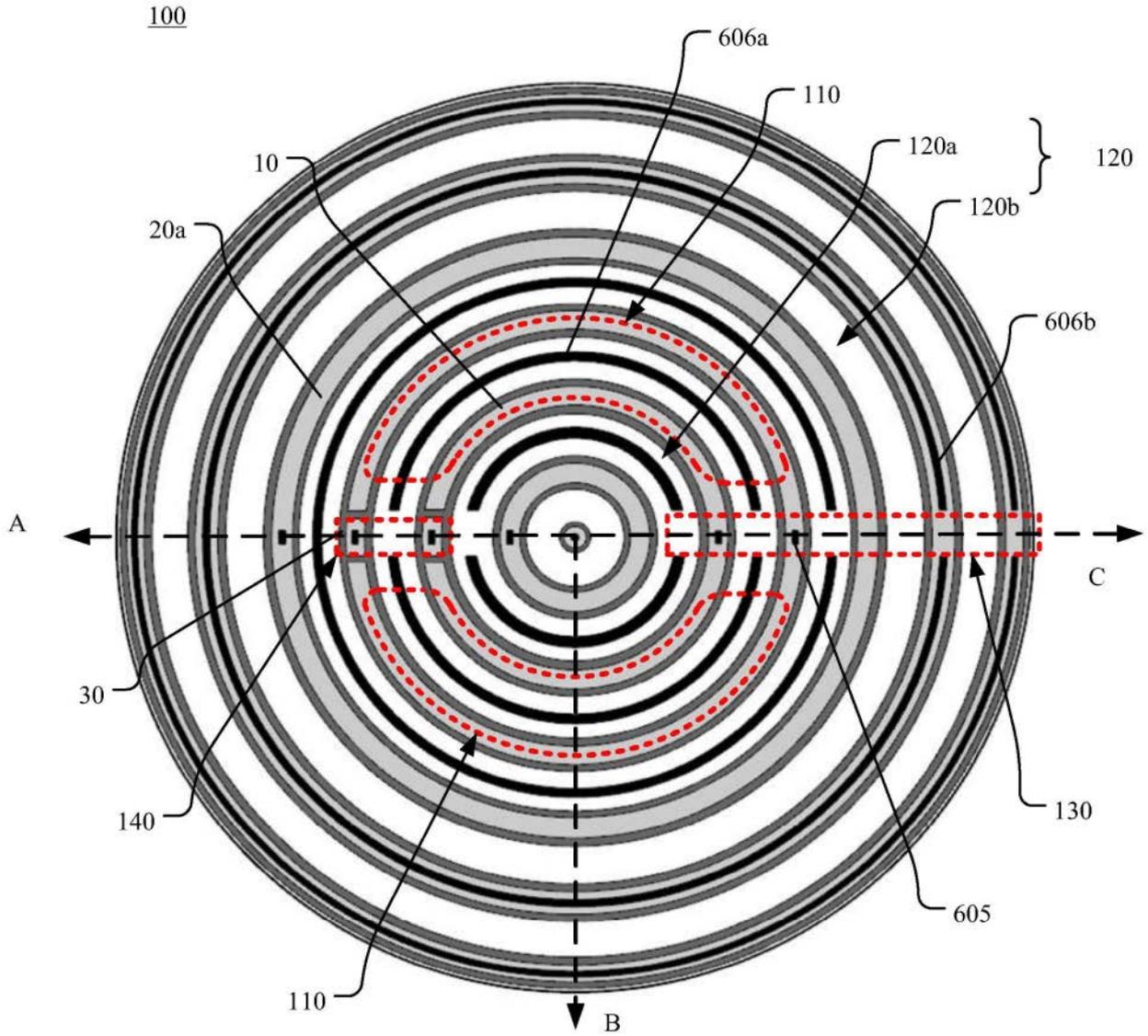


图1b

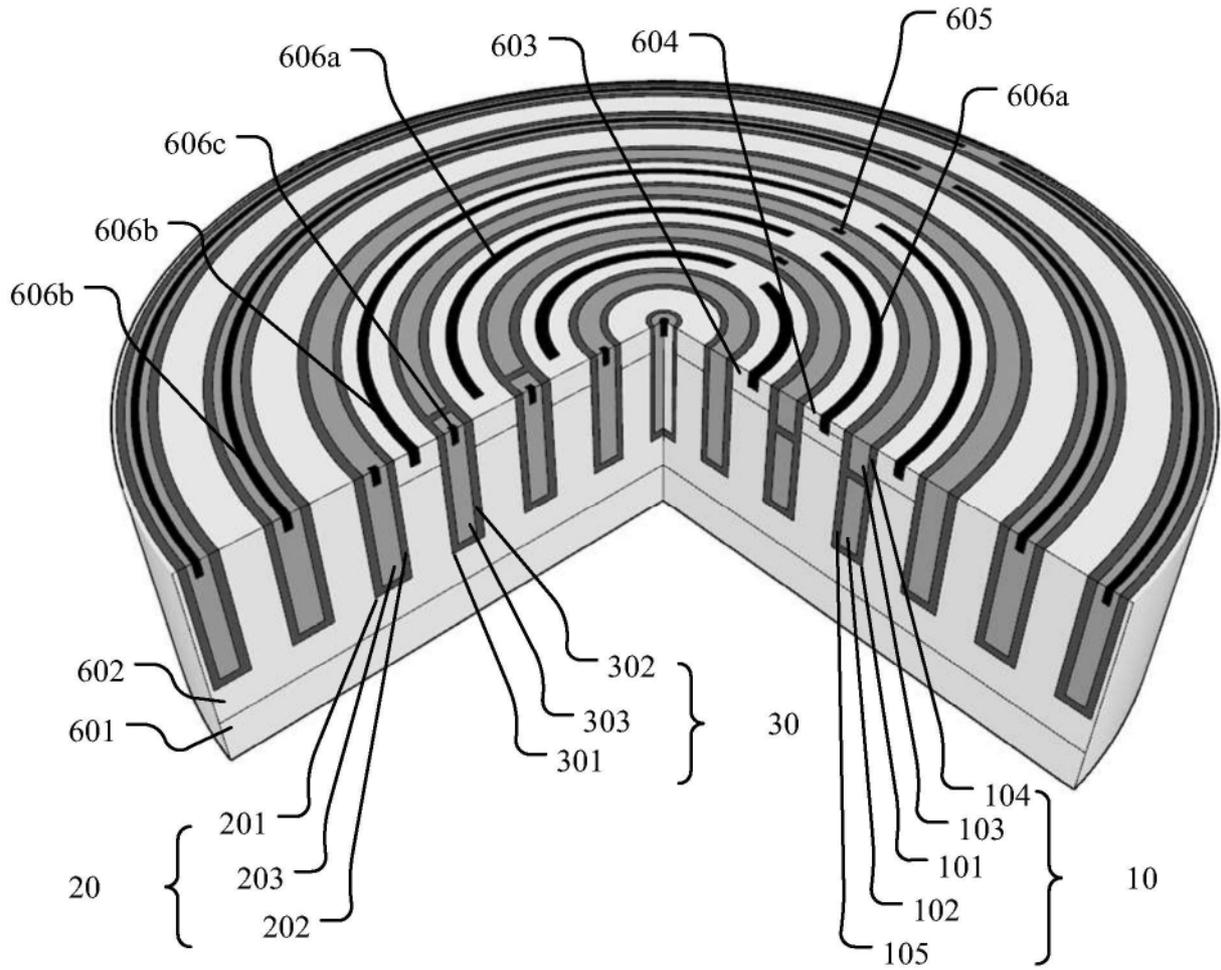


图1c

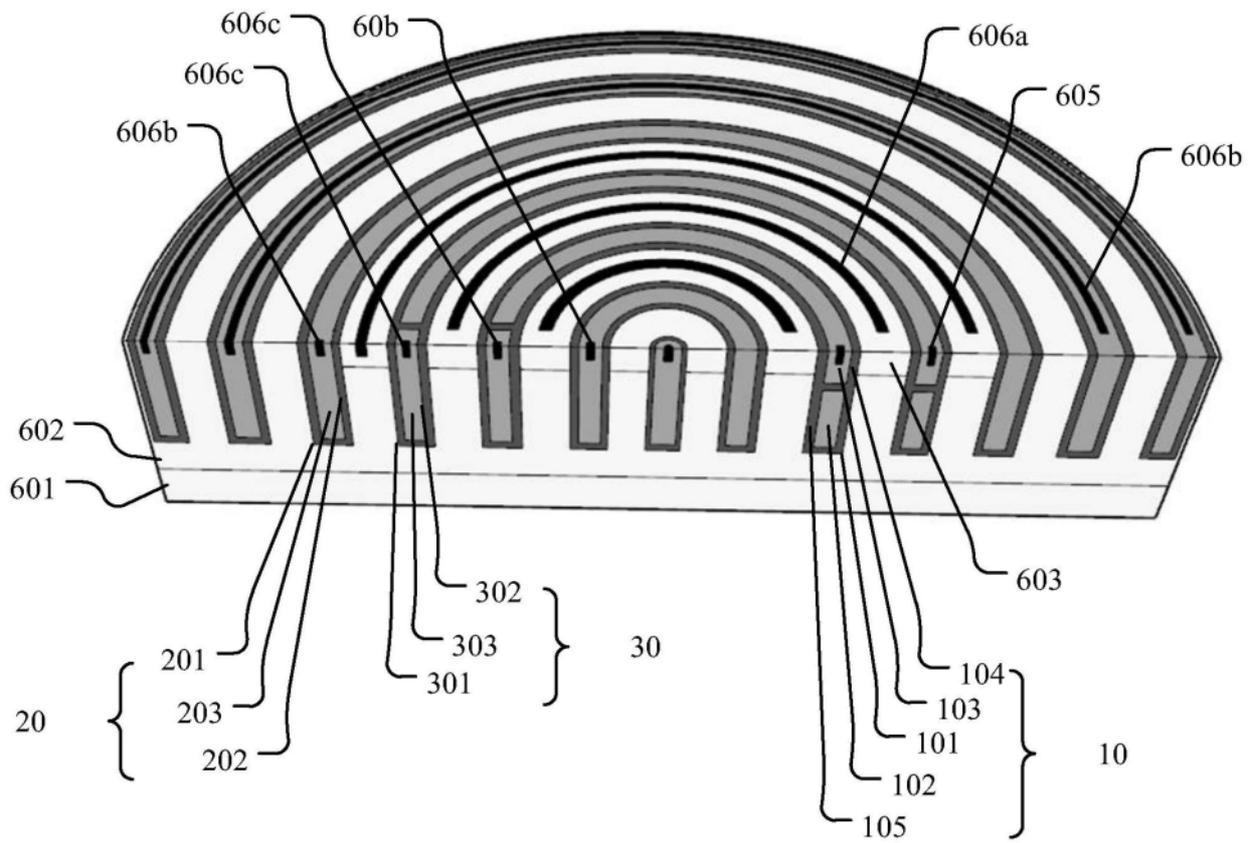


图1d

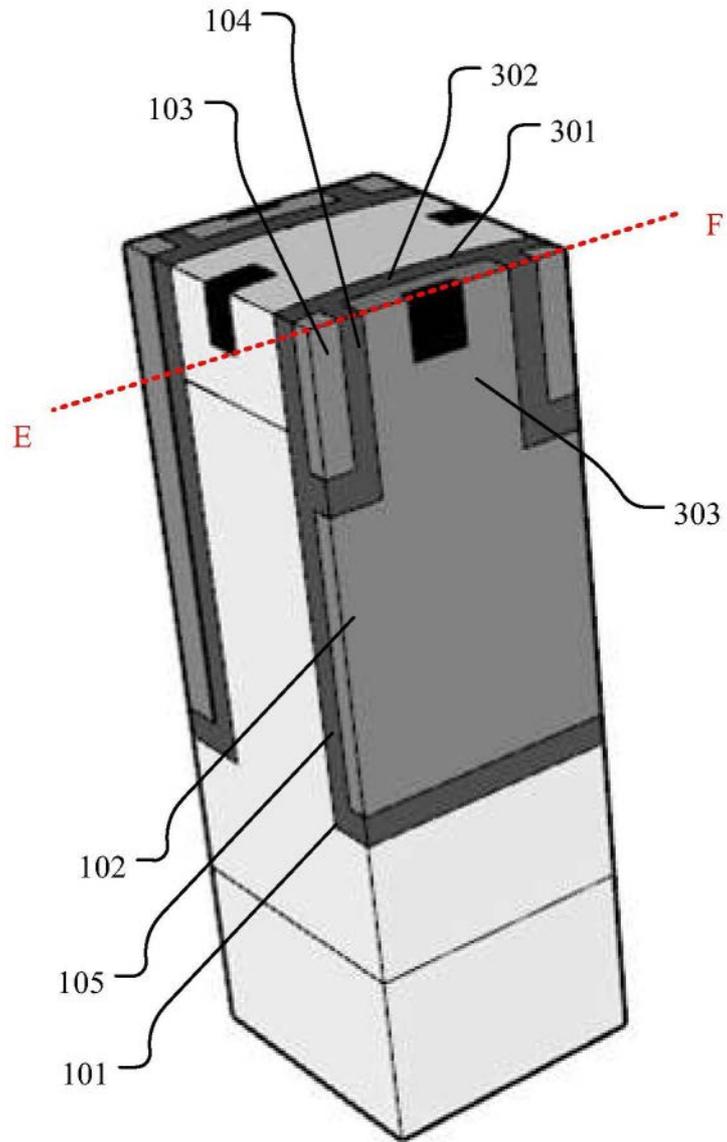


图1e

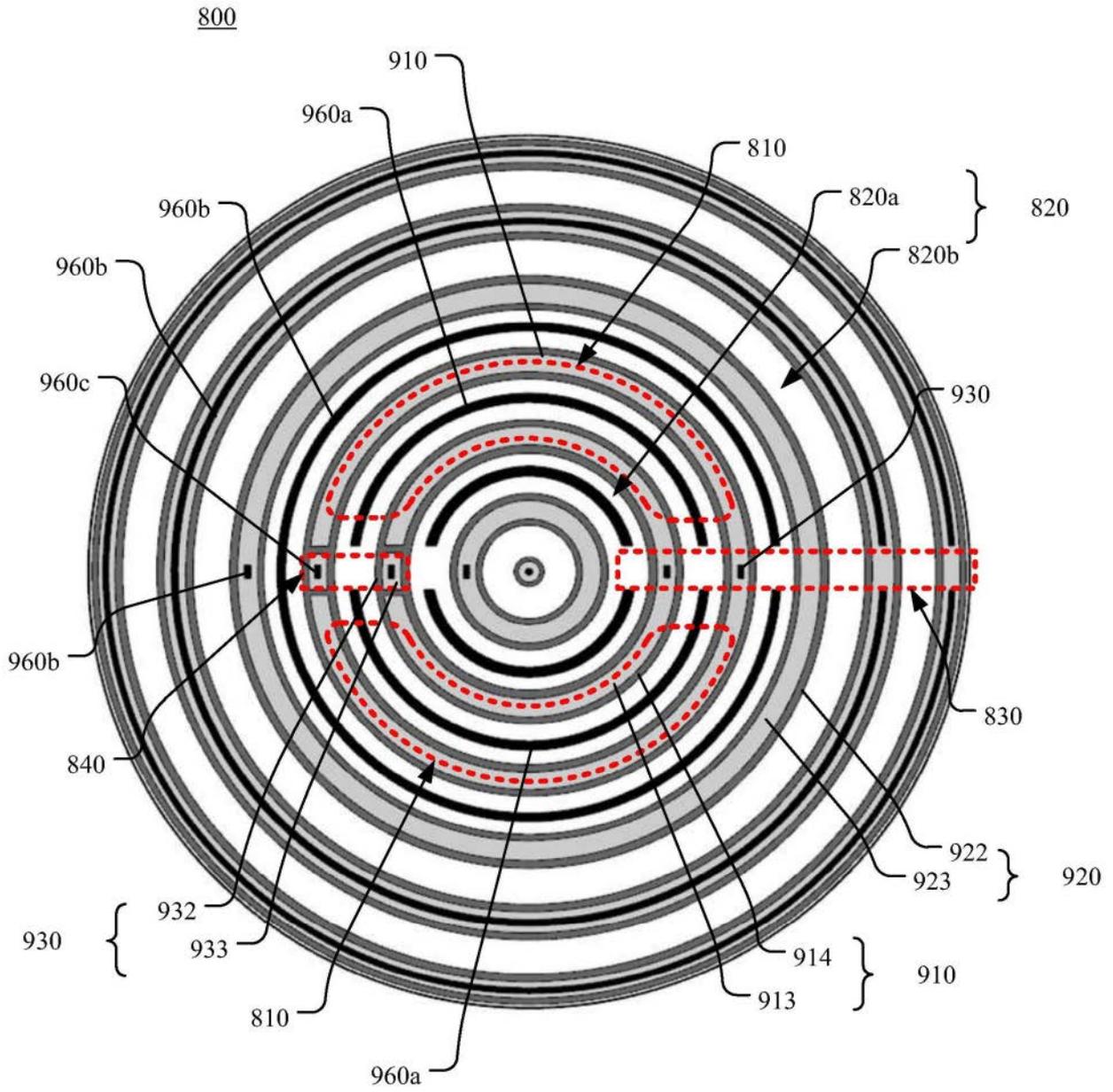


图2