



(12) 发明专利申请

(10) 申请公布号 CN 101728273 A

(43) 申请公布日 2010.06.09

(21) 申请号 200910134815.8

H01L 29/49 (2006.01)

(22) 申请日 2009.04.09

(30) 优先权数据

12/253,741 2008.10.17 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 洪正隆 侯永田 顾克强 黄建豪

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 21/265 (2006.01)

H01L 21/324 (2006.01)

H01L 29/78 (2006.01)

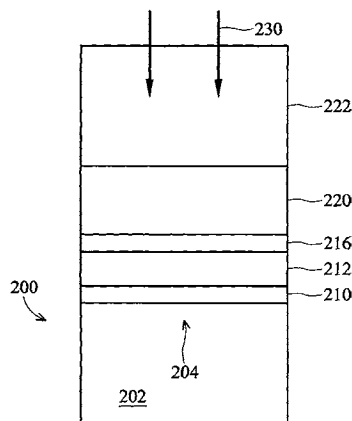
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

半导体元件及其制造方法

(57) 摘要

本发明提供一种半导体元件及其制造方法,该方法包含在一半导体基材上形成一高介电常数介电层;在该介电常数介电层上形成一盖层;在该盖层上形成一金属层;该金属层上形成一半导体层;在该半导体层上进行注入工艺,其使用包含氟的杂质;图案化该高介电常数介电层、该盖层、该金属层及该半导体层,以形成一栅极结构。本发明可增强同时拥有 NMOS 和 PMOS 的半导体元件的性能和可靠度,可轻易的和现有的 CMOS 技术工艺和半导体设备做整合,使用该含氟杂质掺杂物的注入工艺和进行活化的退火工艺对于现有的半导体工艺来说合适且容易。



1. 一种半导体元件的制造方法,包含如下步骤:  
在一半导体基材上形成一高介电常数介电层;  
在该高介电常数介电层上形成一盖层;  
在该盖层上形成一金属层;  
在该金属层上形成一半导体层;  
在该半导体层上进行一注入工艺,该注入工艺使用包含氟的杂质;及  
图案化该高介电常数介电层、该盖层、该金属层和该半导体层以形成一栅极结构。
2. 如权利要求 1 所述的半导体元件的制造方法,其中该杂质包含氟、二氟化硼、氟化硼或前述的组合。
3. 如权利要求 1 所述的半导体元件的制造方法,其中该注入工艺的能量范围为约 2 到 20KeV 及剂量范围约从  $1E14$  到  $1E16atoms/cm^2$ 。
4. 如权利要求 1 所述的半导体元件的制造方法,注入工艺包含等离子体技术和浸入式离子注入技术其中之一。
5. 如权利要求 1 所述的半导体元件的制造方法,还包含在进行注入工艺之后,使用一快速热退火、炉管退火、闪灯退火、激光瞬间退火或前述的组合来进行活化;及  
其中该退火工艺的温度范围约从 600 到  $1100^{\circ}C$ 。
6. 如权利要求 1 所述的半导体元件的制造方法,还包含在该基材和该高介电常数介电层之间形成一界面层。
7. 一种半导体元件的制造方法,包含如下步骤:  
在一半导体基材上形成一界面层;  
在该界面层上形成一盖层;  
在该盖层上形成一高介电常数介电层;  
在该高介电常数介电层上形成一金属层;  
在该金属层上形成一多晶硅层;  
在该多晶硅层上进行一注入工艺,该注入工艺使用一含氟的掺杂物;及  
图案化该界面层、该盖层、该高介电常数介电层、该金属层及该多晶硅层,以形成一栅极结构。
8. 如权利要求 7 所述的半导体元件的制造方法,其中该掺杂物包含氟、二氟化硼、氟化硼或前述的组合。
9. 如权利要求 7 所述的半导体元件的制造方法,其中该注入工艺的能量范围约从 2 到 20KeV 及剂量范围约从  $1E14$  到  $1E16atoms/cm^2$ 。
10. 如权利要求 7 所述的半导体元件的制造方法,注入工艺包含等离子体技术和浸入式离子注入技术其中之一。
11. 如权利要求 7 所述的半导体元件的制造方法,还包含在进行注入工艺之后,使用一快速热退火、炉管退火、闪灯退火、激光瞬间退火或前述的组合来进行活化;及  
其中该退火工艺的温度范围约从 600 到  $1100^{\circ}C$ 。
12. 一种半导体元件,包含一半导体基材和一晶体管于该基材中,该晶体管具有一栅极堆叠,包含:  
一界面层,形成于该半导体基材上;

- 一高介电常数介电层,形成于该界面层上;
  - 一金属层,形成于该高介电常数介电层上;
  - 一盖层,形成于该界面层和高介电常数介电层之间或该高介电常数介电层和该金属层之间;
  - 一掺杂层,形成于该金属层上,该掺杂层至少包含氟。
13. 如权利要求 12 所述的半导体元件,其中该盖层包含氮化铝、铝、铝氧化物其中之一或前述的组合。
14. 如权利要求 12 所述的半导体元件,其中该掺杂层的掺杂物包含氟、二氟化硼、氟化硼或前述的组合。
15. 如权利要求 12 所述的半导体元件,其中该界面层包含二氧化硅。

## 半导体元件及其制造方法

### 技术领域

[0001] 本发明涉及半导体装置及其制造方法,尤其涉及以注入方法降低半导体装置中金属栅极元件的临界电压的方法。

### 背景技术

[0002] 半导体集成电路(IC)产业已经历过快速的成长。IC材料和设计的技术进步使得IC的生产世代不停地推新,每个世代都较前个世代有更小及更复杂的电路。然而,这些进步也增加了制造IC工艺的复杂性,因此IC工艺也需要有同样的进展才能实现更先进的集成电路IC工艺。

[0003] 在集成电路的革新过程中,功能密度(也即每个芯片区域上互连装置的数量)已普遍的增加且几何图案尺寸(也即在工艺中所能创造的最小元件或线)越来越小。这些尺度下降的工艺通常能增加产品效能和提供较低的相关成本。但某些尺度的下降也产生一相对较高的功率消耗(power dissipation)值,其可用低功率消耗的元件例如互补型金属氧化物半导体(CMOS)元件来处理。

[0004] 依照元件缩小化的趋势,各种材料被应用在CMOS的栅极电极(gate electrode)和栅极介电层(gate dielectric)。例如,可使用一金属材料当栅极电极和一高介电常数介电质当栅极介电层。然而,n型MOS(NMOS)元件和p型MOS(PMOS)元件需要不同的功函数(work function)来对应它们的栅极电极。目前已有许多同时达成金属栅极的n和p的功函数。然而可以观察到,由于有效功函数(effective work function)不足及p型金属热稳定性不佳,在PMOS元件的半导体工艺中,临界电压(threshold voltage)可能会增大且载流子(carrier)移动率变差。

[0005] 因此,业界需要的是运用注入的方法来降低一高介电常数金属栅极元件的临界电压。

### 发明内容

[0006] 本发明为了解决现有技术的问题而提供一种半导体元件的制造方法,包含:在一半导体基材上形成一高介电常数介电层;在该高介电常数介电层上形成一盖层(capping layer);在该盖层上形成一金属层;在该金属层上形成一半导体层;在该半导体层上进行一注入工艺,该注入工艺使用包含氟的杂质;及图案化该高介电常数介电层、该盖层、该金属层和该半导体层以形成一栅极结构。

[0007] 本发明也提供一种半导体元件的制造方法,包含:在一半导体基材上形成一界面层;在该界面层上形成一盖层;在该盖层上形成一高介电常数介电层;在该高介电常数介电层上形成一金属层;在该金属层上形成一多晶硅层;在该多晶硅层上进行一注入工艺,该注入工艺使用一含氟的掺杂物(dopant);及图案化该界面层、该盖层、该高介电常数介电层、该金属层及该多晶硅层,以形成一栅极结构。

[0008] 另外,本发明提供一种半导体元件,包含一半导体基材和一晶体管于该基材中,该

晶体管具有一栅极堆叠,包含:一界面层,形成于该半导体基材上;一高介电常数介电层,形成于该界面层上;一金属层,形成于该高介电常数介电层上;一盖层,形成于该界面层和高介电常数介电层之间或该高介电常数介电层和该金属层之间;一掺杂层(doped layer),形成于该金属层上,该掺杂层至少包含氟。

[0009] 本发明的方法提供了一简单且节省的方法来减少 PMOS 元件的临界电压并且增进了载流子(carrier)的移动率。因此,可增强同时拥有 NMOS 和 PMOS 的半导体元件的性能和可靠度。另外,本发明的方法和元件可轻易的和现有的 CMOS 技术工艺和半导体设备做整合,使用该含氟杂质掺杂物的注入工艺和进行活化的退火工艺对于现有的半导体工艺来说合适且容易。

### 附图说明

[0010] 图 1 为本发明制造一半导体元件的流程示意图,用来说明本发明的高介电常数金属栅极的工艺。

[0011] 图 2 为依照图 1 的方法制造一半导体元件的剖面图。

[0012] 图 3 为本发明一实施例的一半导体元件的剖面图。

[0013] 其中,附图标记说明如下:

[0014] 200 ~ 半导体元件;202 ~ 半导体基材;204 ~ PMOS 元件;210 ~ 界面层;212 ~ 高介电常数介电层;216 ~ 盖层;220 ~ 金属层;222 ~ 半导体层;230 ~ 注入工艺;314 ~ 介于界面层和高介电常数介电层之间的盖层。

### 具体实施方式

[0015] 本发明提供一含高介电常数介电层和金属栅极的半导体元件的制造方法 100,其流程如图 1 所示。图 2 为依图 1 方法 100 制造该半导体元件的剖面示意图。图 1 和图 2 已经过简化来强调 PMOS 元件的栅极结构,以更清楚的说明本实施例的发明概念。本方法 100 可借由通过复晶层(poly layer)的注入工艺使 PMOS 元件的平带电压(flat band voltage)移向一 p 型功函数金属(p-metal)来改善效能。

[0016] 本方法 100 首先为提供一半导体基材,如步骤 110。该半导体元件 200 可包含一半导体基材 202 例如硅基材。该基材 202 可替换为硅化锗(silicongermanium)、镓化砷(gallium arsenic)或其他合适的半导体材料。该基材 202 可进一步包含其他特征像是各种掺杂区域,例如 p 阱(p-well)或 n 阱(n-well)、深埋层(buried layer)及/或外延层(epitaxy layer)。更进一步的,该基材 202 可为一在绝缘体上的半导体,例如绝缘层上覆硅(Silicon on Insulator;SOI)。在其他实施例中,该半导体基材 202 可包含一掺杂的外延层(epi layer)、一梯度半导体层(gradient semiconductor)及/或还可包含一半导体层叠在另一不同形态的半导体层上,例如一硅层叠在硅化锗层上。在其他例子中,一化合物半导体基材可包含多层硅结构或一硅基材可包含多层化合物半导体结构。

[0017] 该半导体元件 200 可进一步包含一隔离结构(图中未显示)像是在该基材 202 中形成浅沟槽隔离(STI)以隔离有源区。该隔离结构可由公知的二氧化硅、氮化硅(silicon nitride)、氟掺杂硅酸盐(FSG)及/或一高介电常数介电层形成。有源区可形成像是 NMOS 元件和 PMOS 元件,虽然图 2 只显示 PMOS 元件 204。

[0018] 该半导体元件 200 可进一步包含一界面层 210, 形于在该基材 202 上。界面层 210 可包含厚度约为 6-8 埃( $\text{\AA}$ )的二氧化硅层。界面层 210 可由原子层沉积 (ALD)、化学气相沉积 (CVD) 或其他适合的工艺形成。接着, 在基材上形成一高介电常数介电层, 如步骤 120。半导体元件 200 可进一步包含一高介电常数介电层, 形成于界面层 210 上。高介电常数介电层 212 可由原子层沉积 (ALD)、化学气相沉积 (CVD)、有机金属气相沉积 (MOCVD)、物理气相沉积 (PVD) 或前述的组合或其他各种适合的沉积技术形成。高介电常数介电层 212 的厚度范围约从 5 到 25 埃( $\text{\AA}$ )。高介电常数介电层可包含例如二氧化铪 ( $\text{HfO}_2$ ) 的铪化合物材料。或者, 高介电常数介电层可选择性的包含其他高介电常数介电材料像是  $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTaTiO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{HfAlON}$  或前述的组合。

[0019] 接着, 在高介电常数介电层上形成一盖层, 如步骤 130。半导体元件 200 可进一步包含一盖层以调控功函数 (对栅极电极) 使 NMOS 元件 (图中未显示) 或 PMOS 元件 204 有适当的效能。例如, 一盖层 216 像是氧化铝可形成在 PMOS 元件 204 中的高介电常数介电层 212 上。或者, 盖层 216 可选择性的包含氮化铝 (AlN)、铝、铝氧化物或前述的组合。盖层 216 厚度约为 2-10 埃( $\text{\AA}$ )。盖层 216 可由原子层沉积 (ALD)、化学气相沉积 (CVD)、有机金属气相沉积 (MOCVD)、物理气相沉积 (PVD) 或前述的组合或其他各种适合的沉积技术形成。

[0020] 接着, 在盖层上形成一金属层, 如步骤 140。半导体元件 100 可进一步包含一金属层 220, 形成于盖层 216 上。金属层 220 可包含各种金属例如 TiN、TiAlN、TaN、WN 或其他适合的金属。金属层 220 的厚度约从 20 到 200 埃( $\text{\AA}$ )。金属层 220 可由各种沉积技术例如原子层沉积 (ALD)、化学气相沉积 (CVD) 或溅镀 (sputtering)、电镀 (plating) 或其他适合的沉积技术形成。

[0021] 接着, 用一适当的工艺使多晶硅 (或复晶) 层 (polysilicon or poly layer) 222 形成在金属层 220 上, 如步骤 150。多晶硅层的厚度约为 200-1000 埃( $\text{\AA}$ )。

[0022] 接着, 在多晶硅层上进行含氟杂质 (species) 的注入工艺 (implantation process), 如步骤 160。注入工艺 230 含一氟掺杂物, 可在多晶硅 (或复晶) 层 222 上进行。例如, 该掺杂物可包含氟、二氟化硼 ( $\text{BF}_2$ )、氟化硼 (BF)、含氟的杂质或前述的组合。注入工艺 230 可包含下列工艺参数: 能量范围为约从 2 到 20Kev (在复晶层厚度为 800 埃时, 能量为 15KeV 较佳) 和剂量范围约从  $1\text{E}14$  到  $1\text{E}16\text{atoms}/\text{cm}^2$  ( $1\text{E}15\text{atoms}/\text{cm}^2$  较佳)。另外, 注入工艺 230 可包含一等离子体技术或浸入式离子注入技术。值得注意的是在 PMOS 元件 204 中的复晶层 222 上进行注入工艺 230 的期间, 可借由一图案化的光致抗蚀剂层保护 NMOS 元件 (图中未显示) 中的复晶层。该图案化的光致抗蚀剂层可由光刻技术 (photolithography)、浸入式光刻技术 (immersion photolithography) 或其他合适的工艺形成。

[0023] 接着, 使用一退火工艺 (annealing process) 来进行活化, 如步骤 170。在进行完注入工艺 230 后, 使用一退火工艺来进行活化。在退火期间, 该含氟杂质 (species) 的掺杂物可扩散进入金属栅极层和高介电常数介电层。该退火工艺的温度范围从约从 600 到  $1100^\circ\text{C}$  ( $1000^\circ\text{C}$  较佳)。

[0024] 接着, 在各层形成栅极堆叠, 如步骤 180。使栅极结构图案化的示范方法描述如下。借由一合适的工艺例如旋转涂布使光致抗蚀剂层形成在多晶硅层上, 接着利用一适当的光

刻成形 (lithography patterning) 方法来形成一图案化的光致抗蚀剂。经过一连串的工艺步骤及各种适当程序,该光致抗蚀剂层的图案可借由干式或湿式蚀刻工艺转移到底下的复晶层 222、金属层 220、高介电常数介电层 212 和界面层 210。之后,使用公知适当的工艺来剥除该光致抗蚀剂层。在其他实施例中,可在复晶层 222 上形成并使用一硬掩模层 (hard mask)。图案化的光致抗蚀剂层形成在硬掩模层上。先将光致抗蚀剂层的图案转移到硬掩模层再转移到底下的材料层以形成栅极结构。硬掩模层可包含氮化硅 (silicon nitride)、氮氧化硅 (silicon oxynitride)、碳化硅 (siliconcarbide) 及 / 或其他适合的介电材料。硬掩模层可利用化学气相沉积 (CVD) 或物理气相沉积 (PVD) 的方法来形成。在 PMOS 元件 204 中的栅极堆积可包含界面层、高介电常数介电层、盖层、金属栅极层和多晶硅层。

[0025] 之后,半导体元件 200 可继续进行 CMOS 的工艺流程来形成各种结构,像是轻掺杂漏极 (lightly doped drain regions;LDD)、栅极堆积上的侧壁间隔物 (sidewall spacers)、源 / 漏极区域 (包含硅化锗)、金属硅化物 (silicide)、接触点 (contacts)/ 通孔 (vias)、内连线层 (interconnect layers)、金属层、内层介电质 (interlayer dielectric)、钝化层 (passivation layer) 等等。例如,在该基材上可用离子注入工艺和可用 (自我对准) 栅极堆积形成轻掺杂源 / 漏极区域 (light dopedsource/drain regions)。在 PMOS 元件的栅极堆积的两侧形成 p 型的轻掺杂漏极区域 (使用 p 型掺杂物例如硼)。在 NMOS 元件的栅极堆积的两侧形成 n 型的轻掺杂漏极区域 (使用 n 型掺杂物例如磷或砷) 也为已公知的。在另一个例子中,侧壁或栅极间隔物均可在该 PMOS 和 NOMOS 元件中栅极堆积的两侧形成。侧壁间隔物可选择性的包含氮化硅 (silicon nitride)、碳化硅 (siliconcarbide)、氮氧化硅 (silicon oxynitride) 或前述的组合,在某些实施例中,该侧壁间隔物可包含一多层结构。该侧壁间隔物可用沉积与蚀刻 (非等向性蚀刻技术; anisotropic etching technique) 的方式来形成。

[0026] 值得注意的是借由注入一含氟杂质的掺杂物到复晶层 222 中,该栅极结构的平带电压 (flat band) 可移向一 p 功函数金属 (p 型金属)。也就是说 PMOS 元件的有效功函数可由注入工艺来做调整。因此,可降低 PMOS 的临界电压  $V_t$  和增加载流子 (carrier) 移动率并增加元件的效能和可靠度。虽然上述的例子中描述注入工艺 230 是在复晶层 222 沉积之后、栅极图案化或蚀刻之前进行,但也可在栅极图案化或蚀刻之后进行。

[0027] 本发明另一实施例的含高介电常数和金属栅极的半导体元件 300 的剖面图如图 3 所示。半导体元件 300 除了盖层外,其余的配置均近似于图 2 的半导体元件 200。为了简化起见,图 2 和图 3 会有许多相同的元件使用同样的符号。半导体元件 300 可包含在界面层 210 和高介电常数介电层 212 之间形成一盖层 314,而非如图 2 中所示,在高介电常数介电层 212 和金属层 220 之间。半导体元件 300 的制造方法类似于图 1 中的方法 100,除了在界面层 210 上形成盖层 314,然后再于高介电常数介电层 210 上形成金属层 220,之后进行的工艺均与图 1 中步骤 150-180 相同。

[0028] 在众多实施例中,本发明达到了不同的优点。例如,本发明的方法提供了一简单且节省的方法来减少 PMOS 元件的临界电压并且增进了载流子 (carrier) 的移动率。因此,可增强同时拥有 NMOS 和 PMOS 的半导体元件的效能和可靠度。另外,本发明的方法和元件可轻易的和现有的 CMOS 技术工艺和半导体设备做整合,使用该含氟杂质掺杂物的注入工艺和进行活化的退火工艺对于现有的半导体工艺来说合适且容易。

[0029] 虽然本发明已以数个优选实施例揭示如上,然其并非用以限定本发明,任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可作任意的更动与润饰,因此本发明的保护范围当视所附的权利要求所界定的范围为准。



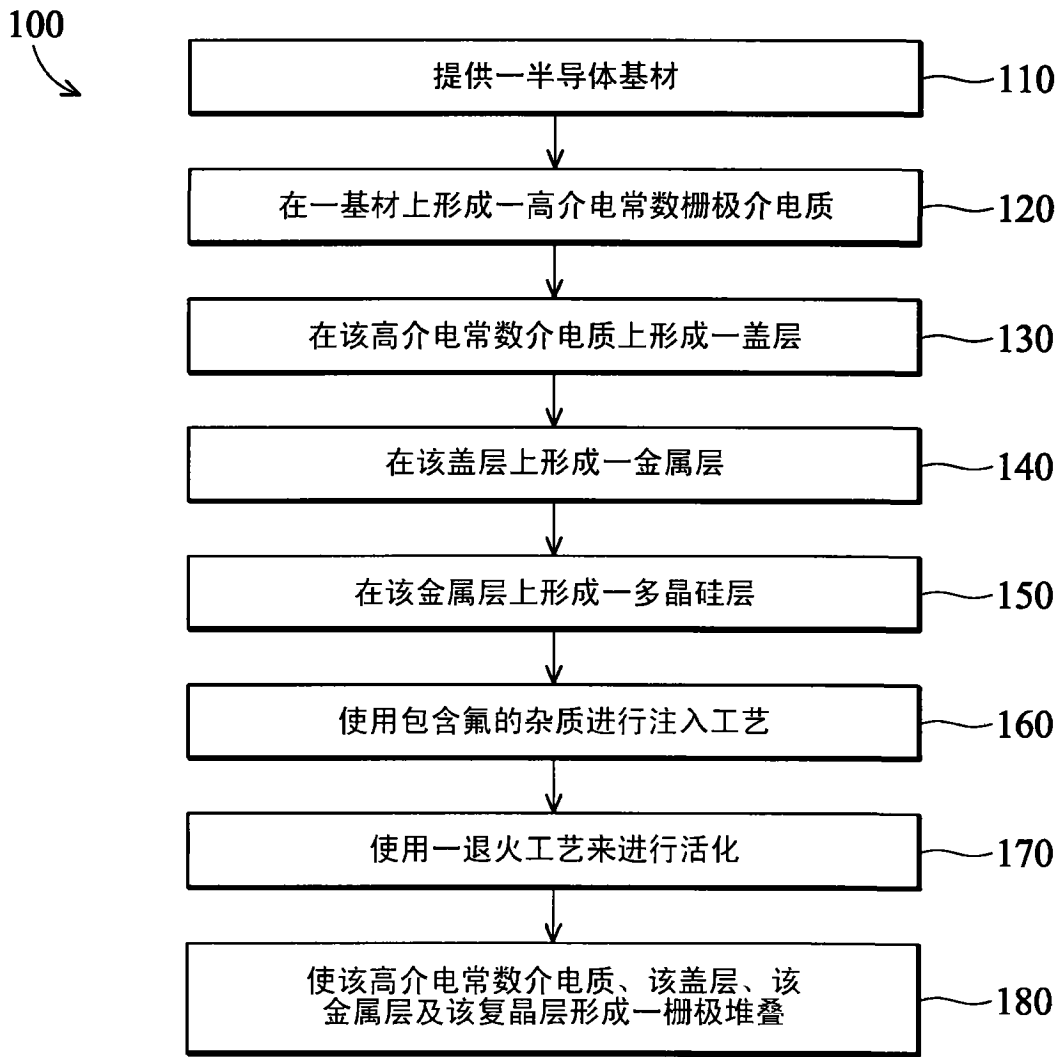


图 1

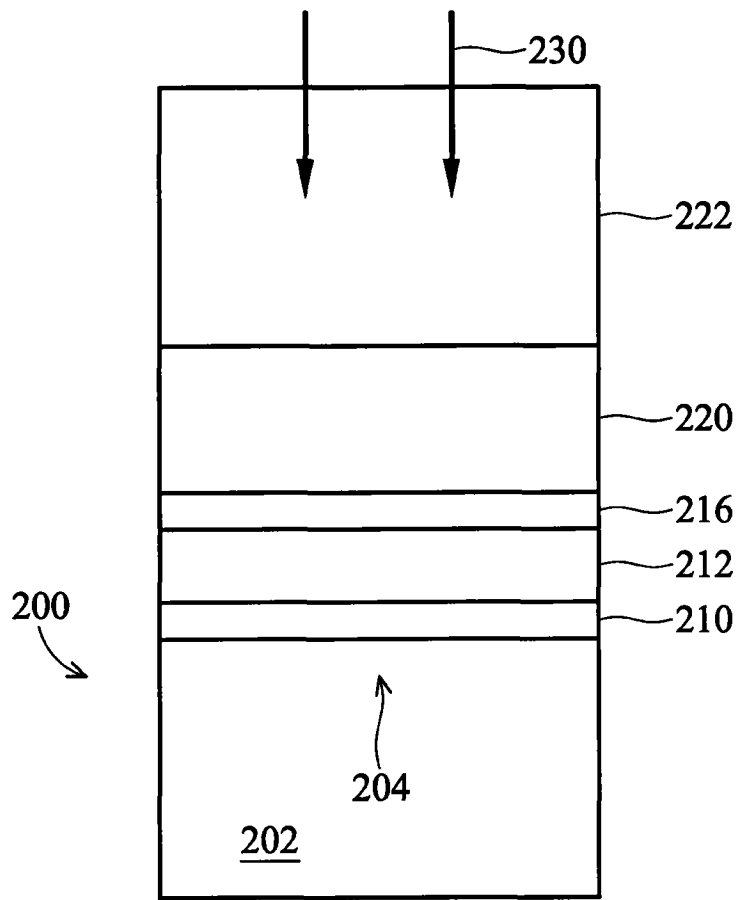


图 2

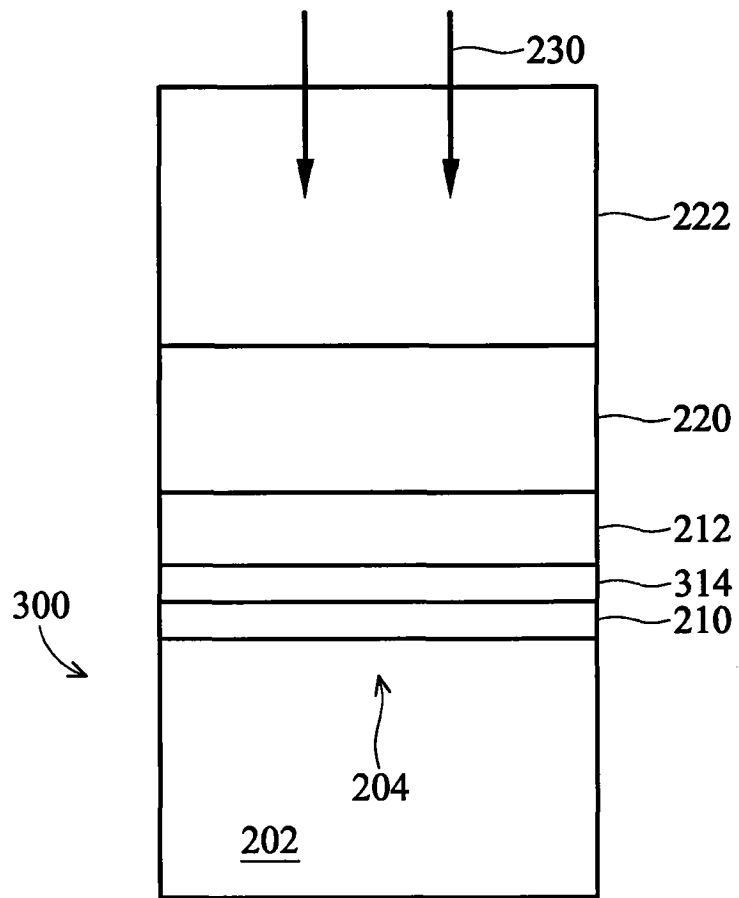


图 3