



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년04월27일  
 (11) 등록번호 10-0954946  
 (24) 등록일자 2010년04월19일

(51) Int. Cl.

G11C 16/14 (2006.01) G11C 16/16 (2006.01)

G11C 16/34 (2006.01) G11C 16/24 (2006.01)

(21) 출원번호 10-2008-0046604

(22) 출원일자 2008년05월20일

심사청구일자 2008년05월20일

(65) 공개번호 10-2009-0120677

(43) 공개일자 2009년11월25일

(56) 선행기술조사문헌

KR1020060070030 A\*

KR1020080007553 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박영수

서울 강남구 압구정동 현대아파트 61동 606호

(74) 대리인

신영무

전체 청구항 수 : 총 11 항

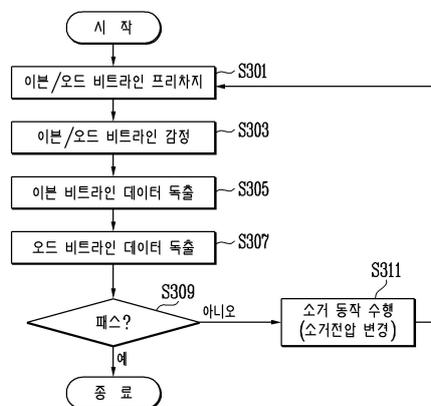
심사관 : 손윤식

**(54) 불휘발성 메모리 소자의 소거 방법**

**(57) 요약**

본 발명은 불휘발성 메모리 소자의 소거에 관한 것으로, 선택된 메모리 블록을 소거하는 단계; 상기 메모리 블록의 모든 비트라인을 프리차지하고, 메모리 셀들의 소거 상태에 따라 상기 모든 비트라인들의 전압 레벨 변경이 감지되는 단계; 상기 모든 비트라인들 중, 제 1 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계; 상기 제 1 비트라인의 데이터 독출에 연속하여, 제 2 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계; 및 상기 독출 결과에 따른 소거 검증 결과를 판단하는 단계를 포함한다.

**대표도 - 도3**



## 특허청구의 범위

### 청구항 1

선택된 메모리 블록을 소거하는 단계;

상기 메모리 블록의 모든 비트라인을 프리차지하고, 메모리 셀들의 소거 상태에 따라 상기 모든 비트라인들의 전압 레벨 변경이 감정되는 단계;

상기 모든 비트라인들 중, 제 1 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계;

상기 제 1 비트라인의 데이터 독출에 연속하여, 제 2 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계; 및

상기 독출 결과에 따른 소거 검증 결과를 판단하는 단계;

를 포함하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 2

제 1항에 있어서,

상기 소거 검증결과가 패스되면, 소프트 프로그램 및 검증을 수행하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 3

제 1항에 있어서,

상기 비트라인을 프리차지하는 전압은 프로그램 검증 또는 데이터 독출을 위해 비트라인에 프리차지하는 전압 레벨보다 높은 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 4

제 1항에 있어서,

상기 검증 판단결과, 소거 검증 패스가 되지 못하면, 상기 메모리 블록에 소거 전압을 높여서 소거를 수행하고 검증을 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 5

메모리 블록의 소거를 수행하는 단계;

제 1 비트라인과 제 2 비트라인을 프리차지하는 단계;

소거 검증을 위해 선택되는 워드라인에 소거 전압을 인가하고, 상기 선택된 워드라인에 연결되는 메모리 셀의 소거 상태에 따라 상기 1 및 제 2 비트라인의 전압을 변경시키는 단계;

상기 제 1 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계;

상기 제 2 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 및

상기 래치 결과에 따른 소거 패스 여부를 판단하는 단계

를 포함하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 6

제 5항에 있어서,

상기 제 2 비트라인의 데이터 래치는 상기 제 1 비트라인의 데이터 래치에 연속하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

### 청구항 7

제 5항에 있어서,

상기 소거 패스 여부 판단 결과, 패스되지 못한 경우 소거 전압을 스텝전압만큼 높여서 상기 메모리 블록을 소거하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

**청구항 8**

제 5항에 있어서,

상기 소거 패스가 되는 경우, 소프트 프로그램을 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

**청구항 9**

제 8항에 있어서,

상기 소프트 프로그램에 따른 소프트 프로그램 검증을 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

**청구항 10**

제 9항에 있어서,

상기 소프트 프로그램 검증은,

상기 제 1 비트라인과 제 2 비트라인을 프리차지하는 단계;

소프트 프로그램 검증을 위해서 선택되는 워드라인에 소프트 프로그램 검증 전압을 인가하고, 상기 선택된 워드라인에 연결되는 메모리 셀의 소거 상태에 따라 상기 제 1 및 제 2 비트라인의 전압을 변경시키는 단계;

상기 제 1 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계;

상기 제 2 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 및

상기 래치 결과에 따른 소프트 프로그램 패스 여부를 판단하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

**청구항 11**

제 10항에 있어서,

상기 소프트 프로그램 검증 전압은 상기 소거 검증전압보다 높고 0V 보다 작은 것을 특징으로 하는 불휘발성 메모리 소자의 소거 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 불휘발성 메모리 소자의 동작에 관한 것으로, 이븐 비트라인과 오드 비트라인을 동시에 소거 검증할 수 있는 불휘발성 메모리 소자의 소거 방법에 관한 것이다.

**배경기술**

[0002] 불휘발성 메모리 소자에 하나인 플래시 메모리 소자는 일반적으로 복수개의 메모리 셀들이 직렬로 접속되어 한 개의 스트링을 다수개 포함하여 구성된다. 이러한 플래시 메모리 장치는 노트북, PDA(Personal Digital Assistant), 휴대폰과 같은 휴대 전자장치, 컴퓨터 바이오스, 프린터, USB(Universal Serial Bus) 드라이버 등과 같은 다양한 반도체 장치에 널리 사용되고 있다.

[0003] 일반적인 플래시 메모리 장치의 메모리 셀 어레이는 비트라인(Bit Line; BL) 및 셀 소오스 라인(Cell Source Line; CSL)사이에서 메모리 셀이 직렬 접속된 구조로 이루어진다. 또한, 낸드 플래시 메모리 장치는 메모리 셀을 비트라인(BL) 및 셀 소오스 라인(CSL)과 전기적으로 접속시키기 위하여 드레인 선택 라인(Drain Selective

Line; DSL) 및 소오스 선택 라인(Source Selective Line; SSL) 이라는 두 개의 트랜지스터가 접속된다.

- [0004] 상기한 낸드 플래시 메모리 장치의 메모리 셀은 컨트롤 게이트 또는 기판(또는 bulk, PWELL)에 인가되는 전압에 따라 플로팅 게이트 사이에서 터널 산화막을 통한 F-N(Fowler-Nordheim tunneling)이 발생되어 데이터 프로그램(program)과 소거(erase) 동작이 이루어진다.
- [0005] 불휘발성 메모리 소자는 다수의 메모리 셀들로 구성되는 메모리 블록이 여러 개 포함된다. 상기 메모리 블록의 단위로 소거 동작을 수행한다. 상기 메모리 블록 소거를 한 후에, 하드 소거 검증을 하고, 소프트 프로그램 및 검증을 하여 메모리 셀들의 문턱전압이 0V 이하이면서 0V 에 가깝게 만든다.
- [0006] 이를 좀 더 상세히 설명하면, 메모리 블록의 기판에 고전압을 인가하여 소거를 한 후에, 이븐 비트라인을 선택하여 소거 검증을 하고, 오드 비트라인을 선택하여 소거 검증을 한다. 이븐 비트라인과 오드 비트라인의 소거 검증 동작은 비트라인의 선택만 다를 뿐이고 동일한 방식으로 수행된다.
- [0007] 이때 상기 소거에 대한 검증 동작은 프로그램 검증과 유사하다. 다만 메모리 셀들의 문턱전압이 0V 이하인지를 확인하는 것만이 다르다. 이러한 검증 동작은 비트라인을 프리차지하고, 감정(Evaluation)을 하고, 비트라인 전압에 따른 데이터를 래치한 후, 비트라인 전압을 디스차지 하는 순서에 따른다. 상기 래치된 데이터에 따라 소거 검증 패스 또는 페일이 판단된다.
- [0008] 상기한 방식으로 소거 검증을 수행하면 이븐과 오드 비트라인에 대해 각각 검증을 따로 하기 때문에 소거 동작의 전체 시간으로 볼 때 실제의 소거 시간은 짧고 검증 시간이 길어지게 된다. 이는 멀티 레벨 셀을 포함하는 불휘발성 메모리 소자에서 더욱더 문제가 된다. 즉, 소거 검증을 하드 소거 검증 이외에도 소프트 프로그램과 소프트 프로그램 검증을 수행하는 과정이 필요하므로 소프트 프로그램이 잘 되지 않는 경우에는 그만큼 검증동작을 수행하는 시간도 길어지게 된다.

**발명의 내용**

**해결 하고자하는 과제**

- [0009] 따라서 본 발명이 이루고자 하는 기술적 과제는 불휘발성 메모리 소자의 소거를 검증할 때, 이븐 비트라인과 오드 비트라인을 동시에 선택하여 검증할 수 있는 불휘발성 메모리 소자의 소거 방법을 제공하는데 있다.

**과제 해결수단**

- [0010] 본 발명의 특징에 따른 불휘발성 메모리 소자의 소거 방법은,
- [0011] 선택된 메모리 블록을 소거하는 단계; 상기 메모리 블록의 모든 비트라인을 프리차지하고, 메모리 셀들의 소거 상태에 따라 상기 모든 비트라인들의 전압 레벨 변경이 감정되는 단계; 상기 모든 비트라인들 중, 제 1 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계; 상기 제 1 비트라인의 데이터 독출에 연속하여, 제 2 비트라인의 전압 레벨에 따른 데이터 독출을 수행하는 단계; 및 상기 독출 결과에 따른 소거 검증 결과를 판단하는 단계를 포함한다.
- [0012] 상기 소거 검증결과가 패스되면, 소프트 프로그램 및 검증을 수행하는 단계를 포함하는 것을 특징으로 한다.
- [0013] 상기 비트라인을 프리차지하는 전압은 프로그램 검증 또는 데이터 독출을 위해 비트라인에 프리차지하는 전압 레벨보다 높은 것을 특징으로 한다.
- [0014] 상기 검증 판단결과, 소거 검증 패스가 되지 못하면, 상기 메모리 블록에 소거 전압을 높여서 소거를 수행하고 검증을 수행하는 것을 특징으로 한다.
- [0015] 본 발명의 다른 특징에 따른 불휘발성 메모리 소자의 소거 방법은,
- [0016] 소거 검증을 위해 선택되는 워드라인에 소거 전압을 인가하고, 상기 선택된 워드라인에 연결되는 메모리 블록의 소거를 수행하는 단계; 제 1 비트라인과 제 2 비트라인을 프리차지하는 단계; 메모리 셀의 소거 상태에 따라 상기 제 1 및 제 2 비트라인의 전압을 변경시키는 단계; 상기 제 1 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 상기 제 2 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 및 상기 래치 결과에 따른 소거 패스 여부를 판단하는 단계를 포함한다.
- [0017] 상기 제 2 비트라인의 데이터 래치는 상기 제 1 비트라인의 데이터 래치에 연속하여 수행하는 것을 특징으로 한

다.

- [0018] 상기 소거 패스 여부 판단 결과, 패스되지 못한 경우 소거 전압을 스텝전압만큼 높여서 상기 메모리 블록을 소거하는 것을 특징으로 한다.
- [0019] 상기 소거 패스가 되는 경우, 소프트 프로그램을 수행하는 것을 특징으로 한다.
- [0020] 상기 소프트 프로그램에 따른 소프트 프로그램 검증을 수행하는 것을 특징으로 한다.
- [0021] 상기 소프트 프로그램 검증은, 상기 제 1 및 제 2 비트라인을 프리차지하는 단계; 소프트 프로그램 검증을 위해서 선택되는 워드라인에 소프트 프로그램 검증 전압을 인가하고, 상기 선택된 워드라인에 연결되는 메모리 셀의 소거 상태에 따라 상기 제 1 및 제 2 비트라인의 전압을 변경시키는 단계; 상기 제 1 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 상기 제 2 비트라인의 전압 레벨에 따른 데이터를 래치하는 단계; 및 상기 래치 결과에 따른 소프트 소거 패스 여부를 판단하는 단계를 포함하는 것을 특징으로 한다.
- [0022] 상기 소프트 프로그램 검증 전압은 상기 소거 검증전압보다 높고 0V 보다 작은 것을 특징으로 한다.

**효 과**

- [0023] 이상에서 설명한 바와 같이, 본 발명에 따른 불휘발성 메모리 소자의 소거방법은 소거 검증을 수행할 때 이븐 비트라인과 오드 비트라인을 동시에 선택하여 수행함으로써 검증 시간을 줄여 전체 소거 시간을 단축시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0025] 도 1a는 본 발명의 실시 예를 설명하기 위한 플래시 메모리 소자의 블록도이다.
- [0026] 도 1a를 참조하면, 불휘발성 메모리 소자인 플래시 메모리 소자(100)는 메모리 셀 어레이(110), 페이지 버퍼부(120), Y 디코더(130), X 디코더(140), 전압 제공부(150) 및 제어부(160)를 포함한다.
- [0027] 메모리 셀 어레이(110)는 다수의 메모리 셀이 비트라인과 워드라인으로 연결되어 구성되는 메모리 블록을 복수 개 포함한다. 페이지 버퍼부(120)는 한 쌍의 비트라인에 연결되어 프로그램할 데이터를 임시 저장하여 비트라인으로 제공하거나, 저장된 데이터를 독출하기 위한 페이지 버퍼 회로들을 포함한다.
- [0028] Y 디코더(130)는 입력 어드레스에 따라 제어부(160)의 제어 신호를 입력받아 상기 페이지 버퍼 회로들의 데이터 입출력 경로를 제공하고, X 디코더(140)는 입력 어드레스에 따라 메모리 셀 어레이(110)의 워드라인을 선택한다.
- [0029] 전압 제공부(150)는 제어부(160)의 제어에 따라 프로그램 전압, 패스 전압, 소거 전압 등의 동작 전압을 생성한다. 제어부(160)는 전체 동작을 제어한다.
- [0030] 상기 페이지 버퍼회로를 좀 더 상세히 나타내면 다음과 같다.
- [0031] 도 1b는 페이지 버퍼 회로의 일부분을 나타내는 회로도이다.
- [0032] 도 1b를 참조하면, 페이지 버퍼 회로(121)는 비트라인 선택부(122)와, 프리차지부(123)와 래치부(124) 및 검증부(125)를 포함한다.
- [0033] 비트라인 선택부(122)는 이븐 비트라인(Even Bit line; 이하 BLe)과 오드 비트라인(Odd Bit Line; BLo)에 프리차지 전압을 입력하거나 디스차지하고, 제어신호에 의해 선택된 비트라인을 센싱노드(S0)로 연결한다.
- [0034] 프리차지부(123)는 센싱노드(S0)를 프리차지하고, 래치부(124)는 프로그램할 데이터를 래치하고 센싱노드(S0)로 전달하거나 센싱노드(S0)의 전압 레벨을 센싱하여 그 결과를 저장한다. 그리고 검증부(125)는 래치부(124)의 데이터 상태에 따라 프로그램 또는 소거 검증 신호를 출력한다.
- [0035] 상기 비트라인 선택부(122)는 제 1 내지 제 4 NMOS 트랜지스터(N1 내지 N4)를 포함하고, 프리차지부(123)는 제 1 PMOS 트랜지스터(P1)를 포함한다. 래치부(124)는 제 5 내지 제 8 NMOS 트랜지스터(N5 내지 N8)와 제 1 및 제

2 인버터(IN1, IN2)를 포함하고, 검증부(125)는 제 2 PMOS 트랜지스터(P2)를 포함한다.

- [0036] 제 1 및 제 2 NMOS 트랜지스터(N1, N2)는 제 1 노드(K1)와 제 1 노드(K2) 사이에 직렬로 연결되고, 제 1 및 제 2 NMOS 트랜지스터(N1, N2)의 연결점인 제 3 노드(K3)로 가변전압(VIRPWR)이 입력된다. 상기 가변전압(VIRPWR)은 비트라인 프리차지를 위한 전원전압(VCC)이나 디스차지를 위한 0V 전압이 인가된다.
- [0037] 제 1 및 제 2 NMOS 트랜지스터(N1, N2)의 게이트에는 각각 이븐 비트라인 디스차지 제어신호(DISCHE)와 오드 비트라인 디스차지 제어신호(DISCHO)가 입력된다.
- [0038] 제 3 NMOS 트랜지스터(N3)는 제 1 노드(K1)와 센싱노드(SO) 사이에 연결되고, 제 3 NMOS 트랜지스터(N3)의 게이트에는 이븐 비트라인 선택 제어신호(BSLE)가 입력된다.
- [0039] 제 4 NMOS 트랜지스터(N4)는 제 2 노드(K2)와 센싱노드(SO) 사이에 연결되고 제 4 NMOS 트랜지스터(N4)의 게이트에는 오드 비트라인 선택 제어신호(BSLO)가 입력된다.
- [0040] 프리차지부(123)의 제 1 PMOS 트랜지스터(P1)는 전원전압 입력단과 센싱노드(SO) 사이에 연결되고, 제 1 PMOS 트랜지스터(P1)의 게이트에는 프리차지 제어신호(PRECHN)가 입력된다.
- [0041] 한편 래치부(124)의 제 5 NMOS 트랜지스터(N5)는 센싱노드(SO)와 노드(QN) 사이에 연결되고, 제 5 NMOS 트랜지스터(N5)의 게이트에는 데이터 전송 제어신호(TRAN)가 입력된다.
- [0042] 제 1 및 제 2 인버터(IN1, IN2)는 노드(Q)와 노드(QN) 사이에 래치(L)로 연결된다. 제 6 NMOS 트랜지스터(N6)는 노드(Q)와 제 4 노드(K4) 사이에 연결되고 제 6 NMOS 트랜지스터(N6)의 게이트에는 세트신호(QSET)가 입력된다. 제 7 NMOS 트랜지스터(N7)는 노드(QN)와 제 4 노드(K4) 사이에 연결되고 제 7 NMOS 트랜지스터(N7)의 게이트에는 리셋신호(QRST)가 입력된다.
- [0043] 제 8 NMOS 트랜지스터(N8)는 제 4 노드(K4)와 접지노드 사이에 연결되고, 제 8 NMOS 트랜지스터(N8)의 게이트는 센싱노드(SO)에 연결된다.
- [0044] 검증부(125)의 제 2 PMOS 트랜지스터(P2)의 게이트는 노드(QN)에 연결된다. 제 2 PMOS 트랜지스터(P2)는 노드(QN)의 전압 레벨에 따라서 전원전압을 검증신호(VER\_N)로서 출력하거나, 차단한다.
- [0045] 본 발명의 실시 예에서는 메모리 블록의 소거 동작에서 상기한 페이지 버퍼 회로(121)에 연결된 이븐 비트라인(BLe)과 오드 비트라인(BLo)에 대한 소거 검증을 동시에 수행한다.
- [0046] 도 2는 본 발명의 실시 예에 따른 불휘발성 메모리 소자의 소거 방법의 동작 순서도이다.
- [0047] 도 2를 참조하면, 소거 명령과 소거를 수행할 어드레스 정보 및 실행 명령이 입력되면(S201 내지 S205), 입력된 어드레스 정보에 의한 메모리 블록의 소거를 수행한다(S207).
- [0048] 소거동작은 불휘발성 메모리 소자의 소거 방법과 동일하게 기관에 고전압을 인가하여 메모리 셀들의 문턱전압을 0V 이하로 만든다. 만약 메모리 셀들이 하나의 비트 데이터 이상을 저장할 수 있는 멀티 레벨 셀인 경우에는 모든 메모리 셀이 문턱전압을 가장 높은 문턱전압 분포에 속하도록 프로그램한 후, 기관에 고전압을 인가하여 전체 메모리 셀을 소거한다.
- [0049] 단계S207의 소거를 수행한 이후에는 하드 소거 검증(Hard Erase Verify)을 한다(S209). 하드 소거 검증은 모든 메모리 셀들이 0V 이하로 소거되었는지를 확인하는 것이다.
- [0050] 상기 하드 소거 검증은 본 발명의 실시 예에 따라 이븐 비트라인과 오드 비트라인에 대해 동시에 수행한다. 이는 다음의 도 3에서 상세히 설명하기로 한다.
- [0051] 한편, 하드 소거 검증이 패스되면(S211), 소거된 메모리 셀들의 문턱전압 분포의 폭이 좁으면서 0V에 가깝도록 만들기 위한 소프트 프로그램 및 검증을 수행하여(S215), 소프트 프로그램 검증까지 패스되면(S217), 소거 동작이 완료된다.
- [0052] 만약 하드 소거 검증이 패스되지 않으면, 소거 전압을 스텝전압만큼 증가시킨 후(S213), 다시 메모리 블록 소거를 수행한다(S207). 이때 소거 전압은 ISPE(Incremental Step Pulse Erase)방식에 의해 소거 시작전압으로부터 정해진 스텝 전압만큼 상승되면서 인가된다.
- [0053] 그리고 단계 S215의 소프트 프로그램에 대한 소프트 검증을 수행할 때에도 이븐 비트라인과 오드비트라인에 대해 동시에 검증을 한다.

- [0054] 도 2의 소거 동작에서 실행되는 단계 S209의 하드 검증이나 단계 S215의 소프트 프로그램 검증 등은 다음의 방법에 의해 이븐 비트라인과 오드 비트라인에 대해 동시에 검증한다.
- [0055] 도 3은 본 발명의 실시 예에 따른 소거 검증 방법의 동작 순서도이다.
- [0056] 이때, 도 3의 동작을 수행할 때 구체적으로 페이지 버퍼 회로(121)가 동작하는 과정까지 설명하기 위해 도 1b를 참조하여 설명하기로 한다.
- [0057] 도 3을 참조하면, 하드 소거 검증을 수행한다고 가정할 때 먼저 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 동시에 프리차지한다(S301). 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 동시에 프리차지하기 위해서는 이븐 비트라인 디스차지 제어신호(DISCHE)와 오드 비트라인 디스차지 제어신호(DISCHO)를 하이 레벨로 만들어서, 페이지 버퍼 회로(121)의 제 1 및 제 2 NMOS 트랜지스터(N1, N2)가 턴 온 되게 한다. 이때 가상 전압(VIRPWR)은 비트라인 프리차지를 위한 전압 레벨을 갖는다.
- [0058] 이에 따라 이븐 비트라인(BLe)과 오드 비트라인(BLo)은 동시에 프리차지된다. 상기 가상 전압(VIRPWR)은 데이터 독출이나 프로그램 검증을 위해 인가하는 전압보다는 높은 전압 레벨을 갖는 것이 바람직하다. 이는 비트라인 전압의 검증(Evaluation)을 이븐 비트라인(BLe)과 오드 비트라인(BLo)이 동시에 수행하므로 간섭에 의한 전압 하강(Bias Drop)이 있을 수 있기 때문이다.
- [0059] 이븐 비트라인(BLe)과 오드 비트라인(BLo)이 프리차지되면 제 1 및 제 2 NMOS 트랜지스터(N1, N2)는 턴오프 시킨다.
- [0060] 이븐/오드 비트라인 프리차지 단계(S301) 이후에는, 앞서 언급한 바와 같이 이븐/오드 비트라인에 대해 동시에 감정(Evaluation)을 수행한다(S303).
- [0061] 상기 감정 과정에서 메모리 셀들의 워드라인에는 0V 전압이 인가된다. 이는 하드 소거 검증의 경우이고 만약 소프트 프로그램 검증이라면 그에 맞게 설정되는 소프트 프로그램 검증 전압이 인가된다.
- [0062] 만약 메모리 셀들이 정상적으로 0V 이하의 소거가 되었다면 이븐 비트라인과 오드 비트라인에 프리차지되었던 전압은 모두 디스차지 된다. 그리고 이븐 비트라인(BLe)과 오드 비트라인(BLo)은 0V에 가까운 로우 레벨 전압 상태가 된다. 만약 0V 이하로 소거되지 않은 메모리 셀들이 있는 비트라인이 있다면, 프리차지된 전압레벨이 유지된다.
- [0063] 비트라인 감정을 수행한 이후에는 페이지 버퍼 회로(121)에 비트라인 전압에 의한 데이터 리드를 해야 하는데, 이때는 이븐 비트라인 데이터 독출을 한 후(S305), 오드 비트라인 데이터 독출을 한다(S307).
- [0064] 단계 S305 및 S307을 상세히 설명하면, 페이지 버퍼 회로(121)의 래치(L)에는 초기화 동작에 의하여 노드(QN)가 하이 레벨이 되도록 설정된 상태이다. 그리고 데이터 독출에 앞서 프리차지 제어신호(PRECHN)를 로우 레벨로 인가하여 제 1 PMOS 트랜지스터(P1)를 턴 온 시킨다.
- [0065] 제 1 PMOS 트랜지스터(P1)가 턴 온 되면, 센싱노드(SO)가 프리차지된다. 이븐 비트라인 선택 제어신호(BSLE)를 하이 레벨로 입력하면 제 3 NMOS 트랜지스터(N3)가 턴 온 된다. 제 3 NMOS 트랜지스터(N3)가 턴 온 되면, 이븐 비트라인(BLe)과 센싱노드(SO)가 연결된다.
- [0066] 만약 이븐 비트라인(BLe)에 연결되는 메모리 셀들이 모두 소거 완료된 상태라면, 이븐 비트라인(BLe)은 단계 S303에서 로우 레벨로 디스차지 된 상태이다. 따라서 센싱노드(SO)도 로우 레벨로 전압이 변경된다.
- [0067] 이에 따라 제 8 NMOS 트랜지스터(N8)는 턴 오프상태가 된다. 그리고 리셋 신호(QRST)를 하이 레벨로 인가하여 제 7 NMOS 트랜지스터(N7)를 턴 온 시킨다. 노드(QN)는 초기화 동작에 의해 하이 레벨로 설정된 상태인데, 제 8 NMOS 트랜지스터(N8)가 턴오프 상태이면, 제 7 NMOS 트랜지스터(N7)가 턴 온 되어도 노드(QN)는 그대로 하이 레벨을 유지한다.
- [0068] 노드(QN)가 하이 레벨이면 제 2 PMOS 트랜지스터(P2)는 턴오프 상태이다. 따라서 검증 신호(VER\_N)가 출력되지 않는다. 이때 소거 검증을 수행할 때, 검증신호(VER\_N)가 하나라도 출력되면 소거 패스가 되지 않은 것으로 판단된다.
- [0069] 이븐 비트라인(BLe)의 데이터 독출이 완료되면, 오드 비트라인의 데이터 독출을 수행하는데(S307), 이븐 비트라인(BLe)의 데이터 독출시에 턴 온 시켰던 제 3 NMOS 트랜지스터(N3)는 턴오프 시킨 후, 센싱노드(SO)를 프리차지시킨다.

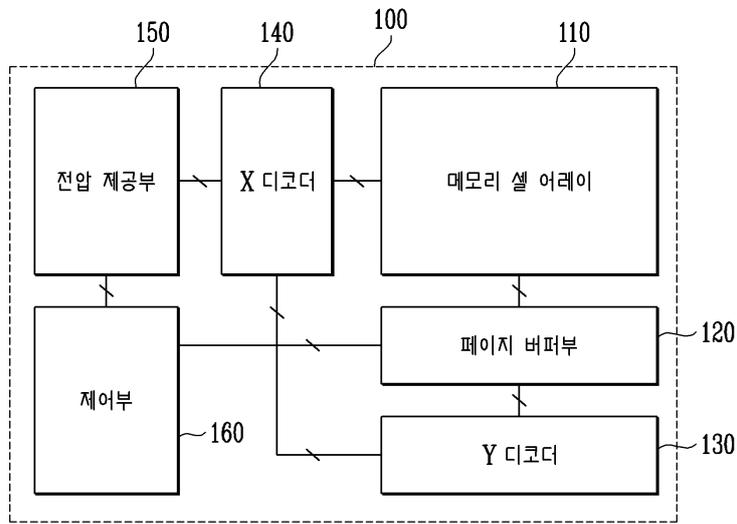
- [0070] 그리고 오드 비트라인 선택 제어신호(BSLO)를 하이 레벨로 인가하여 제 4 NMOS 트랜지스터(N4)를 턴 온 시키면, 단계S303에 의해 전압 레벨이 감정된 오드 비트라인(BLo)과 센싱노드(SO)가 연결된다.
- [0071] 만약 오드 비트라인(BLo)에 연결된 메모리 셀들중 하나라도 소거가 완료되지 않았다면 오드 비트라인(BLo)은 단계 S303의 감정을 수행한 후에도 프리차지했던 전압이 유지되고 있다.
- [0072] 따라서 센싱노드(SO)와 오드 비트라인(BLo)이 연결되어도 프리차지된 하이 레벨 상태가 유지된다. 센싱노드(SO)가 하이 레벨이면 제 8 NMOS 트랜지스터(N8)는 턴 온 된다. 이때 노드(QN)는 상기 이븐 비트라인(BLe)의 데이터 독출 결과에 따라 하이 레벨로 유지되고 있다.
- [0073] 이후에 리셋 신호(QRST)를 하이 레벨로 인가하면, 제 7 NMOS 트랜지스터(N7)가 턴 온 된다. 제 7 NMOS 트랜지스터(N7)가 턴 온 되면, 제 8 NMOS 트랜지스터(N8)가 연결하는 접지노드와 노드(QN)가 연결되기 때문에, 노드(QN)가 로우 레벨로 변경된다.
- [0074] 노드(QN)가 로우 레벨이 되면 제 2 PMOS 트랜지스터(P2)는 턴 온 되고, 검증신호(VER\_N)가 하이 레벨로 출력된다. 따라서 제어부(160)는 소거가 완료되지 않은 메모리 셀이 있는 것으로 판단한다. 소거가 완료되지 않은 메모리 셀이 있으며, 소거 검증이 패스 되지 못하고(S309), 소거 동작이 다시 수행된다(S311). 이때 다시 수행되는 소거 동작은 스텝전압 만큼 소거전압을 높여서 실시한다.
- [0075] 상기와 같은 동작은 이븐 비트라인(BLe)이 패스되지 않고, 오드 비트라인(BLo)이 패스 되는 경우에도 동일한 결과를 나타낸다. 이븐 비트라인(BLe)과 오드 비트라인(BLo)이 동시에 패스되어야 제 2 PMOS 트랜지스터(P2)는 턴 오프 상태를 유지한다.
- [0076] 따라서 동시에 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 프리차지하고, 감정(Evaluation)하고, 이븐 비트라인(BLe)과 오드 비트라인(BLo)의 데이터를 차례로 독출 하는 방식으로 검증을 수행하여도 정확한 검증 결과를 확인할 수 있다. 또한 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 동시에 프리차지하고 감정함으로써 따로 하던 기존의 방식과 비교하여 검증시간이 단축된다.
- [0077] 상기 검증이 패스되어(S309) 완료되면, 이븐 비트라인과 오드 비트라인에 프리차지되어 있는 전압을 디스차지한다. 이때 디스차지 동작은 가상전압(VIRPWR)을 0V로 하고, 이븐 비트라인 디스차지 제어신호(DISCHE)와 오드 비트라인 디스차지 제어신호(DISCHO)를 하이 레벨로 하여 제 1 및 제 2 NMOS 트랜지스터(N1, N2)를 턴 온 시킴으로써 이븐 비트라인(BLe)과 오드 비트라인(BLo)이 0V 상태가 되도록 만든다.
- [0078] 한편, 상기 도 3의 소거검증 과정은 메모리블록의 소거 동작 중에서 하드 소거 검증 동작을 설명한 것으로, 소프트웨어 프로그램에 대한 소프트 소거 검증을 수행할 때도 동일하게 적용할 수 있다.
- [0079] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**도면의 간단한 설명**

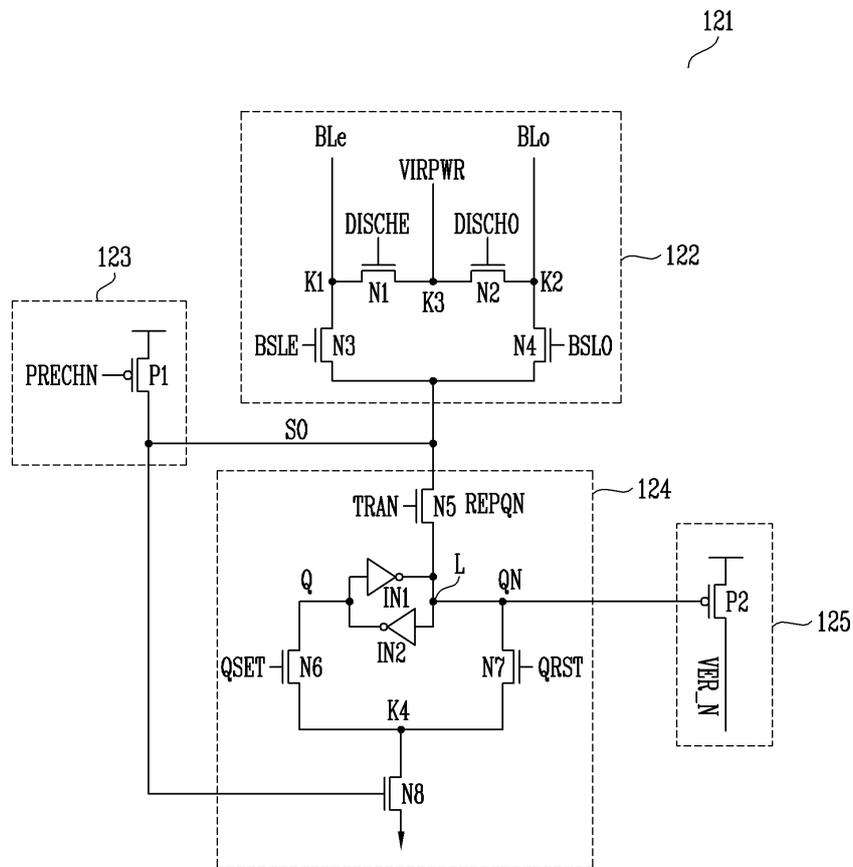
- [0080] 도 1a는 본 발명의 실시 예를 설명하기 위한 플래시 메모리 소자의 블록도이다.
- [0081] 도 1b는 페이지 버퍼 회로의 일부분을 나타내는 회로도이다.
- [0082] 도 2는 본 발명의 실시 예에 따른 불휘발성 메모리 소자의 소거 방법의 동작 순서도이다.
- [0083] 도 3은 본 발명의 실시 예에 따른 소거 검증 방법의 동작 순서도이다.
- [0084] \*도면의 주요 부분의 간단한 설명\*
- [0085] 110 : 메모리 셀 어레이                      120 : 페이지 버퍼부
- [0086] 130 : Y 디코더                                140 : X 디코더
- [0087] 150 : 전압 제공부                            160 : 제어부

도면

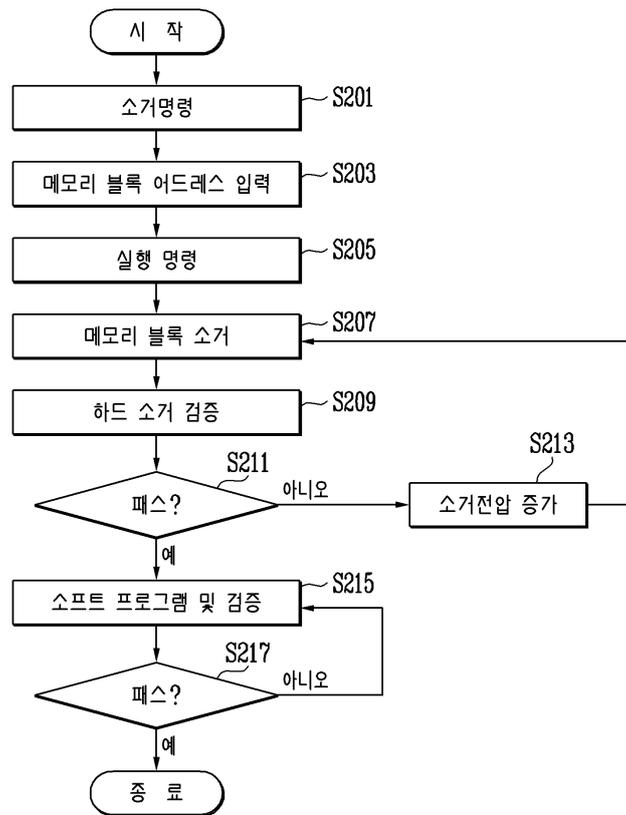
도면1a



도면1b



도면2



도면3

