

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 27/04 H01L 21/336

H01L 21/8234



[12] 发明专利申请公开说明书

[21] 申请号 200410007497.6

[43] 公开日 2004年9月22日

[11] 公开号 CN 1531109A

[22] 申请日 2004.3.5

[21] 申请号 200410007497.6

[30] 优先权

[32] 2003.3.7 [33] KR [31] 14387/2003

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 柳圭浩 郑舜文 金成奉 林 勋

赵源锡

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

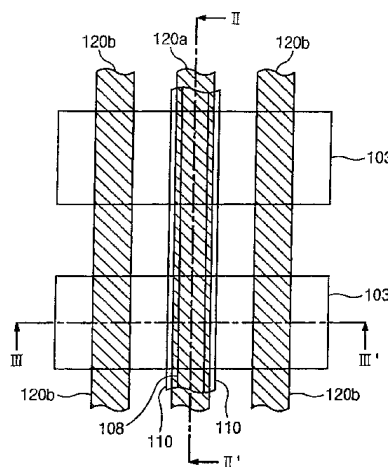
代理人 谢丽娜 谷惠娜

权利要求书7页 说明书15页 附图17页

[54] 发明名称 半导体器件及其形成方法

[57] 摘要

提供包括半导体衬底和栅极线的半导体器件。栅极线在半导体衬底上并且包括以指定顺序层叠在半导体衬底上的栅绝缘图形和栅电极。在栅极线的侧壁上形成的隔片；在栅极线上形成导电线条图形。导电线条图形平行于栅极线和电连接到栅电极。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体器件，包括：
半导体衬底；
5 在半导体衬底中限定有源区的多个隔离区；
有源区上的栅电极，其中栅电极包括多晶硅层上的金属硅化物层；以及
在栅电极上且电连接到栅电极的导电层；
其中在金属硅化物层中导电层至少桥接的一个间隙。
10
2. 如权利要求1的半导体器件，其中导电层直接在金属硅化物层上。
3. 如权利要求1的半导体器件，还包括有源区和栅电极之间的栅
15 绝缘图形。
4. 如权利要求1的半导体器件，其中导电层是导电线条图形。
5. 如权利要求4的半导体器件，其中导电线条图形由铝、钨、钛、
20 钽或铜的至少一种形成。
6. 如权利要求4的半导体器件，还包括半导体衬底上的层间介质，并且其中导电线条图形布置在层间介质中的凹槽中。
7. 如权利要求6的半导体器件，其中层间介质包括第二凹槽，以
25 及其中该器件还包括使半导体器件中的源/漏区与相邻的半导体器件的源/漏区电连接的栓塞线。
8. 如权利要求1的半导体器件，还包括半导体衬底上的平整的层
30 间介质，其中在半导体衬底上平整的层间介质的顶面和栅电极的顶面

基本上在同一高度。

5 9. 如权利要求1的半导体器件，还包括半导体衬底中的第二有源区，其上具有第二栅电极，其中第二栅电极包括多晶硅层上的金属硅化物层，其中导电层是电连接栅电极和第二栅电极的导电线条图形。

10. 如权利要求9的半导体器件，其中导电线条图形直接在栅电极和第二栅电极上。

10 11. 如权利要求1的半导体器件，其中导电层减小栅电极的电阻。

12. 一种半导体器件，包括：

半导体衬底；

15 包括在半导体衬底上顺序地层叠的栅绝缘图形和栅电极的栅极线；

在栅极线的侧壁上形成的隔片；以及

布置在栅极线上的导电线条图形，以及

其中导电线条图形平行于栅极线并且电连接到栅电极。

20 13. 如权利要求12的半导体器件，其中栅电极包括掺杂的多晶硅层。

14. 如权利要求13的半导体器件，还包括金属硅化物层，其中金属硅化物层在掺杂的多晶硅层上。

25 15. 如权利要求14的半导体器件，还包括半导体衬底上的层间介质，层间介质包括露出栅极线的顶面的凹槽，以及其中在凹槽中提供导电线条图形。

30 16. 如权利要求15的半导体器件，还包括在半导体衬底和层间介

质之间的刻蚀停止层，其中刻蚀停止层相对于层间介质具有刻蚀选择率。

5 17. 如权利要求12的半导体器件，还包括在半导体衬底上形成的层间介质，层间介质被平整到栅极线的顶面。

18. 如权利要求12的半导体器件，其中导电线条图形至少具有与栅极线相同的长度。

10 19. 如权利要求12的半导体器件，其中导电线条图形由金属构成。

20. 如权利要求14的半导体器件，其中在金属硅化物层中导电层至少桥接一个间隙。

15

21. 如权利要求12的半导体器件，其中导电层减小栅电极的电阻。

22. 一种半导体器件，包括：

20

半导体衬底；

在半导体衬底上且彼此隔开的第一栅极线和第二栅极线，第一栅极线包括在第一栅绝缘图形上层叠的第一栅电极，第二栅极线包括在第二栅绝缘图形上层叠的第二栅电极；以及

25 第一和第二栅极线上的导电线条图形，其中导电线条图形具有平行于第一栅极线的第一部分和平行于第二栅极线的第二部分，以及其中导电线条图形将第一和第二栅电极彼此电连接。

23. 如权利要求22的半导体器件，其中第一和第二栅极线包括掺杂的多晶硅层。

30

24. 如权利要求23的半导体器件，其中第一和第二栅极线还包括掺杂的多晶硅层上的金属硅化物层。

5 25. 如权利要求22的半导体器件，还包括布置在第一和第二栅极线的侧壁上的隔片和覆盖包括露出第一和第二栅极线的顶面的凹槽的半导体衬底的层间介质；以及
其中导电线条图形布置在层间介质中的凹槽中。

10 26. 如权利要求25的半导体器件，还包括在半导体衬底和层间介质之间的刻蚀停止层，其中刻蚀停止层相对于层间介质具有刻蚀选择率。

15 27. 如权利要求22的半导体器件，还包括半导体衬底上的层间介质，层间介质被平整到第一和第二栅极线的高度。

28. 如权利要求22的半导体器件，其中导电线条图形的第一部分至少是与第一栅极线相同的长度，以及导电线条图形的第二部分至少是与第二栅极线相同的长度。

20 29. 如权利要求22的半导体器件，其中导电线条图形由金属构成。

25 30. 如权利要求24的半导体器件，其中在金属硅化物层中导电层至少桥接一个间隙。

31. 如权利要求22的半导体器件，其中导电层减小栅电极的电阻。

30 32. 一种形成半导体器件的方法，包括：
在半导体衬底上形成包括至少一个栅绝缘图形和栅电极的栅极

线；

在栅极线的侧壁上形成的隔片；

在半导体衬底、隔片和栅极线上形成层间介质；

露出栅极线的顶面；以及

5 在露出的栅极线上形成平行于栅极线的导电线条图形。

33. 如权利要求32的方法，其中栅电极至少包括掺杂的多晶硅层。

10 34. 如权利要求33的方法，其中栅电极还包括金属硅化物层，以及其中金属硅化物层形成在掺杂的多晶硅层上。

35. 如权利要求32的方法，其中露出栅极线的顶面包括构图层间介质以形成露出栅极线的顶面的凹槽，以及其中形成导电线条图形包括在半导体衬底的整个表面上形成导电层以填充凹槽，然后平整化导电层直到层间介质的顶面，以在凹槽中形成导电线条图形。

15

36. 如权利要求35的方法，其中该方法还包括：

在形成层间介质之前，在包括隔片的半导体衬底的整个表面上形成刻蚀停止层，其中刻蚀停止层相对于层间介质具有刻蚀选择率；

20

在构图层间介质之后，构图栅极线上的刻蚀停止层以露出栅极线的顶面。

37. 如权利要求32的方法，其中露出栅极线的顶面包括平整化层间介质直到栅极线的顶面露出，以及其中形成导电线条图形包括在半导体衬底上和露出的栅极线上形成导电层，然后构图导电层以在栅极线上形成导电线条图形。

25

38. 如权利要求32的方法，其中导电线条图形由金属构成。

30

39. 一种形成半导体器件的方法，包括：

在半导体衬底上形成第一栅极线和与第一栅极线隔开的第二栅极线，第一栅极线包括在第一栅绝缘图形上层叠的第一栅电极，并且第二栅极线包括在第二栅绝缘图形上层叠的第二栅电极；

5 在第一和第二栅极线的侧壁上形成的隔片；

在半导体衬底和隔片上形成层间介质；

露出第一栅极线的顶面和第二栅极线的顶面；以及

在第一和第二栅极线露出的顶面上形成导电线条图形，其中导电线条图形电连接第一和第二栅电极。

10

40. 如权利要求39的方法，其中第一和第二栅电极每个至少包括掺杂的多晶硅层。

41. 如权利要求40的方法，其中第一和第二栅电极每个还包括在
15 掺杂多晶硅层上的金属硅化物层。

42. 如权利要求39的方法，其中露出栅极线的顶面和形成导电线条图形包括：

构图层间介质以形成露出第一和第二栅极线的顶面的凹槽；

20 在半导体衬底的表面上形成导电层以填充凹槽；以及

平整化导电层直到层间介质的顶面，以在凹槽中形成导电线条图形。

43. 如权利要求42的方法，其中该方法还包括：

25 在形成层间介质之前，在包括隔片的半导体衬底的整个表面上形成刻蚀停止层，其中刻蚀停止层相对于层间介质具有刻蚀选择率；以及

在构图层间介质之后构图刻蚀停止层，以露出栅极线的顶面。

30

44. 如权利要求39的方法，其中露出栅极线的顶面包括平整化层

间介质直到第一和第二栅极线的顶面露出，以及其中形成导电线条图形包括在半导体衬底上和露出的第一和第二栅极线上形成导电层，然后构图导电层以在第一和第二栅极线的顶面上形成导电线条图形。

- 5 45. 如权利要求 39 的方法，其中导电线条图形由金属构成。

半导体器件及其形成方法

5 与相关申请的关系

根据35U.S.C. § 119, 本申请要求2003年3月7日申请的韩国专利申请号 2003-14387的优先权, 在此引入其全部内容作为参考。

技术领域

10 本发明涉及半导体器件及其形成方法。更具体, 本发明涉及具有栅电极的半导体器件及其形成方法。

背景技术

15 金属氧化物半导体(MOS)晶体管包括在半导体衬底上形成的栅电极和在与栅电极的相对侧邻近的半导体衬底中形成的源/漏区。栅电极的线宽可能是器件的设计中重要的尺寸。随着MOS晶体管的尺寸减小, 也发生栅电极的线宽相应减少。由于栅电极的线宽减小, 因此栅电极的电阻一般增加。这些增加的电阻可以减小MOS晶体管的运行速度, 使之难以实现高速器件。

20

已提出形成由多晶硅硅化物制成的栅电极的方法作为用来减小栅电极电阻的方法。多晶硅硅化物层具有一个结构, 该结构中在掺杂的上多晶硅层层叠低阻金属硅化物层。图1示出了具有常规多晶硅硅化物栅电极的MOS晶体管, 以及图2示出了器件沿图1的线I-I'的剖面图。

25

如图1和2所示, 在半导体衬底1的预定区域上提供器件隔离层2, 以限定多个有源区3。栅极线7跨越有源区3。栅极线7包括在半导体衬底1上以指定顺序层叠的栅绝缘层4、掺杂多晶硅层5及金属硅化物层6的。金属硅化物层6可以由硅化钴制成。掺杂多晶硅层5和金属硅化物层6一起形成MOS晶体管的栅电极。在与栅极线7的相对侧邻近的有源

30

区3上提供杂质扩散层8。杂质扩散层8对应于MOS晶体管的源/漏区。

5 由于金属硅化物层6具有比掺杂多晶硅层5更低的电阻，因此金属硅化物层用来减小栅电极的电阻。随着半导体器件变得更高度集成，栅极线7的线宽减小。由于线宽减小，可能在金属硅化物层6中出现可能引起金属硅化物层6断裂（断裂指图1和2中的“A”）的缺陷。特别在栅极线7的线宽类似于金属硅化物层6的晶粒尺寸的情况下，断裂A可能负面地影响器件的工作。因为金属硅化物层6中的断裂A，栅电极的电阻可能显著地增加。结果，可能减小MOS晶体管的运行速度。

10

发明概述

本发明的实施例提供半导体器件及制造半导体器件的方法，半导体器件包括在半导体衬底中限定有源区的多个隔离区。在有源区上提供包括多晶硅层上的金属硅化物的栅电极，以及电连接到栅电极的导电层。在金属硅化物层中导电层至少桥接一个间隙。导电层可以是由铝、钨、钛、钽和/或铜形成的导电线条图形。导电层可能减小栅电极的电阻。可以在有源区和栅电极之间提供栅绝缘图形。

15

20 半导体器件还可以包括半导体衬底上的层间介质。层间介质可以具有一个凹槽，其中形成导电线条图形。层间介质可以包括一个或更多附加的凹槽，凹槽中形成栓塞线，以将半导体器件中的源/漏区与相邻的半导体器件的源/漏区电连接。

25 在本发明的再一实施例中，半导体器件可以包括半导体衬底上的平整的层间介质。在半导体衬底上平整的层间介质的顶面和栅电极的顶面可以基本上在同一高度。半导体器件还可以包括在具有第二栅电极的半导体衬底中的第二有源区，第一栅电极上包括多晶硅层。在这些器件中的导电层可以由导电线条图形电连接栅电极和第二栅电极。

30

根据本发明的再一实施例，提供包括衬底和栅极线的半导体器

件。栅极线包括在半导体衬底上顺序地层叠的栅绝缘图形和栅电极。在栅极线的侧壁上形成的隔片，以及在栅极线上形成的导电线条图形。导电线条图形平行于栅极线和电连接到栅电极。

5 在这些半导体器件中，栅电极可以包括掺杂的多晶硅层以及还可以选择性地包括在掺杂的多晶硅层上的金属硅化物层。半导体器件还可以包括在半导体衬底、栅极线和隔片上的层间介质，层间介质包括露出栅极线顶面的凹槽。导电线条图形可以布置在该凹槽中。另外，
10 半导体器件还可以包括在半导体衬底、栅极线和隔片上形成的层间介质，层间介质被平整直到栅极线的顶面。导电线条图形的长度至少可以与栅极线的长度一样长。导电线条图形可以由金属制成。

 根据本发明的又一实施例，提供包括在半导体衬底上的第一和第二栅极线的半导体器件。第一栅极线包括以指定顺序层叠的第一栅绝缘图形和第一栅电极，第二栅极线包括以指定顺序层叠的第二栅绝缘图形和
15 第二栅电极。可以在第一和第二栅极线上提供导电线条图形，且可以具有平行于第一栅极线的第一部分和平行于第二栅极线的第二部分。导电线条图形可以彼此电连接第一和第二栅电极。

20 在这些半导体器件中，第一和第二栅极线包括掺杂的多晶硅层，以及还可以包括掺杂的多晶硅层上的金属硅化物层。器件还可以包括第一和第二栅极线的侧壁上的隔片。导电线条图形的第一部分可以具有至少与第一栅极线相同的长度，以及导电线条图形的第二部分可以具有至少与第二栅极线相同的长度。

25 根据本发明的再一实施例，可以通过在半导体衬底上形成包括栅绝缘图形和栅电极的栅极线制造半导体器件。在栅极线的侧壁上形成隔片，以及在半导体衬底、隔片和栅极线上形成层间介质。露出栅极线的顶面，以及在露出的栅极线上形成导电线条图形，以平行于栅极
30 线。

栅电极至少可以包括掺杂的多晶硅层。栅电极还可以包括掺杂多晶硅层上的金属硅化物层。可以通过构图层间介质露出栅极线的顶面，以形成露出栅极线的顶面的凹槽。可以通过在半导体衬底的表面上形成导电层形成导电线条图形，以填充凹槽和平整化导电层直到层间介质的顶面，以在凹槽中形成导电线条图形。另外，可以通过平整化层间介质露出栅极线的顶面直到栅极线的顶面露出。然后可以通过在半导体衬底和露出的栅极线的表面上形成导电层形成这种实施例中的导电线条图形，构图导电层，以在栅极线上形成导电线条图形。

10

根据本发明的又一实施例，可以通过在半导体衬底上形成第一栅极线和与第一栅极线隔开的第二栅极线制造半导体器件。第一栅极线包括以指定顺序层叠的第一栅极线绝缘图形和第一栅电极，第二栅极线包括以指定顺序层叠的第二栅极线绝缘图形和第二栅电极。在第一和第二栅极线的侧壁上形成隔片。在包括隔片的半导体衬底的表面上形成层间介质。露出第一和第二栅极线的顶面。在露出的第一和第二栅极线上形成导电线条图形。导电线条图形具有平行于第一栅极线的部分和平行于第二栅极线的部分且彼此电连接第一和第二栅电极。

15

20 附图说明

图1是具有多晶硅硅化物栅电极 (polycide gate electrode) 的常规MOS晶体管的顶视图。

图2是沿图2的线I-I'的剖面图。

图3是根据本发明的实施例具有栅电极的半导体器件的顶视图。

25 图4是图3的器件沿图3的线II-II'的剖面图。

图5是图3的器件沿图3的线III-III'的剖面图。

图6和7是在不同的制造阶段期间图3的器件沿图3的线III-III'的剖面图。

图8是根据本发明的再一实施例的半导体器件的透视图。

30 图9和10是图8的器件的剖面图。

图11是根据本发明的再一实施例的半导体器件的顶视图。

图12是图11的器件沿图11的线IV-IV'的剖面图。

图13是图11的器件沿图11的线V-V'的剖面图。

5 图14是根据本发明的再一实施例的另一种的导电线条图形的顶视图。

图15A和16A是在不同的制造阶段期间图11的器件沿图11的线IV-IV'的剖面图。

图15B和16B是在不同的制造阶段期间图11的器件沿图11的线V-V'的剖面图。

10 图17是根据本发明的再一实施例的半导体器件的剖面图。

图18和19是在不同的制造阶段期间图17的器件的剖面图。

具体实施方式

15 现在参考附图更完全地描述本发明，其中示出了本发明的实施例。但是本发明可以以多种不同的方式体现，而不应该理解为限于在此阐述的实施例。相反，提供这些实施例以便本公开是彻底的和完全的，并将本发明的范围完全传递给所述领域的技术人员。在图中，为了清楚，可以放大层和区域的厚度。应当理解当一个层和/或元件指在另一层和/或元件“上”时，它可以直接在另一层、元件或衬底上，或

20 也可能存在插入层和/或元件。相反，当层/元件称为“直接在另一层/元件上”时，不存在插入层或元件。同样，当元件描述为在两个其他层/元件“之间”时，它可能是两个其他元件之间唯一的元件或也可能存在附加元件。相同的参考标记指相同的元件。

25 现在参考图3，4和5描述根据本发明的某些实施例的示例性半导体器件。图4是沿图3的线II-II'的剖面图，图5是沿图3的线III-III'的剖面图。

30 参考图3，4和5，在半导体衬底10的预定区域上提供器件隔离层102，以限定至少一个有源区103。例如，器件隔离层102可以是沟道

隔离层。栅极线108跨越有源区103。栅极线108包括在半导体衬底10上以指定顺序层叠的栅绝缘图形104和栅电极107。例如，栅绝缘图形104可以由热氧化物制成，例如，栅电极107可以由掺杂多晶硅105制成。另外，栅电极107可以由掺杂的多晶硅105和金属硅化物106组成的多晶硅-硅化物组成。金属硅化物106例如可以是硅化钨、硅化钴、硅化镍和/或硅化钛。

在栅极线108的侧壁上提供隔片110。隔片110例如可以由二氧化硅、氮化硅和/或氮氧化硅制成。在邻近栅极线108的相对侧的半导体衬底10中提供杂质扩散层111。杂质扩散层111对应于MOS晶体管的源/漏区。杂质扩散层111可以包括轻掺杂的杂质扩散层109a和重掺杂的杂质扩散层109b。

在器件隔离层102、有源区103、栅极线108和隔片110上顺序地层叠刻蚀停止层114和层间介质115。刻蚀停止层114可以由相对于层间绝缘材料115具有刻蚀选择性的绝缘体形成。例如，如果层间介质115由二氧化硅构成，那么刻蚀停止层114可以由氮化硅形成。也可以省去刻蚀停止层114。

层间介质115和刻蚀停止层114中的凹槽117露出栅极线108的顶面。在凹槽117中布置导电线条图形120a。导电线条图形120a平行于栅极线108和电连接到栅电极107。导电线条图形120a至少可以是与栅极线108同样的长度，且可以由金属如铝（Al）、钨（W）、钛（Ti）、钽（Ta）和/或铜（Cu）形成。如果导电线条图形120a由W、Al或Cu构成，那么起阻挡层作用的导电金属氮化物层也可以保形地层叠在具有钨（或铝或铜）层的凹槽117中。可以省去导电金属氮化物层。尽管在图3中导电线条图形120a具有与栅极线108同样的宽度“W”，但是导电线条图形可以比栅极线108更宽。

在图3，4和5所描绘的半导体器件中，因为导电线条图形120a电

5 连接到栅电极107的顶面且由此可以起减小栅电极107的电阻的作用，所以即使在金属硅化物层106产生断裂，由于导电线条图形120a，也可以减小或防止断裂可能另外引起的栅电极107的电阻增加。如果栅电极107仅由掺杂的多晶硅层105构成，那么导电线条图形120a电连接到掺杂多晶硅层105，也可以起减小栅电极107的电阻的作用。当栅电极107的电阻减小时，由于导电线条图形120a，可以增强MOS晶体管的运行速度。

10 如图3和5所示，可以在导电线条图形120a的相对侧提供栓塞线120b。栓塞线120b提供在栓塞凹槽118中，栓塞凹槽118贯穿层间介质115和刻蚀-停止层114，以露出杂质扩散层111的预定区域。栓塞线120b电连接相邻的杂质扩散层111，且可以平行于导电线条图形120a。可以在栅极线108的两侧或仅一侧提供栓塞线，或可以省去。栓塞线120b例如可以由与导电线条图形120a一样的相同材料构成。

15

现在参考图6和7描述根据本发明的某些实施例形成半导体器件的方法。

20 如图6所示，在半导体衬底101中形成器件隔离层102，以限定至少一个有源区。器件隔离层102可以是沟槽隔离层。在有源区上且跨越有源区形成栅极线108。栅极线108包括以指定的顺序在半导体衬底101中的有源区上层叠的栅绝缘图形104和栅电极107。栅绝缘图形104例如可以由热氧化物构成，且栅电极107可以是掺杂的多晶硅105。另外，栅电极107可以由多晶硅硅化物制成，多晶硅硅化物由以指定的顺序层叠的掺杂多晶硅105和金属硅化物106组成。金属硅化物106例如可以是硅化钨、硅化钛、硅化钴和/或硅化镍。使用栅极线108和器件隔离层102作为掩模，可以以低剂量注入杂质，以在与栅极线108的相对侧相邻的有源区中形成轻掺杂杂质扩散层109a。然后可以在包括轻掺杂杂质扩散层109a的半导体衬底101的表面上形成隔片层。接着，
30 如图6所示，可以各向异性地刻蚀隔片层，以在栅极线108的侧壁上形

成隔片110。使用栅极线108、隔片110以及器件隔离层102作为掩模。可以注入杂质，以形成与每个轻掺杂杂质扩散层109a相邻的高掺杂杂质扩散层109b。轻和重掺杂杂质扩散层109a和109b构成轻掺杂漏区或“LDD”型杂质扩散层111。隔片110例如可以由氧化硅、氮化硅和/或氮氧化硅构成。

然后可以在包括杂质扩散层111的半导体衬底101的表面上顺序地形成刻蚀停止层114和层间介质115。刻蚀停止层114可以是相对于层间介质115具有刻蚀选择率的绝缘层。例如，如果层间介质115由氧化硅构成，那么刻蚀停止层114可以由氮化硅制成。也可以省去刻蚀停止层114。

连续地构图层间介质115和刻蚀停止层114，以形成露出栅极线108的顶面的凹槽117和形成露出至少两个杂质扩散层111的预定区域的栓塞凹槽118。凹槽117一般将平行于栅极线108，且至少具有与栅极线108相同的长度，尽管该情况不需要这些。如图6说明，凹槽117可以具有与栅极线108相同的宽度，以致凹槽117露出栅极线108的顶面和部分隔片110，以便保证工艺余量。在凹槽117和栓塞凹槽118的形成过程中，刻蚀停止层114可以起防止栅极线108的顶面和杂质扩散层111的表面被刻蚀工序损坏。

如图7所示，在半导体衬底101上形成导电层120。导电层120填充凹槽117和栓塞凹槽118。导电层可以由如铝、钨、钛、钽和/或铜金属形成。导电层120还可以包括由金属氮化物构成的阻挡层，在金属氮化物层上的金属层。

然后可以平整导电层120直到层间介质115的顶面，以在凹槽117中形成导电线条图形120a，和在栓塞凹槽118中形成栓塞线，如图5所示。

现在参考图8描述根据本发明的再一实施例的半导体器件。由于该器件与如上参考图3-7所述的半导体器件的某些方面类似，因此下面使用的相同标记指相同的元件。

5 如图8所示，在半导体衬底101的预定区域上提供隔离层102，以限定半导体衬底101中的至少一个有源区。栅极线108跨越有源区3。栅极线108包括以指定顺序层叠在半导体衬底上的栅绝缘图形104和栅电极107。栅电极107可以由掺杂的多晶硅105和/或多晶硅硅化物制成。多晶硅硅化物可以由以指定的顺序层叠的掺杂多晶硅105和金属硅化物106组成。

10 在栅极线108的侧壁上提供隔片110。在与栅极线108的相对侧邻近的半导体衬底中提供杂质扩散层111。在半导体衬底101、栅极线108、隔片110和器件隔离层102上提供平整的层间介质115a。平整的层间介质115a可以是被平整直到露出栅极线108的顶面的层。在露出的栅极线上提供导电线条图形120a。导电线条图形120a可以平行于栅极线108和电连接到栅电极107。在某些实施例中，导电线条图形120a由金属构成。如果在金属硅化物层106中形成断裂，那么由于导电线条图形120a，可能减小或消除栅电极的电阻增加的趋势。

20

现在参考图9和10描述根据本发明的再一实施例形成半导体器件的方法。

25 参考图9和10，可以以如上参考图6所述的方式形成栅极线108、隔片110以及杂质扩散层111。可以在包括栅极线108、隔片110和杂质扩散层111的半导体衬底101的表面上形成层间介质115。层间介质115例如可以是氧化硅。

30 然后可以平整层间介质115，直到栅极线108的顶面露出，以形成平整的层间介质115a。然后在包括露出的栅极线108的半导体衬底101

的表面上形成导电层120。构图导电层120，以形成图8中所示的导电线条图形120a。

5 可以使用对应于图3-7中描绘的半导体器件所述的相应元件的上述材料形成图8-10中描绘的半导体器件的各个层。

现在参考图11，12和13描述根据本发明的附加实施例的半导体器件。图12是沿图11的线IV-IV'的剖面图和图13是沿图11的线V-V'的剖面图。

10

参考图11，12和13，在半导体衬底201的预定区域上形成器件隔离层202，以限定至少一个第一有源区203a和至少一个第二有源区203b。

15

在第一有源区203a上和跨越第一有源区203a形成第一栅极线208a，在第二有源区203b上和跨越第二有源区203b形成第二栅极线208b。第一和第二栅极线208a和208b彼此隔开和可以共线布置。第一栅极线208a包括以指定顺序层叠的第一栅绝缘图形204a和第一栅电极207a。第二栅极线208b包括以指定顺序层叠的第二绝缘图形204b和第二栅电极207b。第一和第二栅绝缘图形204a和204b例如可以由热氧化物构成。第一电极207a可以包括第一掺杂的多晶硅205a和/或由以指定顺序层叠的第一掺杂多晶硅层205a和第一金属硅化物层206a组成的第一多晶硅硅化物。第二栅电极207b可以包括第二掺杂的多晶硅层205b和/或由第二掺杂的多晶硅层205b和第二金属硅化物206b组成的第二多晶硅硅化物。第一和第二掺杂的多晶硅层205a和205b可以掺杂有相同或不同的导电杂质。第一和第二金属硅化物206a和206b例如可以由硅化钨、硅化钛、硅化钴、硅化镍和/或硅化钛形成。

20

25

在与第一栅极线208a的相对侧相邻的半导体衬底201中形成第一杂质扩散层211a。在与第二栅极线208b的相对侧相邻的半导体衬底201

30

中形成第二杂质扩散层211b。第一和第二杂质扩散层211a和211b可以掺杂有相同或不同的导电杂质。在第一和第二栅极线208a和208b的侧壁上提供隔片210。隔片210例如可以由氧化硅、氮化硅和/或氮氧化硅构成。

5

然后可以在包括第一和第二栅极线208a和208b的半导体衬底201的表面上顺序地层叠刻蚀停止层214和层间介质215。刻蚀停止层214可以由相对于层间介质215具有刻蚀选择率的绝缘材料形成。例如，如果层间介质215由氧化硅形成，那么刻蚀停止层214可以由氮化硅制成。可以省去刻蚀停止层214。

10

如图13中很好的示出了，可以在层间介质215和刻蚀停止层214中形成凹槽217，以露出第一和第二栅极线208a和208b的顶面。在凹槽217中形成导电线条图形220a。导电线条图形220a包括平行于第一栅极线208a的部分、平行于第二栅极线208b的部分和连接部分。平行于第一栅极线208a的导电线条图形220a部分至少可以是与第一栅极线208a有相同的长度，并且平行于第二栅极线208b的导电线条图形220a部分至少可以是与第二栅极线208b有相同的长度。导电线条图形220a彼此电连接第一和第二栅电极207a和207b。导电线条图形220a可以由如铝、钨、钛、钽和/或铜金属形成。导电线条图形220a还可以包括插入第一和第二栅电极207a和207b以及导电线条图形220a的金属层之间的金属氮化物阻挡层。

15

20

第一栅极线208a和第一杂质扩散层211a构成第一MOS晶体管，第二栅极线208b和第二杂质扩散层211b构成第二MOS晶体管。第一MOS晶体管可以是NMOS晶体管或PMOS晶体管。同样，第二MOS晶体管可以是NMOS晶体管或PMOS晶体管。

25

在如上所述的半导体器件中，导电线条图形220a可以减小第一和第二栅电极207a和207b的电阻和电连接第一和第二栅电极207a和

30

207b。因而，如果在第一和第二金属硅化物层206a和206b的一个或两个中形成断裂，那么可以减小一个（多个）裂缝对第一和/或第二栅电极207a和207b的电阻的影响。而且，即使省去第一和第二金属硅化物层206a和206b，导电线条图形220a也可以减小第一和第二栅电极207a
5 和207b的电阻。导电线条图形220a起电连接第一和第二栅电极207a和207b的互连的作用。这种布置与使用其上布置有栓塞的接触栓塞的一般互联结构相比可以减小互连电阻。因此，当在金属硅化物层中形成断裂时，根据本发明的某些实施例的半导体器件可以减小、最小化或防止栅电极的电阻增加。而且，第一和第二栅电极207a和207b彼此直接
10 连接可以利于提供高速半导体器件。

图14示出了根据本发明的附加实施例的半导体器件，其中在不同的线上布置第一和第二栅极线208a和208b。

15 如图14所示，形成第一和第二栅极线208a和208b，以跨越彼此隔开的各个第一和第二有源区203a和203b。从顶视图看，第一和第二栅极线208a和208b彼此隔开和彼此垂直。在第一和第二栅极线208a和208b上形成导电线条图形220a。根据第一和第二栅极线208a和208b的位置，导电线条图形220a的连接部分“B”可以垂直地弯曲。

20

图15A和16A示出了沿图11的线IV-IV'的剖面图和图15B和16B示出了沿图11的线V-V'的剖面图。

25 参考图15A和16A，在半导体衬底201的预定区域上形成器件隔离层202，以限定至少一个第一有源区和至少一个第二有源区。第一栅极线208a形成在第一有源区上和跨越第一有源区，第二栅极线208b形成在第二有源区上和跨越第二有源区。第一和第二栅极线208a和208b彼此隔开。第一栅极线208a包括以指定顺序层叠在半导体衬底201上的第一栅绝缘图形204a和第一栅电极207a。第二栅极线208b包括以指
30 定顺序层叠在半导体衬底201上的第二绝缘图形204b和第二栅电极

207b。

第一和第二栅绝缘图形204a和204b例如可以由热氧化物形成。第一栅电极207a可以包括第一掺杂的多晶硅层205a或第一多晶硅硅化物。第一多晶硅硅化物可以包括以指定顺序层叠的第一掺杂多晶硅层
5 205a和金属硅化物206a。第二栅电极207b可以包括第二掺杂的多晶硅层205b和/或第二多晶硅硅化物。第二栅电极207b可以包括第二掺杂多晶硅层205b和/或第二金属硅化物206b。第一和第二掺杂的多晶硅层205a和205b可以掺杂有相同或不同的导电杂质。第一和第二金属硅化物206a和206b例如可以由硅化钨、硅化钛、硅化钴、硅化镍和/或硅化钛形成。
10

将杂质分别注入与第一栅极线208a的相对侧相邻的半导体衬底201和与第二栅极线208b的相对侧相邻的半导体衬底201，以形成第一杂质扩散层211a和第二杂质扩散层211b。可以形成第一和第二杂质扩散层211a和211b，以具有LDD结构。第一和第二杂质扩散层211a和211b
15 可以包括相同的或不同的导电杂质，且可以同时形成或顺序地形成。可以在第一和第二栅极线208a和208b的侧壁上形成隔片210。隔片210例如可以由氧化硅、氮化硅和/或氮氧化硅构成。
20

在包括隔片210的半导体衬底201的表面上顺序地形成刻蚀停止层214和层间介质215。刻蚀停止层214可以由相对于层间介质215具有刻蚀选择率的绝缘材料形成。例如，如果层间介质215由氧化硅构成，那么刻蚀停止层214可以由氮化硅制成。可以省去刻蚀停止层214。
25

连续地构图层间介质215和刻蚀停止层214，以形成露出第一和第二栅极线208a和208b的顶面的凹槽217。刻蚀停止层214防止形成凹槽217时第一和第二栅极线208a的顶面被损坏。此外，刻蚀停止层可以有助于防止第一和第二栅电极207a和207b之间的层间介质215过腐蚀。
30

参考图16A和16B，在半导体衬底201的表面上形成导电层220，以填充凹槽217。导电层220可以由如铝、钨、钛、钽和/或铜金属形成。在某些情况下，导电层220可以包括金属氮化物阻挡层。然后可以平整导电层220直到层间介质215的顶面，以形成图12和13中所示的导电线条图形220a。

图17中示出了根据本发明的再一实施例的半导体器件的剖面图。

如图17所示，半导体器件可以包括器件隔离层202、第一和第二栅极线208a和208b、隔片210、第一和第二杂质扩散层211a和211b。器件的这些部分参考图11，12和13的先前描述。

在半导体衬底201、器件隔离层202、第一和第二栅极线208a和208b、隔片210和第一和第二杂质扩散层211a和211b上形成平整的层间介质215a。平整的层间介质215a是被平整直到露出第一和第二栅极线208a和208b的顶面的层。在露出的第一和第二栅极线208a和208b上布置导电线条图形220a。导电线条图形220a具有平行于第一栅极线208a的部分、平行于第二栅极线208b的部分。平行于导电线条图形220a的第一栅极线208a部分可以具有至少与第一栅极线相同的长度。平行于导电线条图形220a的第二栅极线208b的部分可以具有至少与第二栅极线208b相同的长度。

可以形成导电线条图形220a，以覆盖第一和第二栅极线208a和208b的顶面的整个长度。导电线条图形220a电连接第一和第二栅电极207a和207b。因此，导电线条图形220a可以减小第一和第二栅电极207a和207b的电阻和用作第一和第二栅电极207a和207b的互联。结果，如果在金属硅化物层中形成断裂时，可以减小、最小化和/或防止栅电极的电阻增加。此外，间隔电极207a和207b彼此直接连接，这可以利于提供高速半导体器件。

现在参考图18和19描述根据本发明的再一实施例形成半导体器件的方法。

5 如图18和19所示，用和图15A和15B的论述中同样的上述方法形成第一和第二栅极线208a和208b、隔片210以及第一和第二杂质扩散层。然后可以在包括第一和第二栅极线208a和208b以及隔片210的半导体衬底201的表面上形成刻蚀停止层214和层间介质215。

10 平整层间介质215，直到露出第一和第二栅极线208a和208b的顶面，以形成平整的层间介质215a。然后在包括露出的第一和第二栅极线208a的半导体衬底的表面上形成导电层220。导电层可以由金属形成。构图导电层220，以形成图17中所示的导电线条图形220a。

15 在第三和第四实施例中，相应元件可以由相同的材料制成。

20 尽管参考其优选实施例已经具体展示和描述了本发明，但是本领域的普通技术人员应当明白在不脱离由下述权利要求及其等效的权利所限定的本发明的精神和范围的情况下，可以在形式上和细节进行改变。

图1
现有技术

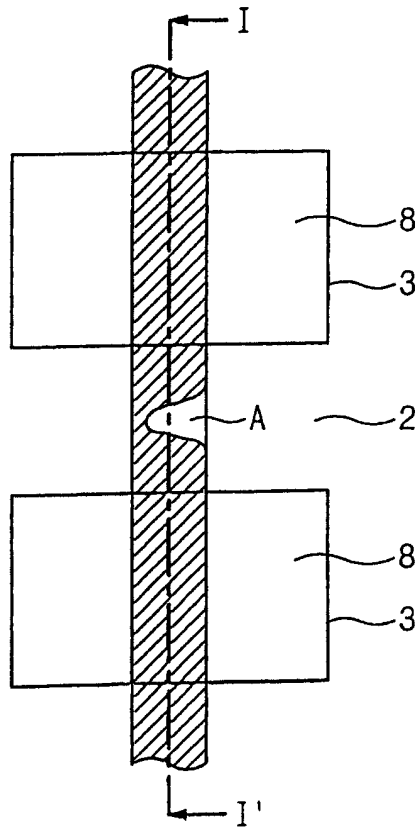


图2
现有技术

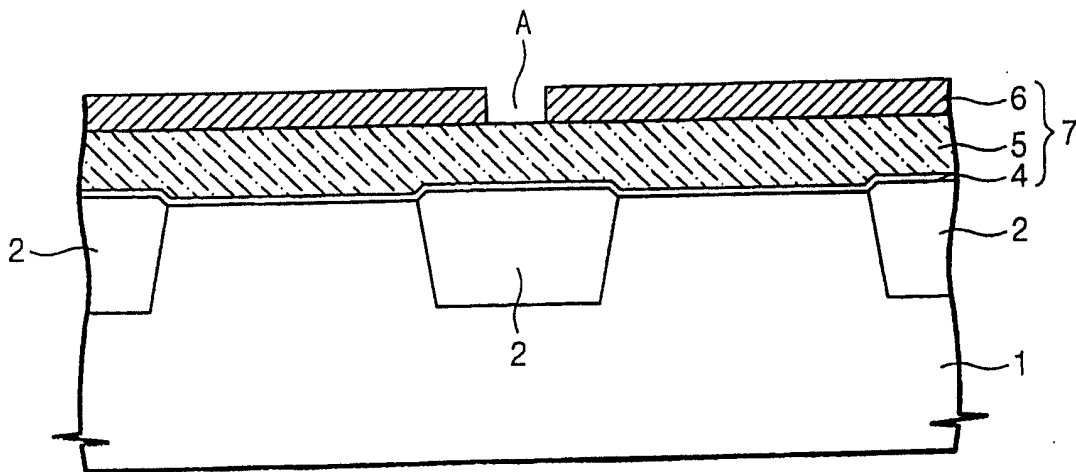


图3

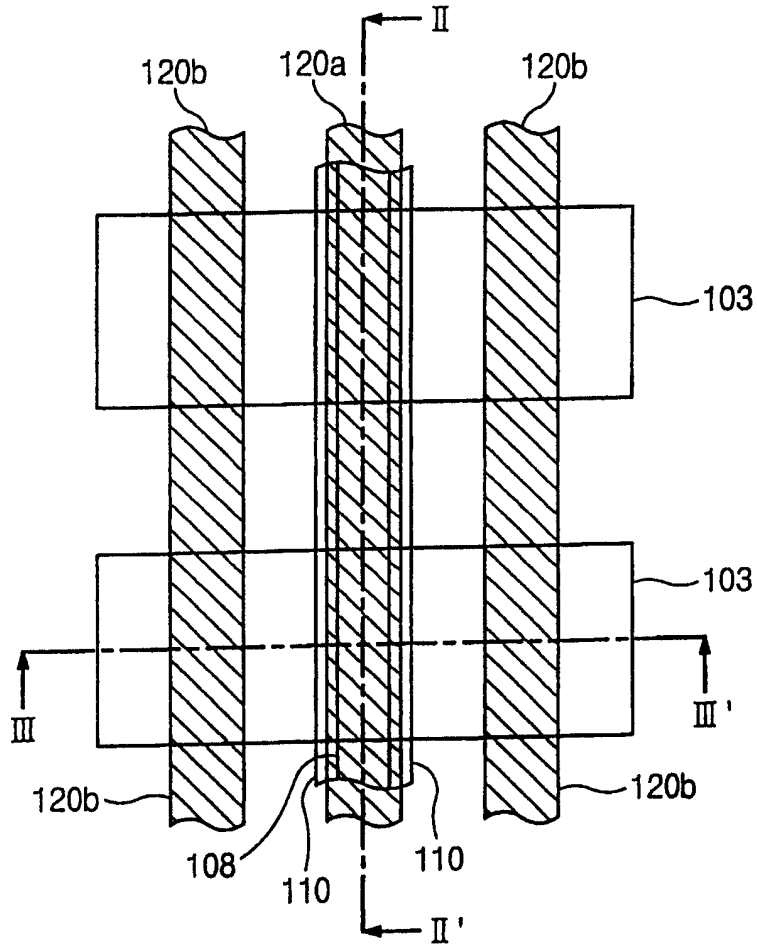


图4

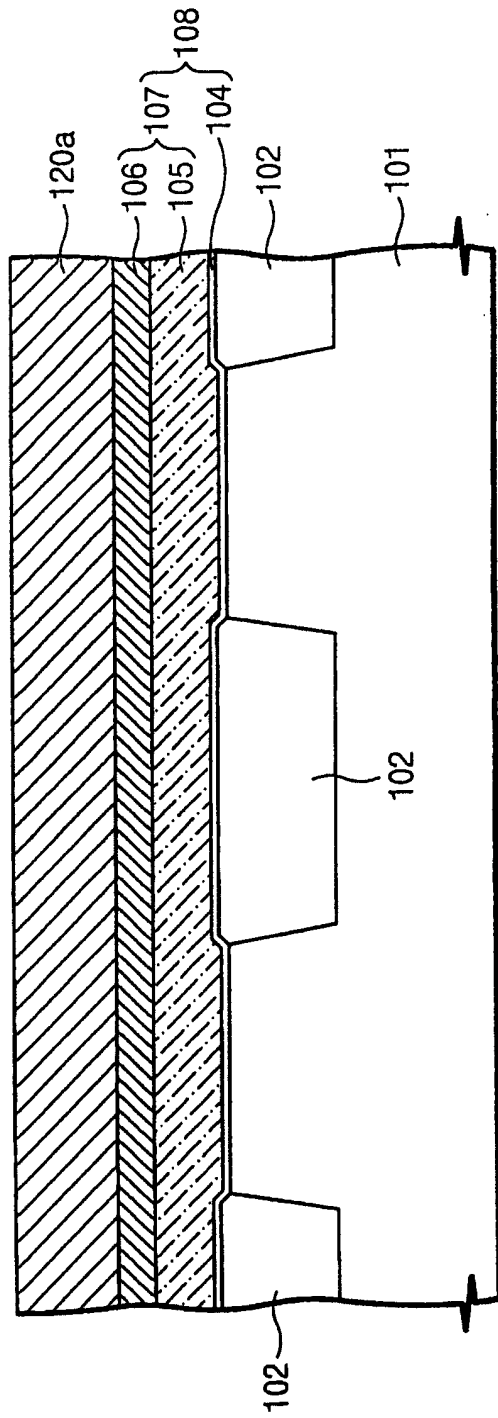


图5

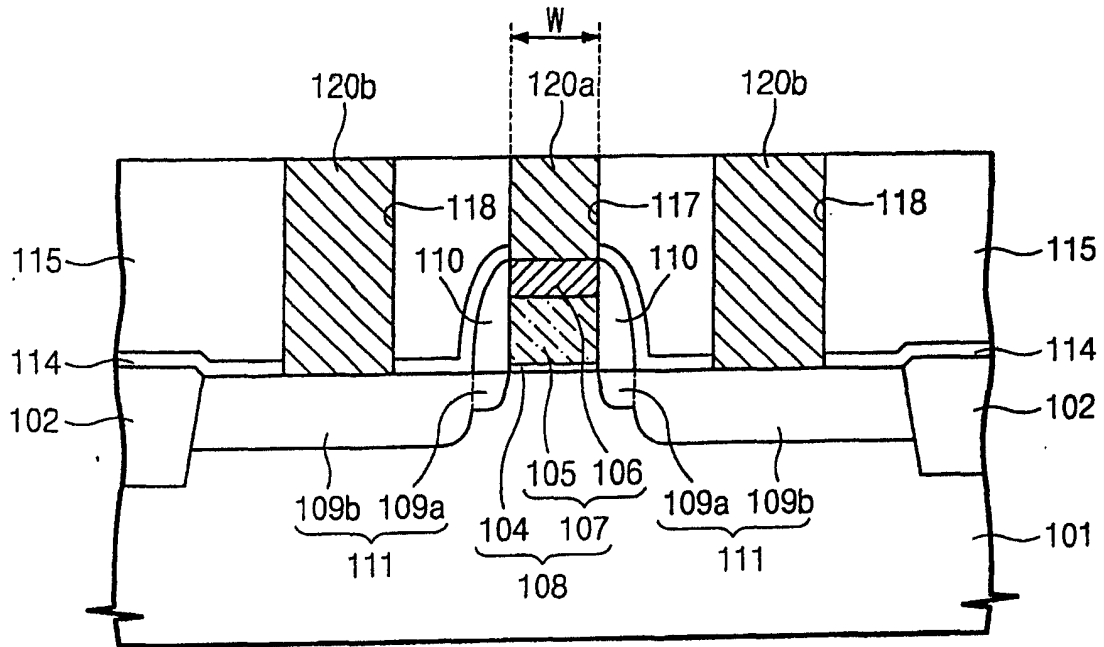


图6

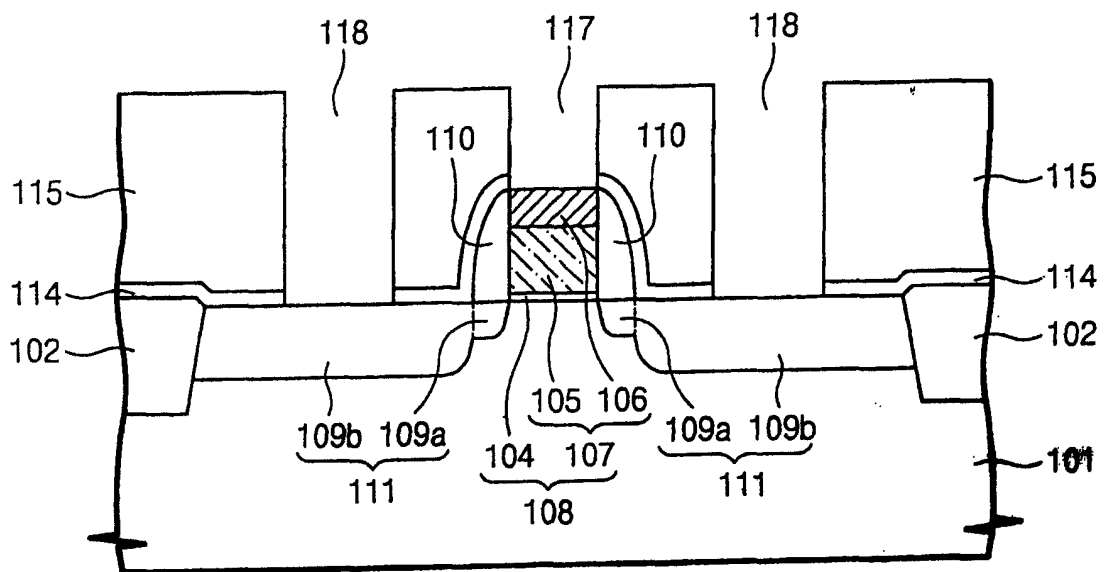


图7

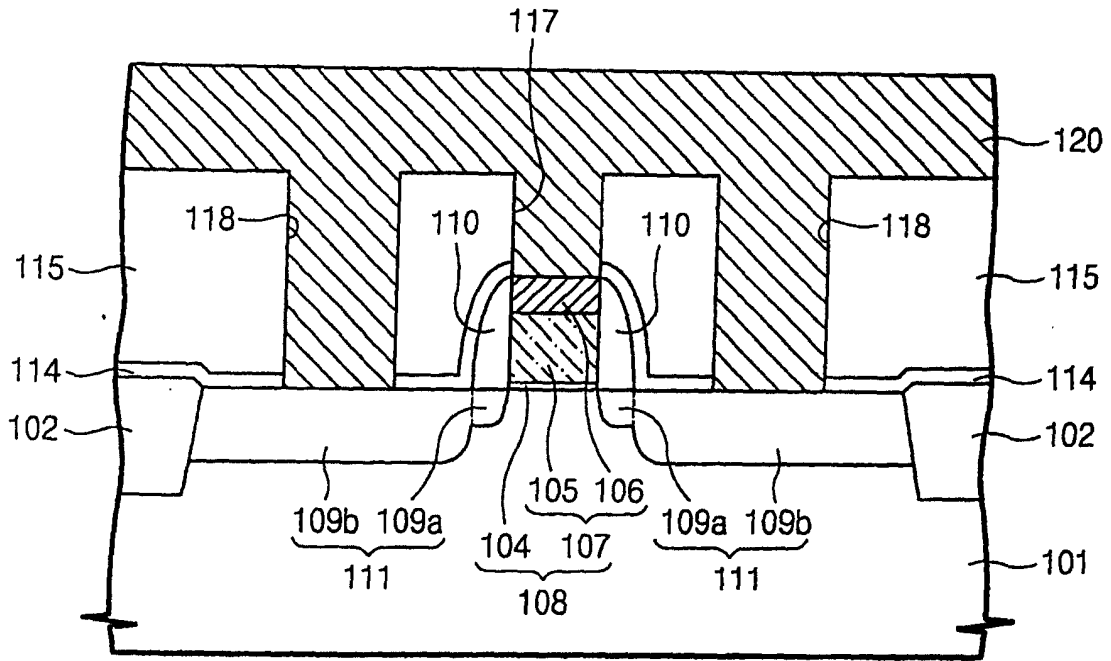


图8

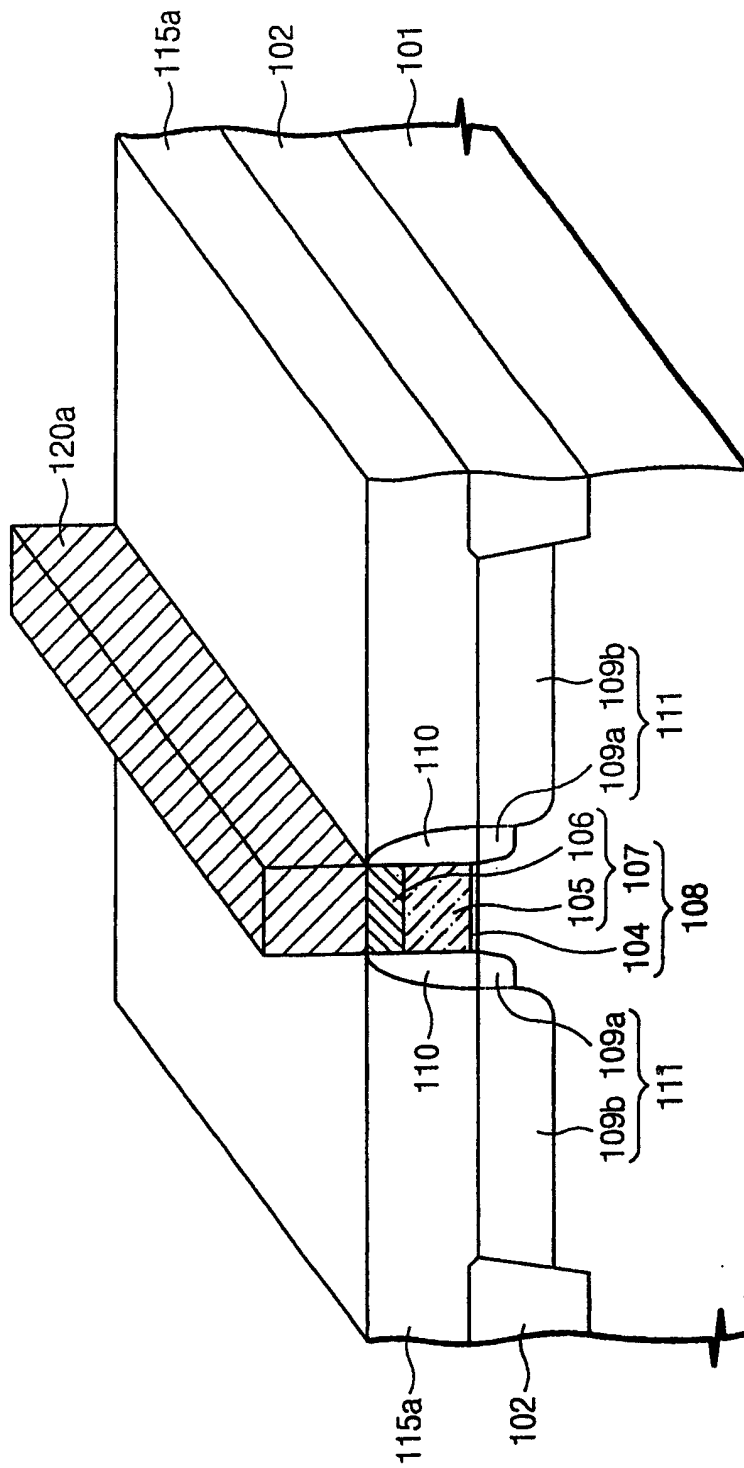


图9

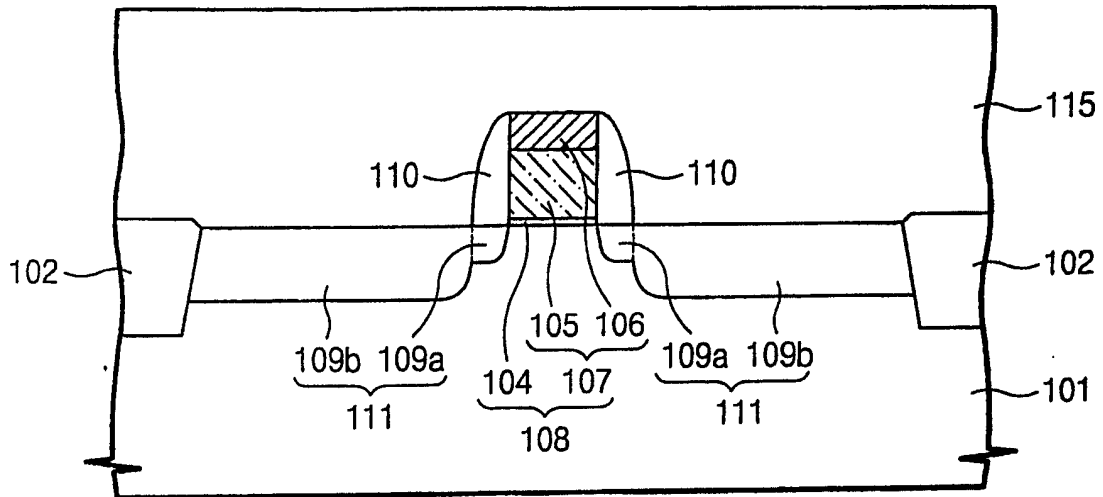


图10

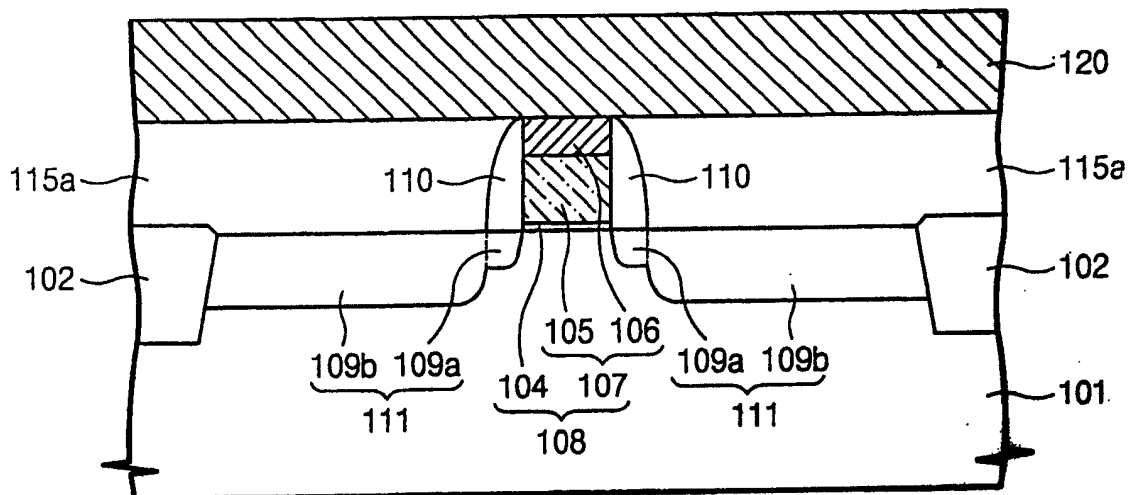


图11

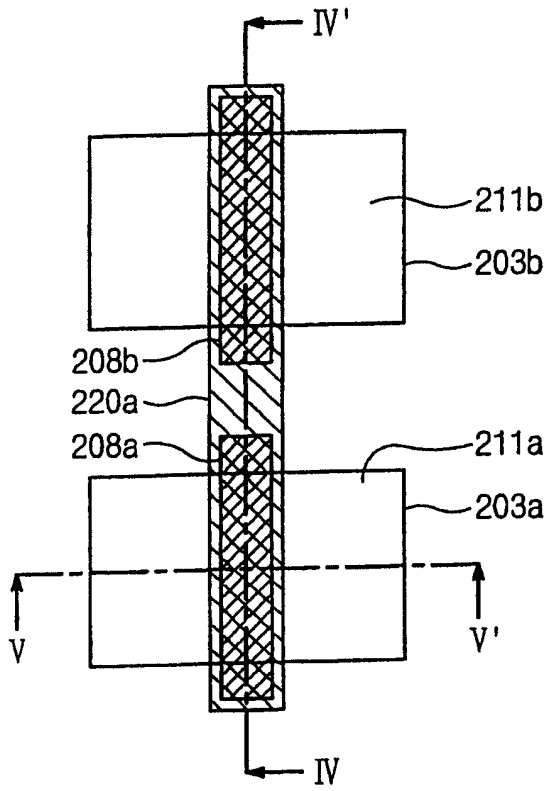
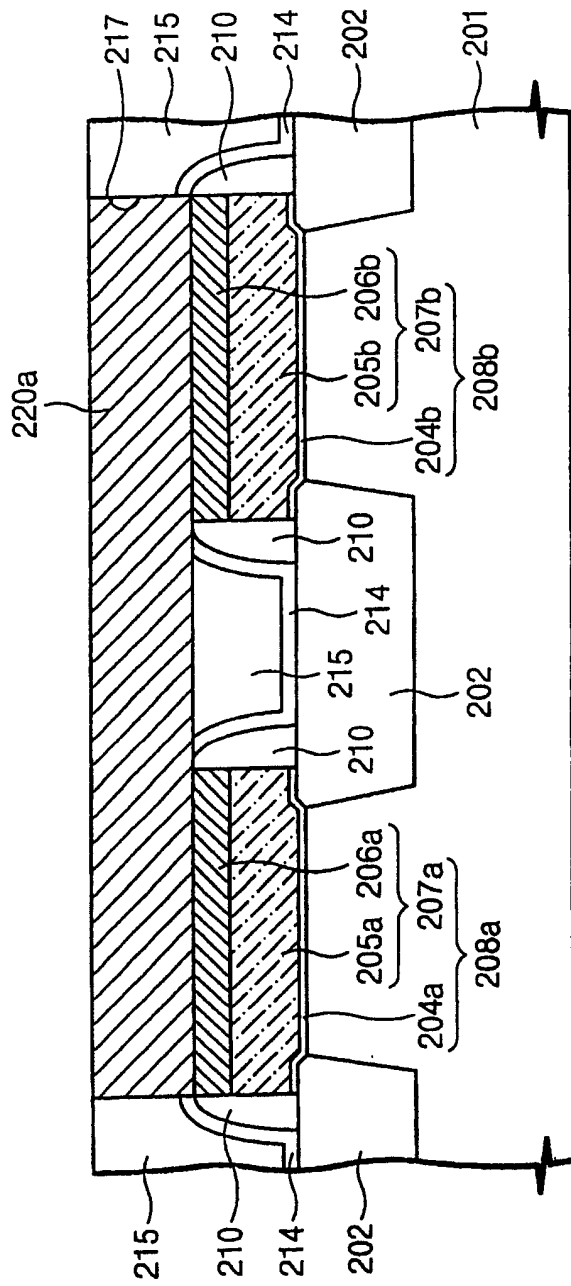


图12



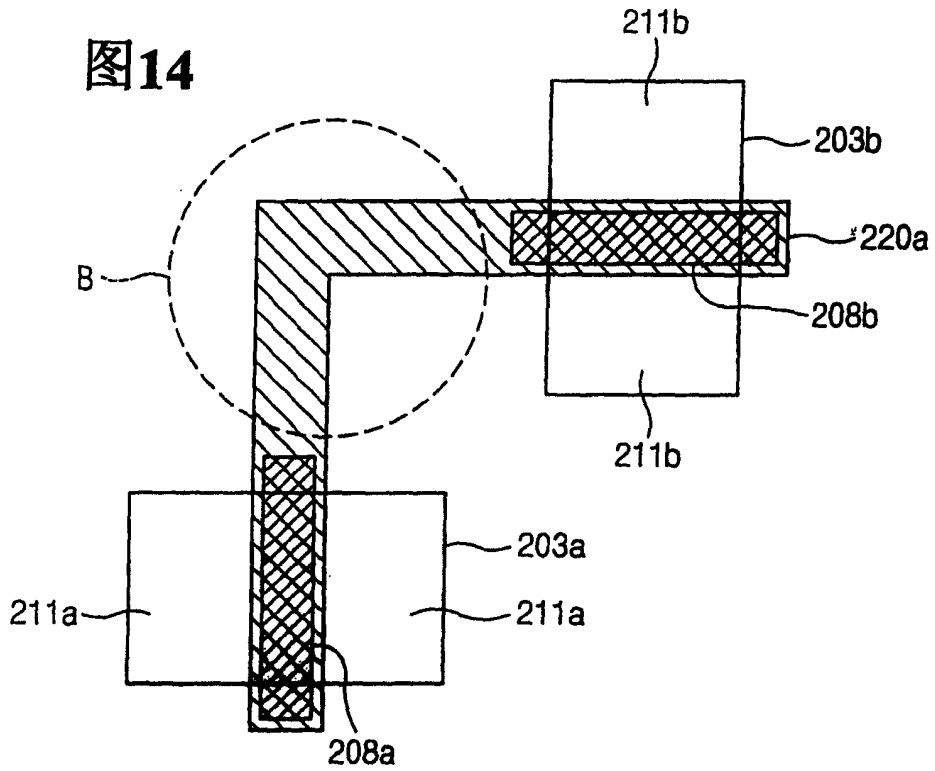
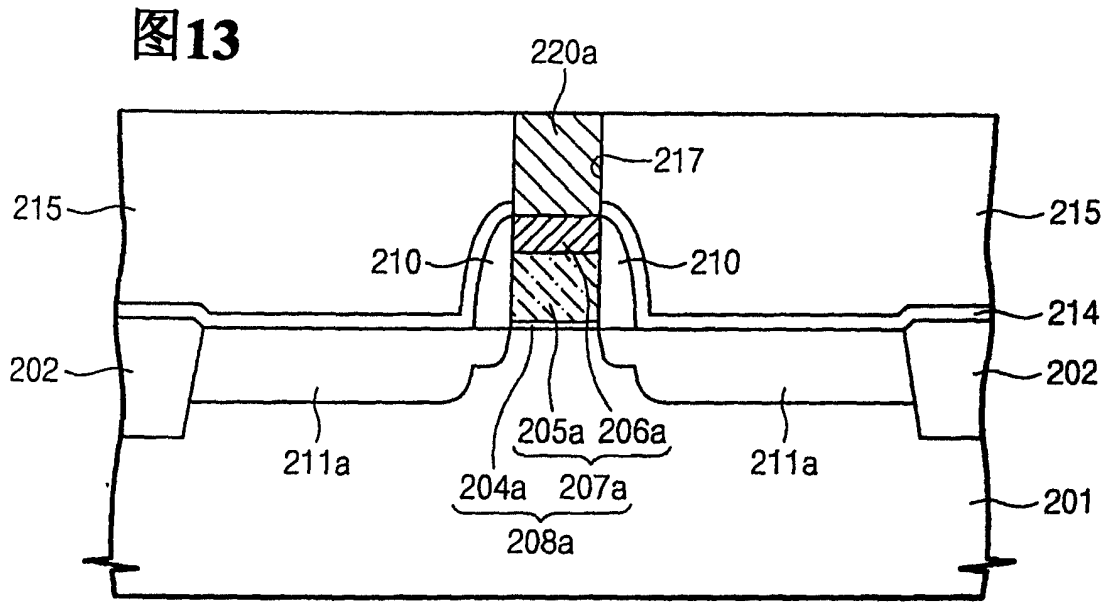


图15A

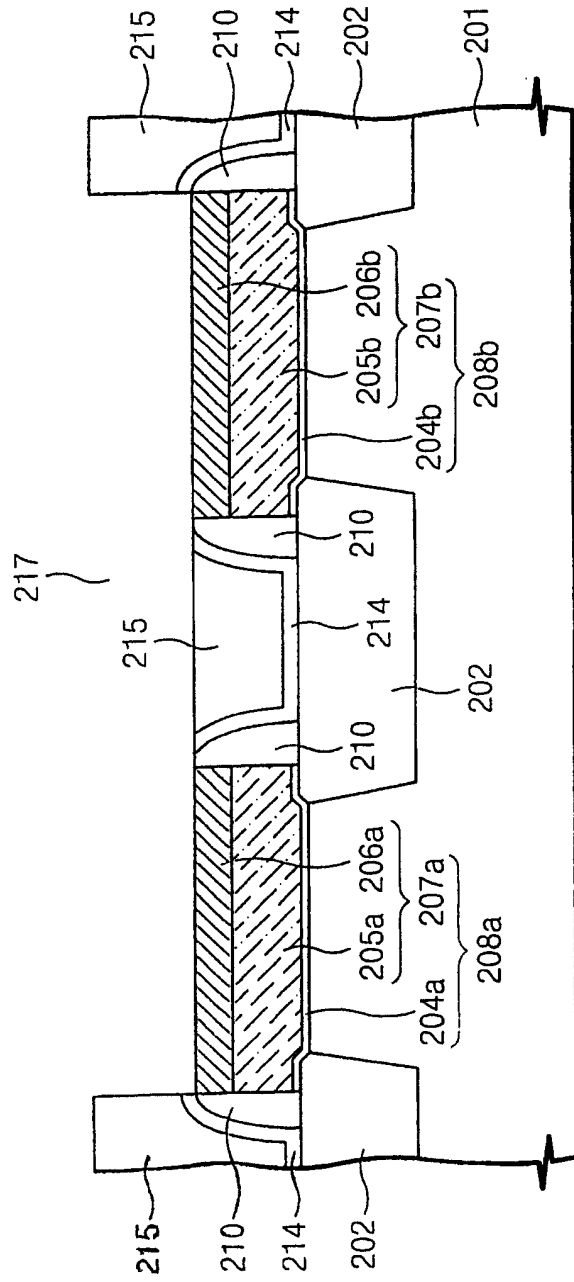


图15B

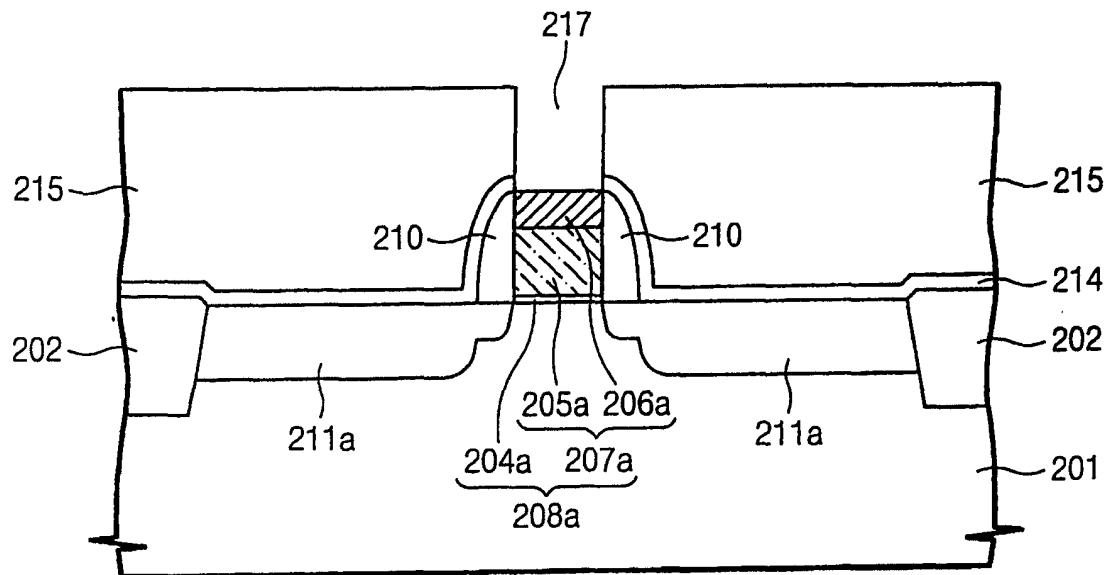


图16A

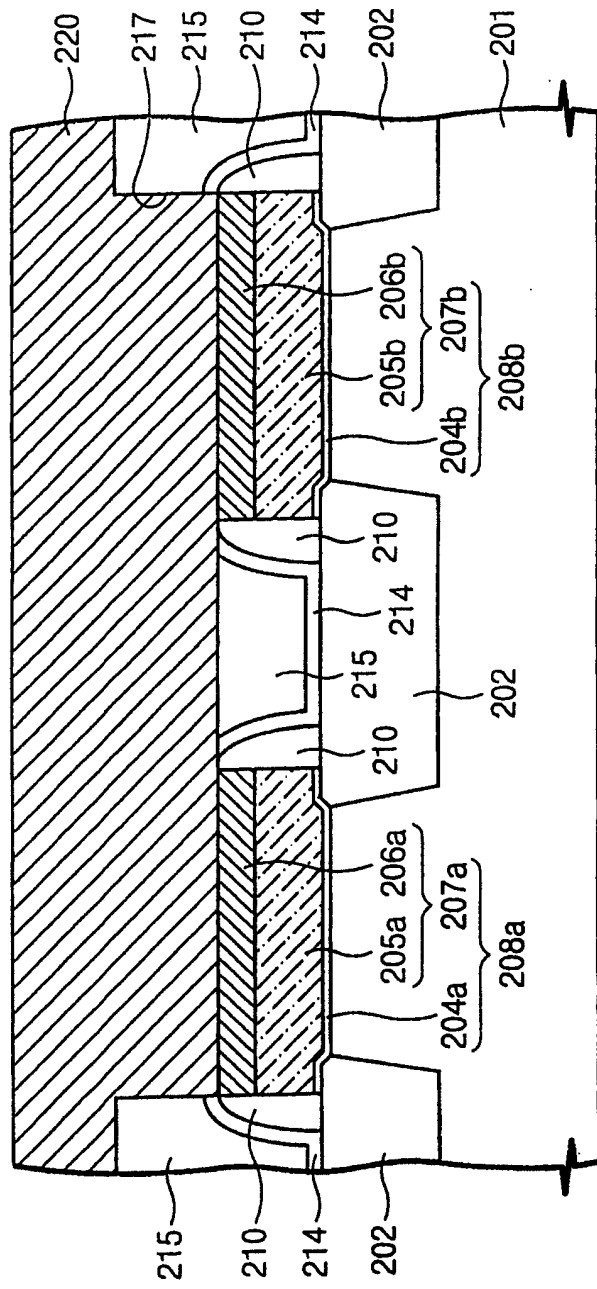


图16B

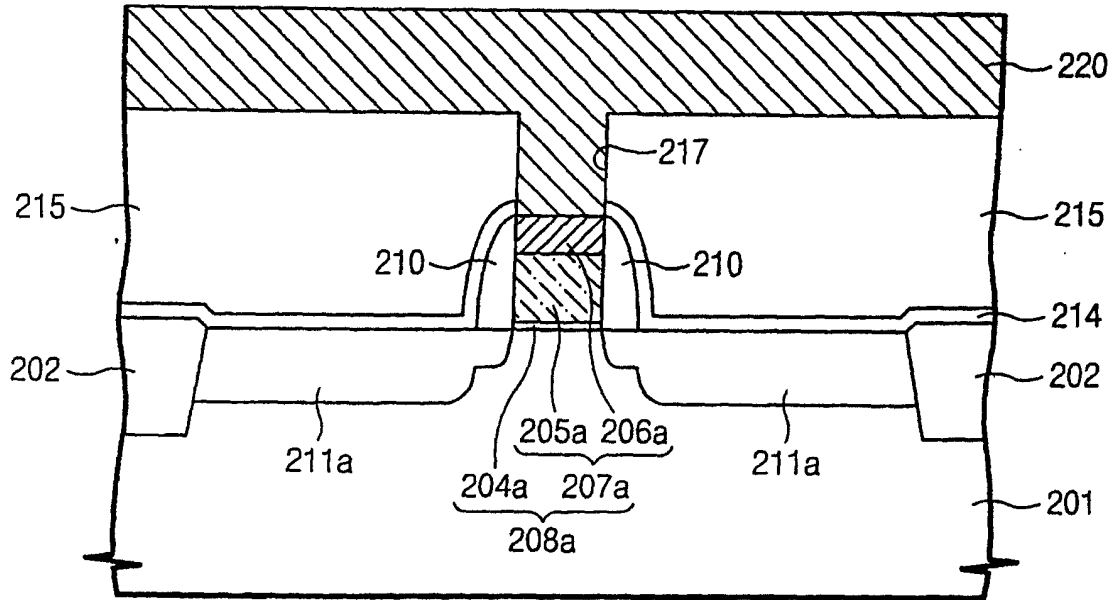


图17

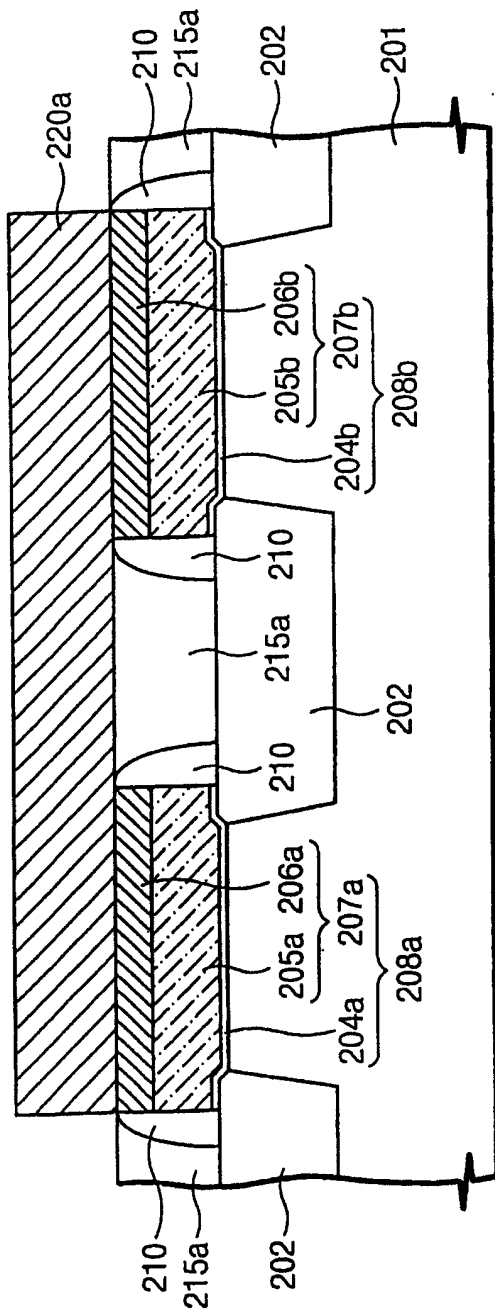


图18

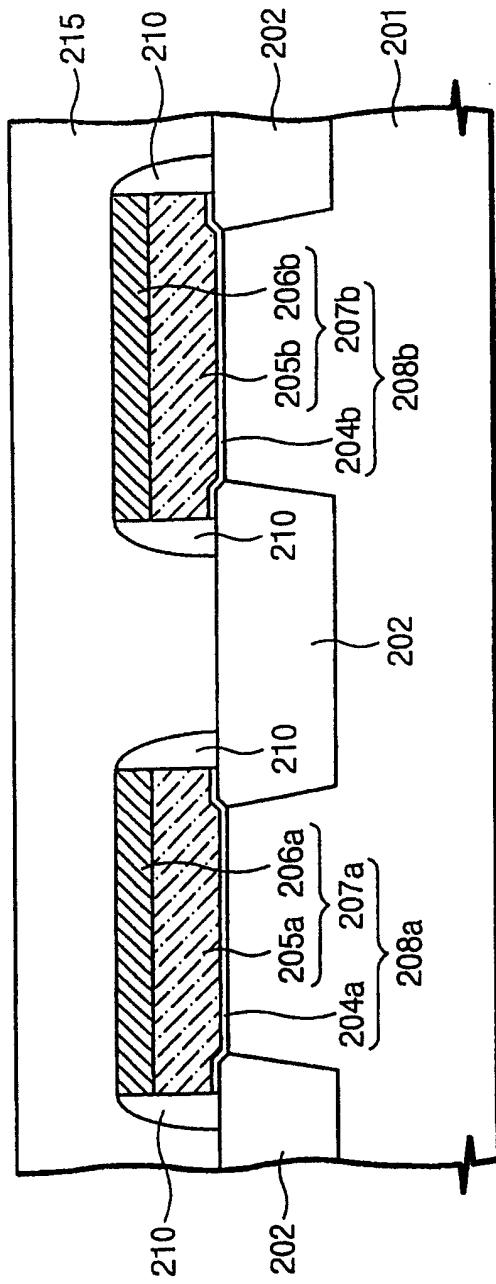


图19

