

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H03K 5/14	(11) 공개번호 (43) 공개일자	특2000-0022571 2000년04월25일
---	------------------------	------------------------------

(21) 출원번호	10-1999-0005030
(22) 출원일자	1999년02월12일
(30) 우선권주장	1019980039308 1998년09월22일 대한민국(KR)
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	정영한 충청북도 청주시 흥덕구 향정동 50번지
(74) 대리인	박장원

심사청구 : 있음

(54) 알씨 지연시간 안정화 회로

요약

본 발명은 입력신호를 반전시키는 인버터와, 인버터의 출력에 따라 충전/방전되는 RC지연부와, 전원전압단자와 RC지연부의 출력단자 사이에 접속되어, 게이트로 입력신호를 입력받는 풀-업 MOS트랜지스터와, 인버터와 RC지연부의 출력레벨에 따라 동일한 지연시간을 갖는 출력신호를 발생하는 출력부로 구성된다. 본 발명은 주기적인 신호가 입력될 때 풀-업 MOS트랜지스터에 의해 RC지연부의 충전시간을 감소시킴으로써 입력신호의 각 싸이클에서 동일한 지연시간을 유지할 수 있다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래의 기본적인 RC지연회로의 구성도.
 도 2는 도 1에 단일 싸이클의 입력신호가 인가될 때 각 부의 신호파형도.
 도 3은 도 1에 주기적인 입력신호가 인가될 때 각 부의 신호파형도.
 도 4는 본 발명에 따른 RC지연시간 안정화 회로의 구성도.
 도 5는 도 4에 주기적인 입력신호가 인가될 때 각 부의 신호파형도.

*** 도면의 주요 부분에 대한 부호의 설명 ***

10 : RC지연부 20 : MOS트랜지스터
 30 : 출력부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 알씨(RC)지연회로에 관한 것으로서, 특히 RC지연시간 안정화회로에 관한 것이다.

일반적으로 반도체 메모리소자는 신호들의 시간마진을 확보하기 위하여 저항과 캐패시터로 구성된 RC지연회로를 이용하여 지연시간을 조절한다. 이때, 상기 RC지연회로는 저항을 통하여 입력된 신호를 캐패시터에 충/방전시켜 신호의 지연을 발생시킨다.

도 1에는 종래의 기본적인 RC지연회로가 도시되어 있다.

도 1에 도시된 바와같이 RC지연회로는 입력신호(IN)를 반전시키는 인버터(IN1)와, 인버터(IN1)의 출력을 지연시키는 RC지연부(10)와, 상기 인버터(IN1)와 RC지연부(10)의 출력을 노아링하는 노아게이트(NR1)로 구성된다. 상기 RC지연부(10)는 저항(R)과 n-type MOS 캐패시터(12)로 구성된다.

이와같이 구성된 종래의 RC지연회로의 동작은 다음과 같다.

도 2은 단일 싸이클의 입력신호(IN)가 인가될 경우의 신호파형도이다.

입력신호(IN)가 인버터(IN1)와 저항(R)을 통하여 MOS캐패시터(12)로 입력되면, RC지연부(10)의 MOS캐패시터(12)는 입력신호(IN)의 레벨에 따라 충전 및 방전동작을 반복적으로 수행한다.

그런데, 노아게이트(NR1)의 소자특성상, 출력신호(OUT)의 지연시간(d1)은 입력신호(IN)가 로우레벨에서 하이레벨로 천이할 경우는 RC지연부(10)의 출력신호(B)에 의해 결정되고, 입력신호(IN)가 하이레벨에서 로우레벨로 천이할 경우는 인버터(IN1)의 출력신호(A)에 의해 결정된다. 따라서, 노아게이트(NR1)의 출력신호(OUT)는 입력신호(IN)에 대하여 d1만큼의 지연시간을 갖게 된다.

도 3은 주기적인 입력신호(IN)가 인가될 경우의 신호파형도이다.

상술한 바와같이 종래의 RC지연회로는 주기적인 입력신호(IN)의 각 싸이클에 대하여 소정의 지연시간을 갖는 출력신호(OUT)를 발생한다. 이때, 이상적인 경우 각 싸이클에서 출력신호(OUT)의 지연시간은 동일하다. 그런데, 주기적인 입력신호(IN)가 인버터(IN1)와 저항(R)을 통하여 MOS캐패시터(12)에 충전될 때, 입력신호(IN)의 제1싸이클이 아직 MOS캐패시터(12)에 충분히 충전되지 않은 상태에서 입력신호(IN)의 제2싸이클이 입력되는 경우가 발생될 수 있다. 이 경우 RC지연부(10)의 출력신호(B)의 레벨이 낮아져 출력신호(OUT)의 지연시간(d2)이 줄어들게 된다. 이로인하여 제2싸이클의 지연시간(d2)이 제1싸이클에서의 지연시간(d1)보다 작아지게 된다.

상술한 바와같이, 종래의 RC지연회로는 주기적인 입력신호(IN)가 인가될 경우 각 싸이클의 RC지연시간이 동일하지 않은 문제점이 발생된다. 따라서, 반도체 메모리소자는 상기 RC지연회로의 불안정한 RC지연동작에 의해 신호들의 시간마진을 확보할 수 없게 된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 안정적인 RC지연동작을 확보할 수 있는 RC지연시간 안정화 회로를 제공하는데 있다.

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 RC지연시간 안정화 회로는 입력신호를 반전시키는 인버터와, 인버터의 출력에 따라 충/방전되는 RC지연부와, 전원전압단자와 RC지연부의 출력단자 사이에 접속되어, 게이트로 입력신호가 인가되는 풀-업 MOS트랜지스터와, 인버터와 RC지연부의 출력레벨에 따라 동일한 지연시간을 갖는 출력신호를 발생하는 출력부로 구성된다. 상기 풀-업 MOS트랜지스터는 주기적인 신호가 입력될 때, RC지연부의 충전지연시간을 보상한다.

발명의 구성 및 작용

도 4에는 본 발명에 따른 RC지연시간 안정화회로가 도시되어 있다.

도 4에 도시된 바와같이 본 발명에 따른 RC지연시간의 안정화회로는 입력신호(IN)를 반전시키는 인버터(IN1)와, 그 인버터(IN1)의 출력을 지연시키는 RC지연부(10)와, 상기 입력신호(IN)에 따라 RC지연부(10)의 출력노드(B)를 풀-업시키는 P-type MOS트랜지스터(20)와, 상기 인버터(IN1)와 RC지연부(10)의 출력을 입력받아 일정한 RC지연시간을 갖는 출력신호(OUT)를 발생하는 출력부(30)로 구성된다.

상기 RC지연부(10)는 저항(R)과 n-type MOS캐패시터(12)로 구성되며, 상기 MOS트랜지스터(20)는 전원전압(Vcc)노드와 RC지연부(10)의 출력노드(B)에 접속되어 있다.

그리고, 출력부(30)는 전원전압(Vcc)과 접지전압(Vss)사이에 직렬 접속된 MOS트랜지스터들(PM2), (PM1), (NM1)과, 상기 MOS트랜지스터들(PM1), (NM1)의 드레인과 출력단자에 병렬 접속된 MOS트랜지스터(NM2)로 구성된다. 또한, 상기 MOS트랜지스터들(PM1), (NM1)의 게이트는 인버터(IN1)의 출력단자에 접속되고, MOS트랜지스터들(PM2), (NM2)의 게이트는 각각 RC지연부(10)의 출력단자에 접속된다. 이때, 상기 MOS트랜지스터들(PM1), (PM2)은 p-type이고, MOS트랜지스터들(NM1), (NM2)은 n-type이다.

이와같이 구성된 본 발명에 따른 RC지연시간 안정화 회로의 동작은 다음과 같다.

주기적인 입력신호(IN)가 인버터(IN1)와 저항(R)을 통하여 MOS캐패시터(12)로 입력되면, RC지연부(10)의 MOS캐패시터(12)는 입력신호(IN)의 레벨에 따라 충전 및 방전동작을 반복적으로 수행하며, MOS캐패시터(20)는 입력신호(IN)에 따라 RC지연부(10)의 출력단자를 풀-업시킨다.

따라서, 출력부(30)는 인버터의 출력신호(A)와 RC지연부(10)의 출력신호(B)에 따라 입력신호(IN)의 각 사이클에서 동일한 지연시간을 갖는 출력신호(OUT)를 출력한다. 상기 동작을 입력신호(IN)의 제1, 제2사이클을 예로들어 설명하면 다음과 같다.

제1사이클에서 입력신호(IN)가 로우레벨에서 하이레벨로 천이하면, MOS트랜지스터(20)는 턴오프되고, 인버터(IN1)의 출력신호(A)는 로우레벨이 된다. 따라서, 상기 로우레벨의 출력신호(A)에 의해 출력부(30)의 MOS트랜지스터(PM1)는 턴온되고 MOS캐패시터(12)는 방전되기 시작한다. 그 결과, MOS캐패시터(12)의 방전동작에 의해 RC지연부(10)의 출력신호(B)는 감소된다. 이후, 출력신호(B)가 MOS트랜지스터(PM2)의 문턱전압레벨까지 감소하면 MOS트랜지스터(PM2)가 턴온되어, 턴온된 MOS트랜지스터들(PM2), (PM1) 및 출력단자를 통하여 입력신호(IN)에 대하여 d1만큼의 지연시간을 갖는 출력신호(OUT)가 출력된다. 이 경우, 지연시간(d1)은 입력신호(IN)가 로우레벨에서 하이레벨로 천이한 시점부터 MOS트랜지스터(PM2)가 턴온될 때까지의 시간이다.

이후, 입력신호(IN)가 다시 하이레벨에서 로우레벨로 천이하면, 인버터(IN1)의 출력신호(A)에 의해 MOS트랜지스터(NM1)는 턴온되고, MOS캐패시터(12)는 다시 충전되기 시작한다. 그런데, MOS트랜지스터(20)는 로우레벨의 입력신호(IN)에 의해 이미 턴온상태에 있기 때문에, RC지연부(10)의 출력노드(B)는 턴온된 MOS트랜지스터(20)에 의해 풀-업된다. 그 결과, MOS캐패시터(12)의 충전동작과 MOS트랜지스터(20)의 풀-업동작에 의해 출력노드(B)가 충전되어 전체 충전시간을 감소시킬 수 있게 된다.

따라서, 제2사이클에서 입력신호(IN)가 로우레벨에서 하이레벨로 천이해도 이미 출력노드(B)는 충분히 충전된 상태이기 때문에, 제2사이클에서의 출력신호(OUT)의 지연시간(d2)은 제1사이클에서의 지연시간(d1=d2)과 동일하게 된다.

그리고, 본 발명에서 선행된 실시예들은 단지 한 예로서 청구범위를 한정하지 않으며, 여러가지의 대안, 수정 및 변경들이 통상의 지식을 갖춘자에게 자명한 것이 될 것이다.

발명의 효과

상술한 바와같이, 본 발명은 주기적인 신호가 입력될 때 풀-업 MOS트랜지스터에 의해 RC지연부의 충전시간을 감소시킴으로써, 입력신호의 각 사이클에서 동일한 지연시간을 유지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

주기적인 입력신호를 반전시키는 인버터와;
 인버터의 출력에 따라 충/방전되는 RC지연부와;
 전원전압단자와 RC지연부의 출력단자사이에 접속되어, 게이트로 입력신호가 인가되는 풀-업 MOS트랜지스터와;
 인버터와 RC지연부의 출력레벨에 따라 동일한 지연시간을 갖는 출력신호를 발생하는 출력부로 구성된 것을 특징으로 하는 알씨 지연시간 안정화회로.

청구항 2

제1항에 있어서, 상기 풀-업 MOS트랜지스터는 p-type인 것을 특징으로 하는 알씨 지연시간 안정화회로.

청구항 3

제1항에 있어서, 상기 풀-업 MOS트랜지스터는 입력신호가 하이레벨에서 로우레벨로 천이할 때 RC지연부의 출력을 풀-업시키는 것을 특징으로 하는 알씨 지연시간 안정화회로.

청구항 4

제1항에 있어서, 상기 출력부는 로직게이트인 것을 특징으로 하는 알씨 지연시간 안정회로.

청구항 5

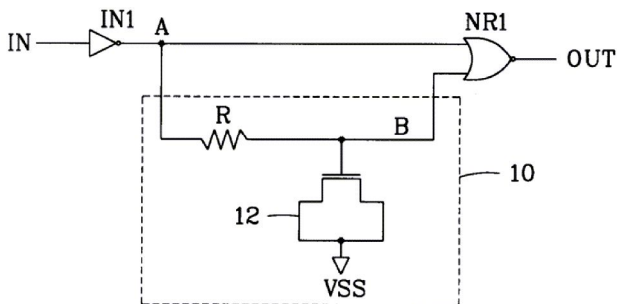
제1항에 있어서, 상기 출력부는 전원전압과 접지전압사이에 직렬 접속된 제1~제3MOS트랜지스터와; 상기 제2, 제3MOS트랜지스터의 드레인과 출력단자에 병렬 접속된 제4MOS트랜지스터로 구성되며, 상기 제2, 제3MOS트랜지스터의 게이트는 인버터의 출력단자에 접속되고, 상기 제1, 제4MOS트랜지스터의 게이트는 RC지연부의 출력단자에 접속되는 것을 특징으로 하는 알씨 지연시간 안정회로.

청구항 6

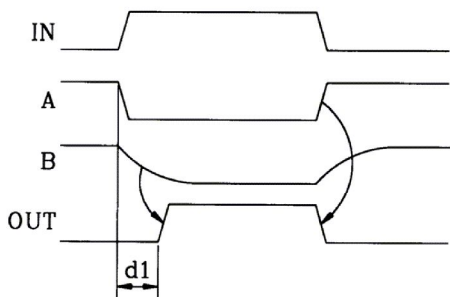
제5항에 있어서, 상기 제1, 제2MOS트랜지스터는 p-type이고, 제3, 제4MOS트랜지스터는 n-type인 것을 특징으로 하는 알씨 지연시간 안정회로.

도면

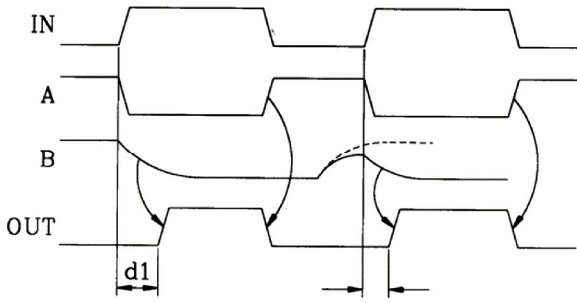
도면1



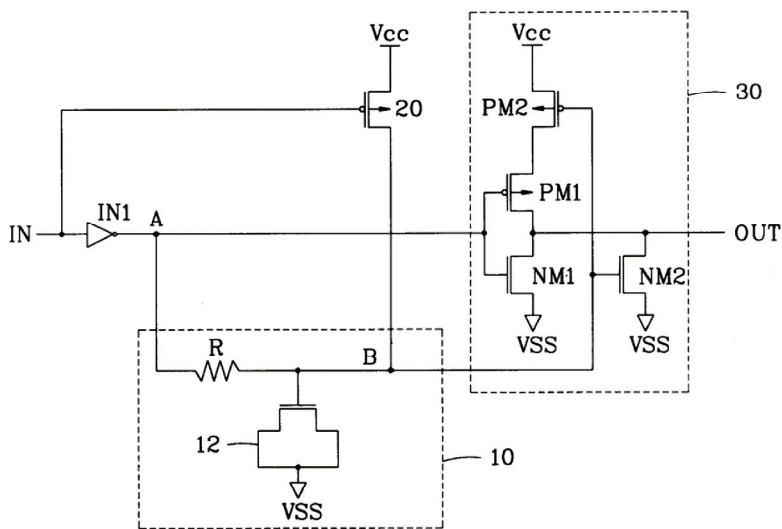
도면2



도면3



도면4



도면5

