

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6330364号
(P6330364)

(45) 発行日 平成30年5月30日 (2018.5.30)

(24) 登録日 平成30年5月11日 (2018.5.11)

(51) Int. Cl. F I
H03F 1/52 (2006.01) H03F 1/52 A
H03F 3/217 (2006.01) H03F 3/217

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2014-35576 (P2014-35576)	(73) 特許権者	00004075 ヤマハ株式会社 静岡県浜松市中区中沢町10番1号
(22) 出願日	平成26年2月26日 (2014.2.26)	(74) 代理人	100125689 弁理士 大林 章
(65) 公開番号	特開2015-162732 (P2015-162732A)	(74) 代理人	100121108 弁理士 高橋 太郎
(43) 公開日	平成27年9月7日 (2015.9.7)	(72) 発明者	田中 泰臣 静岡県浜松市中区中沢町10番1号 ヤマ ハ株式会社内
審査請求日	平成28年12月19日 (2016.12.19)	審査官	▲高▼橋 義昭

最終頁に続く

(54) 【発明の名称】 増幅回路の保護回路

(57) 【特許請求の範囲】

【請求項1】

高電位側に対応する信号を出力端子に出力する第1トランジスタと、
 低電位側に対応する信号を前記出力端子に出力する第2トランジスタと、
 入力信号に基づいて前記第1トランジスタまたは前記第2トランジスタの一方をオンに
 、他方をオフに駆動する駆動回路と、
 を有する増幅回路の保護回路であって、
 前記入力信号が、閾値電圧以上であれば、第1電流を規定する参照信号を出力し、前記
 閾値電圧未満であれば、前記第1電流よりも小さい第2電流を規定する参照信号を出力す
 る参照信号出力回路と、
 前記第1トランジスタに流れる電流が前記参照信号で規定される電流以上であるか否か
 を検出する検出回路と、
 を具備し、
 前記検出回路によって、前記参照信号で規定される電流以上であると検出された場合、
 前記駆動回路は、前記第1トランジスタおよび前記第2トランジスタの駆動を停止させる
 ことを特徴とする増幅回路の保護回路。

【請求項2】

前記参照信号出力回路は、
 前記入力信号の電圧と前記閾値電圧とを比較する比較回路を有し、
 前記比較回路によって、前記入力信号の電圧が前記閾値電圧以上である場合、前記参照

信号で前記第 1 電流を規定し、

前記入力信号の電圧が前記閾値電圧未満である場合、前記参照信号で前記第 2 電流を規定する

ことを特徴とする請求項 1 に記載の増幅回路の保護回路。

【請求項 3】

前記参照信号出力回路は、

前記入力信号の電圧が前記閾値電圧未満の状態が所定時間継続したとき、前記参照信号で規定する電流を、前記第 1 電流から前記第 2 電流に変化させる

ことを特徴とする請求項 2 に記載の増幅回路の保護回路。

【請求項 4】

前記参照信号出力回路は、

前記入力信号の電圧が前記閾値電圧未満の状態から前記閾値電圧以上の状態に遷移したとき、前記所定時間よりも短い時間で、前記参照信号で規定する電流を、前記第 2 電流から前記第 1 電流に変化させる

ことを特徴とする請求項 3 に記載の増幅回路の保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば D 級増幅回路などに適用して好適な増幅回路の保護回路に関する。

【背景技術】

【0002】

増幅回路として、最終段に高電位側のトランジスタと低電位側のトランジスタとを含む構成が良く知られている。このような増幅回路において、トランジスタに過電流が流れてしまうと、当該トランジスタが破壊されてしまうので、この種の破壊を防止するために、保護回路が増幅回路に設けられる。

【0003】

この保護回路としては、例えば、第 1 に、出力段を構成する一対のトランジスタのうち、一方に過電流が発生した場合であっても、双方のトランジスタをオフ状態に制御する技術（例えば特許文献 1 参照）や、第 2 に、負荷としてのスピーカの 2 つの入力端子の一方を、BTL（Balanced Transformer Less）出力回路の 2 つの出力端子の一方と接続した状態で、スピーカの信号入力端子の他方が接地されたときに、BTL 出力回路の検出抵抗に流れる負電流を検出し、該検出結果に基づいて、BTL 出力回路の動作を停止させる技術（例えば特許文献 2 参照）、第 3 に、トランジスタに許容値以上の電流が流れた場合、そのトランジスタを流れる電流が定電流となるようなモードに切り換えて、当該トランジスタへのダメージを最小限にする技術（例えば特許文献 3 参照）などが挙げられる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2004 - 064673 号公報

【特許文献 2】特開 2004 - 214933 号公報

【特許文献 3】特開 2010 - 226155 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、増幅回路の出力端子が、なんらかの理由によって低抵抗の線材などを介してグラウンドに短絡した場合に、高電位側のトランジスタがオンする状態（または電流を流す状態）となると、当該トランジスタに流れる電流が所定値よりも大きければ、高電位側のトランジスタに過電流が流れている、と検出することができる。

【0006】

しかしながら、増幅回路の出力端子の電圧が比較的低い状態で、大きなインダクタンス

10

20

30

40

50

を有する線材（例えばコイル）を介して当該出力端子がグランドに短絡した場合、当該線材に流れる電流が、上記低抵抗の導線で短絡した場合と比較して急激には増加しない。

このため、トランジスタに流れる電流が所定値よりも大きくなるまでに、上記低抵抗の線材で短絡した場合と比較して時間がかかることになり、結果として、当該トランジスタの破壊を招く可能性が指摘されている。

【0007】

本発明は、このような事情に鑑みてなされたものであり、その目的の1つは、大きなインダクタンスを有する線材を介して出力端子が短絡した場合であっても、迅速にトランジスタを保護する技術を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の一態様に係る増幅回路の保護回路は、高電位側に対応する信号を出力端子に出力する第1トランジスタと、低電位側に対応する信号を前記出力端子に出力する第2トランジスタと、入力信号に基づいて前記第1トランジスタおよび前記第2トランジスタを駆動する駆動回路と、を有する増幅回路の保護回路であって、前記入力信号が、閾値電圧以上であれば、第1電流を規定する参照信号を出力し、前記閾値電圧未満であれば、前記第1電流よりも小さい第2電流を規定する参照信号を出力する参照信号出力回路と、前記第1トランジスタに流れる電流が前記参照信号で規定される電流以上であるか否かを検出する検出回路と、を具備し、前記検出回路によって、前記参照信号で規定される電流以上であると検出された場合、前記駆動回路は、前記第1トランジスタおよび前記第2トランジスタの駆動を停止させることを特徴とする。

【0009】

本発明の一態様に係る増幅回路の保護回路では、第1トランジスタに流れる電流が参照信号で規定される電流以上であると検出された場合、駆動回路が、トランジスタの駆動を停止させる構成において、参照信号出力回路は、入力信号の電圧が閾値未満であれば、当該参照信号で規定される電流を低くする。このため、一態様に係る増幅回路の保護回路によれば、出力端子が、例えば大きなインダクタンス成分を有する線材を介して接地側にショートされた場合であって、入力信号の電圧が低く、出力端子の電圧が低いために電流が流れにくい状況でも、迅速に、トランジスタの駆動を停止させて、当該トランジスタの破壊を防止することができる。

なお、第1トランジスタに流れる電流が前記参照信号で規定される電流以上であることについては、例えば、出力端子の電圧が参照信号の電流に対応する電圧以上であるか否かによって検出することができる。

【0010】

上記一態様において、前記参照信号出力回路は、前記入力信号の電圧と前記閾値電圧とを比較する比較回路を有し、前記比較回路によって、前記入力信号の電圧が前記閾値電圧以上である場合、前記参照信号で前記第1電流を規定し、前記入力信号の電圧が前記閾値電圧未満である場合、前記参照信号で前記第2電流を規定する構成としても良い。この構成によれば、参照信号出力回路を、比較回路のような簡易な構成によって実現できる。

【0011】

上記構成では、入力信号の電圧が閾値電圧付近で変動すれば、参照信号で規定される電流が頻繁に変動して、誤動作の原因になるので、前記参照信号出力回路は、前記入力信号の電圧が前記閾値電圧未満の状態が所定時間継続したとき、前記参照信号で規定する電流を、前記第1電流から前記第2電流に変化させても良い。これにより、入力信号の電圧が一瞬、閾値電圧未満となっても、当該状態所定時間継続しなければ、参照信号で規定される電流が第1電流から第2電流に変化しないので、誤動作を防止することができる。

前記参照信号出力回路は、前記入力信号の電圧が前記閾値電圧未満の状態から前記閾値電圧以上の状態に遷移したとき、前記所定時間よりも短い時間で、前記参照信号で規定する電流を、前記第2電流から前記第1電流に変化させても良い。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 2 】

【図 1】第 1 実施形態に係る保護回路を含むシステム全体の構成を示す図である。

【図 2】保護回路における参照信号出力回路の動作を説明するための図である。

【図 3】保護回路の動作を説明するための図である。

【図 4】第 2 実施形態に係る保護回路を含むシステム全体の構成を示す図である。

【図 5】保護回路における遅延ブロックの入出力特性の一例を示す図である。

【図 6】応用例に係る保護回路を含むシステム全体の構成を示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、本発明の実施形態について図面を参照して説明する。

10

【 0 0 1 4 】

図 1 は、第 1 実施形態に係る保護回路を含むシステムの構成例を示す図である。

この図の例は、入力信号 V_{in} を増幅してスピーカ 30 に出力、すなわち放音させる構成を示しており、増幅回路 10 と、保護回路 20 とを含む。増幅回路 10 は、いわゆる D 級増幅回路であり、アナログの入力信号 V_{in} を入力端子 I_n に入力して、スイッチング信号を出力端子 O_u から出力する。

増幅回路 10 は、パルス変調回路 112 と、駆動回路 114 と、トランジスタ 121、122 とを含む。パルス変調回路 112 は、入力信号 V_{in} のレベル（電圧）に応じて例えばパルス幅変調する。なお、パルス幅変調に限られず、パルス密度変調であっても良い。

【 0 0 1 5 】

20

駆動回路 114 は、パルス幅変調された信号をレベルシフト等して、トランジスタ 121、122 を排他的にオンオフさせる。ただし、駆動回路 114 は、ミュート端子（Mute）を有し、当該ミュート端子に供給される信号が例えば H レベルになると、トランジスタ 121、122 をそれぞれ強制的にオフさせる構成となっている。

【 0 0 1 6 】

トランジスタ 121、122 は、例えば MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）であり、このうち、トランジスタ 121 においては、ドレイン端子に電源の高位側電圧 V_{dd} が供給され、ソース端子が出力端子 O_u に接続される。トランジスタ 122 においては、ドレイン端子が出力端子 O_u に接続され、ソース端子が、電源の低位側であるグランド G_{nd} に接地されている。

30

このため、トランジスタ 121 が高電位側に対応する信号を出力端子 O_u に出力する第 1 トランジスタとなり、トランジスタ 122 が低電位側に対応する信号を出力端子 O_u に出力する第 2 トランジスタとなる。

なお、この説明において特に説明のない限り、グランド G_{nd} を電圧ゼロの基準とする。

【 0 0 1 7 】

出力端子 O_u は、稼働時においては、インダクタ L の一端に接続され、インダクタ L の他端は、負荷の一例であるスピーカ 30 の一方の端子と、コンデンサ C の一端に接続されて、コンデンサ C の他端がグランド G_{nd} に接地される。すなわち、出力端子 O_u は、インダクタ L とコンデンサ C とで構成される LPF（Low Pass Filter）を介して、スピーカ 30 の一方の端子に接続される。なお、スピーカ 30 の他方の端子には、電源電圧の半分である $V_{dd}/2$ が供給される。

40

この構成により、出力端子 O_u から出力されるスイッチング信号が LPF でアナログ信号に変換されて、スピーカ 30 から出力されることになる。

【 0 0 1 8 】

ところで、例えば図 1 において破線（a）で示されるように、スピーカ 30 の一方の端子が、なんらかの理由により、グランド G_{nd} に接続されて、インダクタ L の他端が電氣的にショート（地絡）しまうと、トランジスタ 121 に許容値以上の過電流が流れて、最悪、破壊されてしまう可能性がある。類似のケースとして、破線（b）で示されるように、出力端子 O_u が、インダクタ成分の大きな線材を介して地絡した場合などが挙げられる。

本実施形態では、過電流によるトランジスタの破壊を防止するために保護回路 20 が設

50

けられている。

【0019】

図1に示されるように、保護回路20は、参照信号出力回路210と検出回路220とを含む。

参照信号出力回路210は、コンパレータ212、スイッチ216、218、抵抗素子R1～R5を含み、検出回路220は、コンパレータ223、224、AND回路226、OR回路228を含む。コンパレータ212、223、224のそれぞれは、負入力端(-)および正入力端(+)を有し、負入力端(-)に供給された電圧が正入力端(+)に供給された電圧未満である場合、Hレベルを出力し、負入力端(-)に供給された電圧が正入力端(+)に供給された電圧以上である場合、Lレベルを出力する。

10

【0020】

参照信号出力回路210において、コンパレータ212の負入力端(-)には入力信号Vinが供給され、正入力端(+)には閾値電圧Vthが供給される。このため、コンパレータ212から出力される信号Vcmpは、入力信号Vinが閾値電圧Vth未満であれば、Hレベルとなり、入力信号Vinが閾値電圧Vth以上であれば、Lレベルとなる。

【0021】

抵抗素子R1～R5は、電源電圧(Vdd、Gnd)との間において直列に接続されている。スイッチ216は、電源電圧Vddと、抵抗素子R1、R2の接続点との間でオンオフする。スイッチ218は、グランドGndと、抵抗素子R4、R5の接続点との間でオンオフする。スイッチ216、218は、それぞれ信号VcmpがHレベルであればオンし、信号VcmpがLレベルであればオフする。

20

参照信号出力回路210では、抵抗素子R2、R3の接続点の電圧が参照信号Ref-Hとして出力され、抵抗素子R3、R4の接続点の電圧が参照信号Ref-Lとして出力される。

【0022】

このように構成された参照信号出力回路210において、入力信号Vinが閾値電圧Vth以上である場合、コンパレータ212による信号VcmpがLレベルとなるので、スイッチ216、218がオフする。説明を簡略化するために抵抗素子R1～R5の抵抗値をそのままR1～R5とすると、参照信号Ref-Hの電圧は、

$$V_{dd} \cdot (R_3 + R_4 + R_5) / (R_1 + R_2 + R_3 + R_4 + R_5)$$

30

となる。

また、参照信号Ref-Lの電圧は、入力信号Vinが閾値電圧Vth以上である場合、

$$V_{dd} \cdot (R_4 + R_5) / (R_1 + R_2 + R_3 + R_4 + R_5)$$

となる。

図2の(a)は、入力信号Vinが閾値電圧Vth以上である場合における参照信号Ref-H、Ref-Lの電圧関係を示す図である。なお、この図は、説明のために抵抗値R1～R5を互いに等しい場合を想定した電圧関係を示しているが、実際には後述するように、正常動作時に誤検出しないように、かつ、トランジスタに許容される最大の電流に対してマージンを持つような値に別々に設定されることが多い。

【0023】

40

一方、入力信号Vinが閾値電圧Vth未満である場合、信号VcmpがHレベルとなるので、スイッチ216、218がオンする。このため、参照信号Ref-Hの電圧は、

$$V_{dd} \cdot (R_3 + R_4) / (R_2 + R_3 + R_4)$$

となつて、入力信号Vinが閾値電圧Vth以上である場合よりも高くなる。

また、参照信号Ref-Lの電圧は、入力信号Vinが閾値電圧Vth未満である場合、

$$V_{dd} \cdot (R_4) / (R_2 + R_3 + R_4)$$

となつて、入力信号Vinが閾値電圧Vth以上である場合よりも低くなる。

図2の(b)は、入力信号Vinが閾値電圧Vth未満である場合における参照信号Ref-H、Ref-Lの電圧関係を示す図である。

【0024】

50

図1の検出回路220において、コンパレータ223の負入力端(-)は、増幅回路10の出力端子Outに接続され、正入力端(+)には参照信号Ref-Hが供給される。また、コンパレータ224の負入力端(-)には参照信号Ref-Lが供給され、正入力端(+)は増幅回路10の出力端子Outに接続される。

AND回路226は、コンパレータ223、224の出力信号同士の論理積信号を出力し、OR回路228は、AND回路226による論理積信号とミュート信号(Mute)との論理和信号を、駆動回路114のミュート端子に供給する。なお、ここでいうミュート信号とは、スピーカ30への出力の遮断をHレベルで指示するための信号であり、外部から供給される。

【0025】

このように構成された検出回路220において、増幅回路10の出力端子Outの電圧が参照信号Ref-Hの電圧未満であれば、コンパレータ223の出力信号がHレベルとなる。また、出力端子Outの電圧が参照信号Ref-Lの電圧以上であれば、コンパレータ224の出力信号がHレベルとなる。

このため、保護回路20において、

(1) 出力端子Outが参照信号Ref-Hの電圧未満であって、かつ、参照信号Ref-Lの電圧以上である場合、または、

(2) ミュート信号(Mute)がHレベルである場合、

であれば、OR回路228の出力信号がHレベルとなって、増幅回路10においてトランジスタ121、122をそれぞれ強制的にオフさせる構成となっている。

【0026】

ところで、トランジスタ121、122は、入力信号Vinの電圧に応じていずれか一方がオンし、他方がオフする関係にある。出力端子Outが地絡した場合、トランジスタ122がオンしても、当該トランジスタ122に過電流が流れ続けることはないので、この場合に保護すべき対象はトランジスタ121である。

出力端子Outが地絡した場合にトランジスタ121がオンするとき、電流は、電源電圧Vddの給電線 トランジスタ121 出力端子Out グランドGndという経路で流れる。このときの地絡が、インダクタンスの小さな線材を介して発生しているのであれば、図3(a)に示されるように、当該電流は時間経過に対して比較的急激に上昇する。

【0027】

ここで、トランジスタ121に流れる電流が大きくなるにつれて、出力端子Outの電圧降下が大きくなる関係にある。このため、トランジスタ121がオンして電流が流れるときに、出力端子Outが参照信号Ref-Hの電圧未満であることを検出することで、当該電流が、閾値電流I_{th}以上であることを検出することができる。

出力端子Outの電圧は、正常の駆動では、電源電圧VddまたはグランドGndのいずれかである。このため、トランジスタ121に流れる電流が、閾値電流I_{th}以上であることの検出にあたって、出力端子Outの電圧がグランドGndである場合を排除するために、参照信号Ref-Hの電圧未満であることに加えて、参照信号Ref-Lの電圧以上であることを条件としている。なお、参照信号Ref-Hの電圧は、トランジスタ121に流れる電流を判別する際に用いる閾値電流I_{th}を規定することとなる。

【0028】

このように、トランジスタ121に流れる電流が閾値電流I_{th}以上となったことについては、コンパレータ223、224によって出力端子Outが参照信号Ref-Hの電圧未満であって参照信号Ref-Lの電圧以上であることによって、検出される。

なお、正常の駆動では、出力端子Outの電圧は、電源電圧VddまたはグランドGndのいずれかであるので、この切り替わりの際に、当該出力端子Outの電圧が、参照信号Ref-Hの電圧未満であって参照信号Ref-Lの電圧以上の範囲内に、短い時間ではあるが入り込む余地がある。このため、コンパレータ223、224は、比較結果が一定時間以上充足した場合に限り、Hレベルの信号を出力するように、入出力特性が調整されている。

【0029】

10

20

30

40

50

ところで、閾値電流 I_{th} が固定であると、次のような問題がある。すなわち、当初トランジスタ 121 がオフし、トランジスタ 122 がオンした状態（出力端子 Out の電圧が低い状態）のときに、出力端子 Out が、インダクタンスの大きな線材を介して地絡して、トランジスタ 121、122 のオンオフが切り替わると、図 3 (b) に示されるように、当該電流は流れにくいために時間経過に対して比較的緩慢に上昇する。このため、トランジスタ 121 に流れる電流が閾値電流 I_{th} 以上になるまでの時間 T_b は、同図の (a) の時間 T_a よりも長くかかる。トランジスタに電流が流れることによる発熱量は、良く知られているように、当該トランジスタのオン抵抗に比例し、時間に比例し、電流の 2 乗に比例する。したがって、地絡がインダクタンスの大きな線材を介して発生すると、トランジスタ 121 を保護するまでの時間、すなわち、OR 回路 228 の出力信号が H レベルとなるまでの時間が長くかかることになり、結果的に、トランジスタ 121 が熱破壊する可能性が高くなる、という問題がある。

10

【0030】

なお、当初トランジスタ 121 がオンし、トランジスタ 122 がオフした状態（出力端子 Out の電圧が高い状態）のときに、出力端子 Out がインダクタンスの大きな線材を介して地絡すると、トランジスタ 121 に流れる電流は時間経過に対して比較的急激に上昇するので、上記問題について考慮する必要はない。

逆にいえば、保護回路 20 でトランジスタの破壊を防止する観点でいえば、出力端子 Out の電圧が低い状態が重要となる。

【0031】

20

周知のように D 級増幅回路では、入力信号 V_{in} の電圧が低くなるにつれて、高電位側のトランジスタのオンする時間の比率が小さく（低電位側のトランジスタのオンする時間の比率が大きくなる）なる。換言すれば、出力端子 Out の電圧が低い状態とは、入力信号 V_{in} の電圧が低い状態である、ということである。

【0032】

そこで、本実施形態では、出力端子 Out の電圧が低い状態を、入力信号 V_{in} が閾値電圧 V_{th} 未満であるとして検出している。詳細には、入力信号 V_{in} が閾値電圧 V_{th} 以上から閾値電圧 V_{th} 未満になったときに、参照信号 Ref-H の電圧が高くなることによって、当該参照信号 Ref-H で規定される閾値電流 I_{th} が、図 3 (c) に示されるように引き下げられる。

30

なお、参照信号 Ref-H は、入力信号 V_{in} が閾値電圧 V_{th} 以上の第 1 電圧であれば、閾値電流 I_{th} として比較的大きな第 1 電流を規定し、入力信号 V_{in} が閾値電圧 V_{th} 未満の第 2 電圧であれば、閾値電流 I_{th} として比較的小さな第 2 電流を規定する、という関係にある。

【0033】

上述したように、出力端子 Out の電圧が低い状態である場合、当該出力端子 Out が、インダクタンスの大きな線材を介して地絡したときに、トランジスタ 121 に流れる電流が時間経過に対して比較的緩慢に上昇するが、本実施形態によれば、トランジスタ 121 に流れる電流が閾値電流 I_{th} 以上になるまでの時間 T_c を、閾値電流 I_{th} が一定である場合の時間 T_b よりも短くすることができる。したがって、本実施形態によれば、出力端子 Out の電圧が低い状態で、当該出力端子 Out が、インダクタンスの大きな線材を介して地絡したときでも、トランジスタ 121 が熱破壊する可能性を低く抑えることができるのである。

40

【0034】

なお、出力電圧 Out の電圧を閾値電流 I_{th} に相当する電圧と直接比較する構成も可能ではある。ただし、出力電圧 Out は、電圧ゼロのグランド Gnd から電源電圧 V_{dd} まで振れるので（大振幅であるので）、出力電圧 Out の電圧で判別することは、構成素子にそれだけの耐圧が要求される。一方、入力信号 V_{in} は、増幅する前の信号であるので、小振幅である。したがって、本実施形態のように、入力信号 V_{in} の電圧を判別する構成によれば、構成素子に耐圧が要求されないので、構成の簡易化を図ることができる。

50

【0035】

また、閾値電圧 V_{th} や、抵抗素子 $R_1 \sim R_5$ の抵抗値については、正常動作時に、誤検出しないように、かつ、トランジスタに許容される最大の電流に対してマージンを持つように設定される。

【0036】

次に、本発明の第2実施形態について説明する。

図4は、第2実施形態に係る保護回路を含むシステムを示す図である。

第2実施形態では、保護回路20において、コンパレータ212の比較結果である信号 V_{cmp} が遅延ブロック214に入力されるとともに、この遅延ブロック214から出力される信号 B_{out} によってスイッチ216、218がオンオフされる構成となっている。

10

【0037】

図5は、遅延ブロック214の入力である信号 V_{cmp} と、出力である信号 B_{out} との関係、すなわち入出力特性を示す図である。

この図に示されるように、信号 V_{cmp} がLレベルからHレベルに変化した場合、すなわち入力信号 V_{in} が閾値電圧 V_{th} 未満になった場合、当該変化時点から時間 T_{da} が経過した時点で信号 B_{out} がLレベルからHレベルに変化する。すなわち、遅延ブロック214は、信号 V_{cmp} の立ち上がりに対しては、時間 T_{da} だけ遅延させて出力する。

これにより、入力信号 V_{in} の電圧が徐々に低下して、閾値電圧 V_{th} 未満となっても直ちにスイッチ216、218がオンせずに、当該未満の状態が時間 T_{da} だけ継続したときに、スイッチ216、218がオンして、閾値電流 I_{th} が引き下げられる。このため、入力信号 V_{in} の電圧が、低下傾向にあって閾値電圧 V_{th} 近傍で振れるような場合、閾値電圧 V_{th} 未満となる状態が時間 T_{da} だけ継続しないと、閾値電流 I_{th} が切り替わらない。したがって、閾値電流 I_{th} の切り替えが抑えられて、誤検出が防止されることになる。

20

なお、信号 V_{cmp} がLレベルからHレベルに変化しても、当該変化時点から時間 T_{da} よりも短い時間 T_{dc} が経過した時点で再びLレベルになる場合、信号 B_{out} はHレベルに変化せずにLレベルに維持される。

【0038】

一方、信号 V_{cmp} がHレベルからLレベルに変化した場合、すなわち入力信号 V_{in} が閾値電圧 V_{th} 以上になった場合、当該変化時点から時間 T_{db} が経過した時点で信号 B_{out} がHレベルからLレベルに変化する。ここで、図に示されるように $T_{da} > T_{db}$ に設定されている、詳細には、遅延ブロック214の最短応答速度となるように設定されている。

30

これにより、入力信号 V_{in} が徐々に上昇して、閾値電圧 V_{th} 以上になれば、直ちに信号 B_{out} がLレベルとなり、スイッチ216、218がオフして、閾値電流 I_{th} が引き上げられる。

入力信号 V_{in} の電圧が高い状態では、高電位側のトランジスタ121がオンする時間の比率が大きい、すなわちオンしている可能性が高い。このため、入力信号 V_{in} の電圧が高い状態では、正常時（短絡が発生していない状態）であっても、トランジスタ121には、比較的大きな電流が瞬時的に流れる状況にある。この状況において、閾値電流 I_{th} が引き下げられた状態であると、正常であるにもかかわらず、誤検出してしまいう可能性が高くなる。第2実施形態では、入力信号 V_{in} の電圧が閾値電圧 V_{th} 以上になれば、直ちに閾値電流 I_{th} が引き上げられるので、このような誤検出が防止されることになる。

40

【0039】

なお、遅延ブロック214については、遅延回路とSR（セット・リセット）フリップ回路とを組み合わせた構成や、ノイズ・ディスクリミネータと称される汎用のタイミング・デバイスなどで実現することができる。

【0040】

本発明は、上述した実施形態に限定されるものではなく、例えば次に述べるような各種の応用・変形が可能である。また、次に述べる応用・変形の態様は、任意に選択された一または複数を適宜に組み合わせることもできる。

【0041】

50

出力信号をフィードバックして、パルス幅変調する構成としても良い。

図6は、その構成の一例を示す図である。

この図の例では、LPFの出力信号が、増幅回路10におけるパルス変調回路112にフィードバックされる。パルス変調回路112は、大振幅であるLPFの出力信号を「1」よりも小さい係数を乗じて、入力信号 V_{in} の小振幅に合わせる。この後、パルス変調回路112は、例えば、小振幅に変換されたフィードバック信号から入力信号を減算し、駆動回路114は、当該減算結果が正であれば、トランジスタ121をオフさせ（トランジスタ122をオンさせ）、当該減算結果が負であれば、トランジスタ121をオンさせ（トランジスタ122をオフさせ）るように制御する構成としても良い。換言すれば、駆動回路114は、入力信号 V_{in} のみならず、出力された信号をも考慮して、トランジスタ121、122を駆動する構成でも良い。

10

なお、図6に示したようなフィードバックを用いる構成において、図4で示した遅延ブロック214を設けても良い。

【0042】

また、入力信号 V_{in} は、アナログ信号に限られず、デジタル信号であっても良い。入力信号 V_{in} がデジタル信号であれば、当該入力信号 V_{in} のビットに応じて、スイッチ216、218をオンオフさせる構成であれば良い。

【0043】

参照信号出力回路210は、入力信号 V_{in} が閾値電圧 V_{th} 未満であるかによって参照信号Ref-Hを高または低で切り替える構成としたが、3段階以上で切り替えても良いし、入力信号 V_{in} の電圧が低くなるにつれて、参照信号Ref-Hを徐々に高くする構成としても良い。

20

【0044】

高電位側のトランジスタと低電位側のトランジスタとのペアを有する増幅回路であれば、本発明に係る保護回路が適用される増幅回路は、D級アンプに限られない。

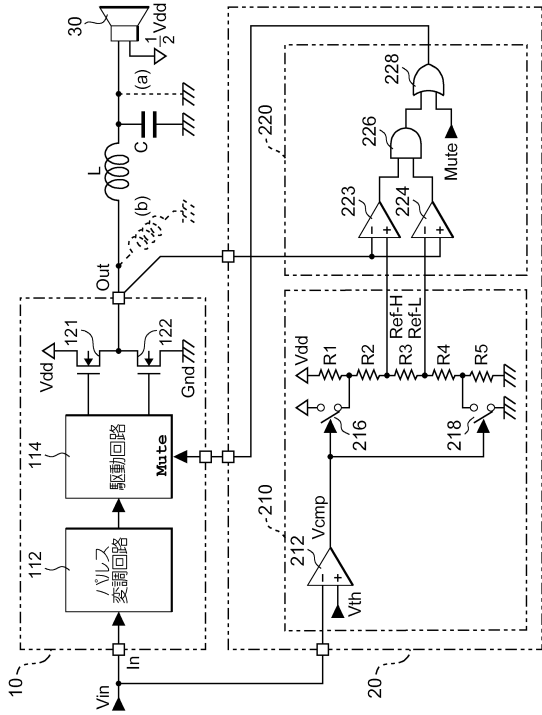
【符号の説明】

【0045】

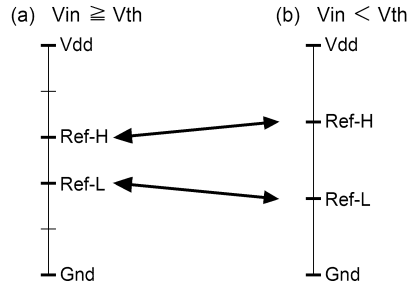
10...増幅回路、20...保護回路、30...スピーカ、114...駆動回路、121、122...トランジスタ、210...参照信号出力回路、212...コンパレータ、214...遅延ブロック、220...検出回路。

30

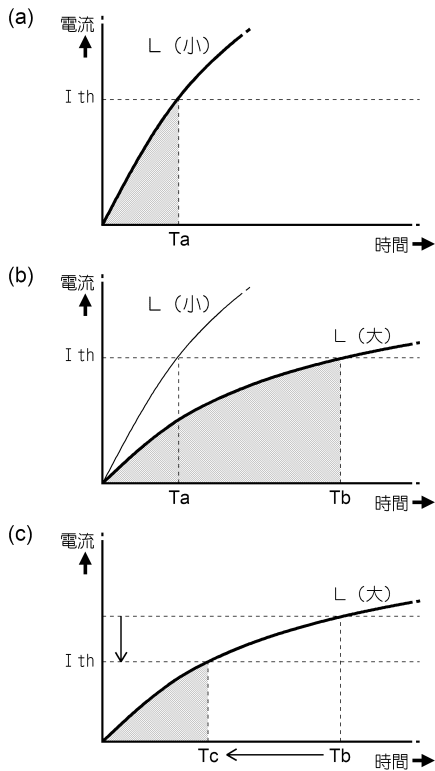
【 図 1 】



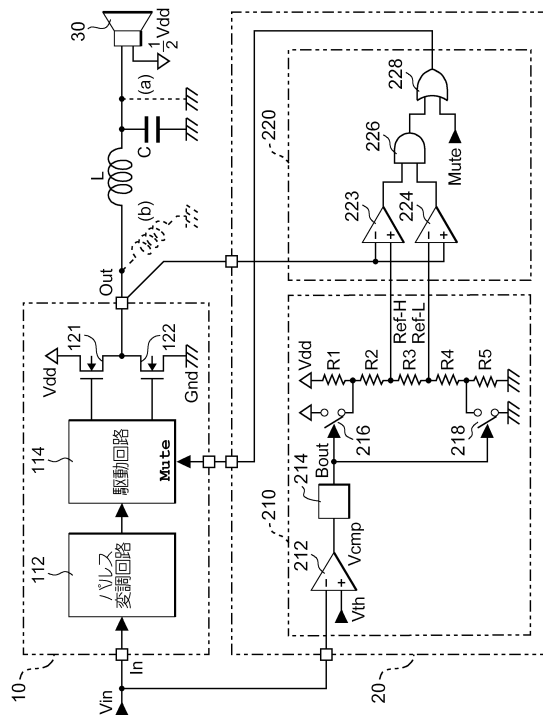
【 図 2 】



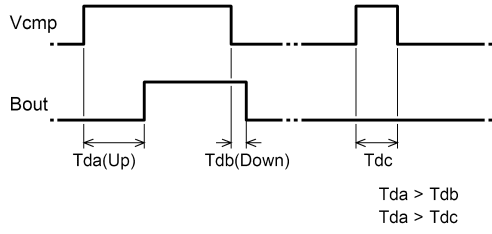
【 図 3 】



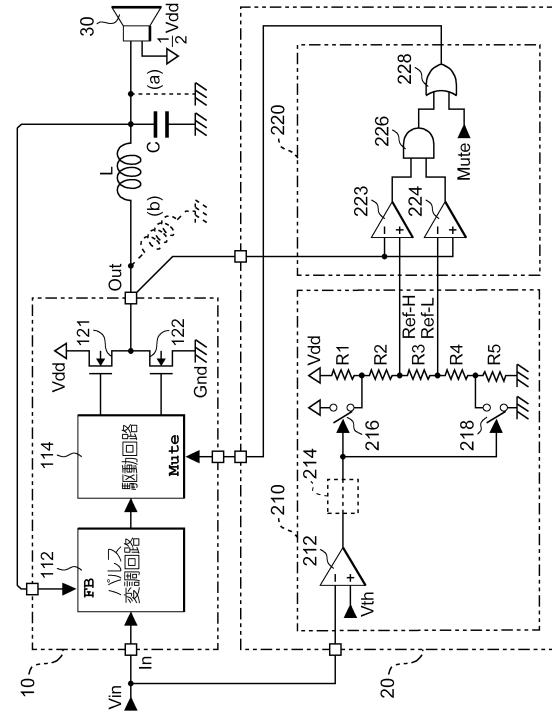
【 図 4 】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特開平10-327026(JP,A)
特開2004-064673(JP,A)
特開2007-166444(JP,A)
特開2004-363733(JP,A)
英国特許出願公開第02456005(GB,A)
米国特許出願公開第2009/0097178(US,A1)
米国特許第05831807(US,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/52
H03F 3/217