

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/40	(45) 공고일자 1998년12월01일	(11) 등록번호 특0151884
(21) 출원번호 특1994-011327	(24) 등록일자 1998년06월24일	(65) 공개번호 특1994-026954
(22) 출원일자 1994년05월24일	(43) 공개일자 1994년12월10일	
(30) 우선권주장 93-121179 1993년05월24일 일본(JP)		
(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤	기다오까 다까시 일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3	
(72) 발명자 사와다 세이지	일본국 효고켄 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기다이다미세이사꾸쇼나이 고니시 야수히로	
(74) 대리인 남삼식, 이화익	일본국 효고켄 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 엘 에스 아이겐규쇼나이	

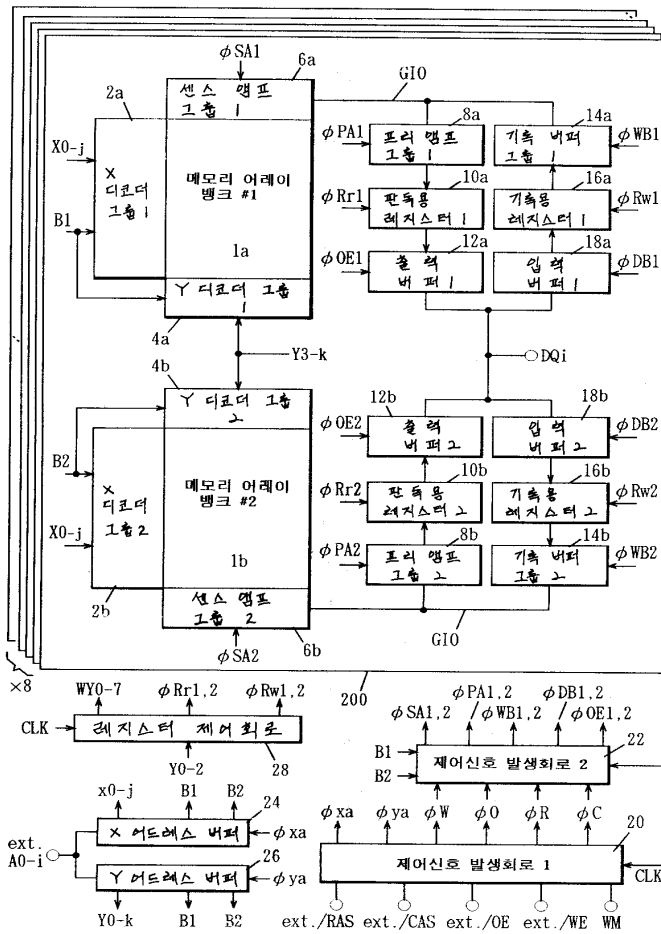
심사관 : 김용주

(54) 클럭 신호에 동기하여 동작하는 동기형 반도체 메모리 장치

요약

동기형 반도체 메모리장치가, 오토 리프레시 모드가 커맨드에 따라 지정되는 것을 검출하는 오토 리프레시 검출회로(102)와, 리프레시 어드레스를 발생하는 어드레스 카운터(104)와, 오토 리프레시 검출신호와 리프레시 어드레스에 따라 메모리 어레이(152)를 리프레시 하는 리프레시 실행부(150)와, 오토 리프레시 검출신호에 따라 소정기간이 경과한 후 리프레시 실행부(150)를 불활성화하는 불활성 회로(154)와, 카운터 체크 모드 커맨드에 따라 불활성화 회로(154)를 동작금지 상태로하는 카운터 체크 모드 검출회로(156) 및 프리차지 커맨드에 응답하여 발생하는 프리차지 검출회로에 따라 리프레시 실행부를 불활성화하는 제2 불활성 회로(160)와를 포함한다. 따라서 내부 리프레시 어드레스 카운터의 기능을 테스트할 수 있는 동작 모드를 가지는 동기형 반도체 메모리장치가 제공된다.

대표도



명세서

[발명의 명칭]

클럭 신호에 동기하여 동작하는 동기형 반도체 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명이 적용되는 SDRAM의 전체 구성을 기능적으로 도시하는 블록 다이어그램.

제2도는 본 발명이 적용되는 SDRAM의 칩 레이아웃을 도시한 도면.

제3도는 본 발명이 적용되는 SDRAM의 메모리 어레이의 배치를 도시하는 도면.

제4도는 본 발명이 적용되는 SDRAM의 어레이의 구성을 나타내는 도면.

제5도는 본 발명이 적용되는 SDRAM의 외부 제어신호와 대응하여 실행되는 동작모드의 대응 관계를 나타내는 도면.

제6도는 본 발명이 적용되는 SDRAM의 동작 시퀀스(sequence)의 일례를 도시하는 도면.

제7도는 본 발명이 적용되는 SDRAM의 동작 시퀀스를 나타내는 타이밍 차트.

제8도는 뱅크(bank)구성을 가지는 SDRAM의 오토 리프레시 동작을 설명하는 타이밍 차트.

제9도는 리프레시 동작과 관련하여 본 발명에 따른 SDRAM의 구성부분을 기능적으로 나타내는 도면.

제10도는 본 발명에 따른 리프레시 동작 제어부의 구성을 기능적으로 나타내는 도면.

제11도는 제9, 10도에 도시한 오토 리프레시 검출회로의 구성의 일례를 나타내는 도면.

제12a, 12b도는 제11도에 도시된 카운터 체크 모드 검출신호를 발생하기 위한 구성을 나타내는 도면.

제13도는 본 발명에 따른 리프레시 기간을 선택적으로 제어하기 위한 구성을 나타내는 도면.

제14도는 제13도에 도시된 세트 신호를 발생시키기 위한 구성의 일례를 나타내는 도면.

제15도는 제13도에 도시된 셀프-프리차지 지시신호를 발생하기 위한 구성의 일례를 나타내는 도면.

- 제16도는 제13도에 도시된 회로의 오토 리프레시 모드시의 동작을 나타내는 신호 파형도.
 제17도는 제13도에 나타낸 회로의 카운터 체크모드시의 오토 리프레시 동작을 나타내는 신호 파형도.
 제18도는 제13도에 나타낸 회로의 정상 모드시의 동작을 나타내는 신호 파형도.
 제19도는 본 발명에 따른 리프레시 동작시의 열 선택동작을 제어하기 위한 회로구성을 나타내는 도면.
 제20도는 제19도에 나타낸 회로의 정상 모드시의 동작을 나타내는 도면.
 제21도는 제19도에 도시된 회로의 오토 리프레시 모드시의 동작을 나타내는 신호 파형도.
 제22도는 제19도에 도시된 회로의 카운터 체크 모드시의 오토 리프레시 모드 동작을 나타내는 신호 파형도.
 제23도는 제9도에 도시된 리프레시 어드레스 카운터에 의하여 출력되는 리프레시 어드레스 비트를 나타내는 도면.
 제24도는 제23도에 도시된 리프레시 행 어드레스를 발생하기 위한 리프레시 어드레스 카운터의 1비트 2진 카운터의 구성을 나타내는 도면.
 제25도는 제24도에 도시된 1비트 2진 카운터의 동작을 나타내는 신호 파형도.
 제26도는 제23도에 도시된 리프레시 어드레스 카운터의 리프레시 뱅크 어드레스를 발생하기 위한 1비트 2진 카운터의 다른 구성을 나타내는 도면.
 제27도는 제26도에 도시된 1비트 2진 카운터의 동작을 나타내는 신호 파형도.
 제28도는 제26도에 도시된 리세트 신호를 발생하기 위한 구성을 나타내는 도면.
 제29도는 리프레시 어드레스 카운터의 구성의 다른 일예를 나타내는 도면.
 제30도는 본 발명에 따른 SDRAM의 리프레시 동작을 나타내는 타이밍 차트.

[발명의 상세한 설명]

본 발명은 일련의 펄스 열로 형성되는 클럭신호에 동기하여 외부 제어 신호, 어드레스 신호, 기록 데이터 등을 포함하는 외부신호를 받아들이는 동기형 반도체 메모리 장치에 관한 것으로, 특히 메모리셀에서 유지되는 데이터를 리프레시하기 위한 구성에 관한 것이다.

더욱 상세하게는, 본 발명은 리프레시되어지는 메모리셀을 지정하는 리프레시 어드레스를 발생하는 리프레시 카운터의 테스트를 가능하게 하는 구성에 관한 것이다.

마이크로프로세스(MPU)의 동작속도가 최근에 점점 빨라지고 있다.

반면에, 주기억으로서 사용되는 다이내믹 랜덤 액세스 메모리(이하, DRAM 이라 한다)는 그 동작이 고속화되고 있기는 하나 동작속도에 MPU를 따를 수 없다.

따라서, 그러한 DRAM의 액세스 타임 및 사이클 타임이 전체 시스템 동작의 병목(bottleneck)으로 그 성능을 저하시킨다는 것이 자주 지적되어 왔다.

그러한 시스템의 성능을 향상시키기 위하여, DRAM 과 MPU 사이에서 고속의 스택 랜덤 액세스 메모리(이하, SRAM 이라 칭한다)에 의하여 형성되는 캐시 메모리(cache memory)라 불리어지는 고속 메모리를 배치하는 기술이 자주 사용되어 왔다.

이 고속 캐시 메모리는 사용 빈도가 높은 데이터를 저장하고, 캐시가 MPU 가 요구하는 데이터를 저장하고 있는 경우에 액세스된다.

DRAM 은 캐시 메모리가 MPU가 요구하는 데이터를 저장하고 있지 않은 경우에만 액세스된다.

사용빈도가 높은 데이터를 저장하는 고속 캐시 메모리로 인하여, DRAM에 액세스하는 빈도를 대폭 감소하는 것이 가능하고, 따라서 DRAM 의 액세스 타임과 사이클 타임에 의한 영향을 제거하고 시스템의 성능을 향상시킬 수 있다. 그러나, DRAM 에 비하여 SRAM 이 고가이기 때문에 캐시 메모리를 사용하는 방법은 퍼스널 컴퓨터등과 같은 비교적 저가의 장치에는 적합하지 않다.

그러므로, 저가의 DRAM을 사용하여 그러한 시스템의 성능을 향상하는 방법이 연구되어 왔다.

미국의 JEDEC(Joint Electron Device Engineering Council)는 고속 MPU를 위한 주기억으로서 클럭신호에 동기하여 동작하는 동기형 DRAM(이하 SDRAM 이라한다)을 사용하고, 현재는 SDRAM 의 설계의 표준화작업을 행하고 있다.

표준화된 설계가 아직 상세하게 밝혀지지 않았지만, 현재로서는 다음의 구성이 제시되어 있다.

- (1) SDRAM이 10 내지 15ns(nanoseconds) 주기를 가지는 클럭신호와 동기한다.
- (2) 제1 데이터는 행어드레스 신호가 입력된 후 4 내지 6 클럭으로 랜덤 액세스된다.

그후 연속하는 어드레스의 데이터가 모든 클럭에 액세스한다.

(3) 칩에 설치된 회로가 시리얼 입/출력 버퍼를 액세스 타임을 감소하도록 데이터 입/출력부에 설치할 때 파이프 라인 동작된다.

(4) 리프레쉬 동작이 외부로부터 오토 리프레시 커맨드(auto refresh command)를 주는 것에 의하여 실행된다.

그러나, 상술한 구성은 단지 제안일 뿐이고 이 구성을 실현하는 어떠한 방법도 자세히 설명되어 있지 않다.

상술한 표준 설계에서는, 리프레시 동작이 오토 리프레시 커맨드에 따라 실행된다.

그러한 오토 리프레시 동작과 관련하여, 다음의 제안이 JEDEC의 표준 설계에서 또한 있었다.

(1) 리프레시 동작이 오토 리프레시 커맨드가 주어지고 소정시간이 경과한 후 완료되고, 따라서 리프레시 메모리를 포함하는 어레이가 프리차지 상태로 복귀한다.

(2) 2개의 뱅크를 포함할 때, 뱅크는 번갈아 리프레시된다.

그러한 리프레시를 위한 어떠한 구성도 자세히 설명되어 있지 않다.

리프레시 동작이 리프레시 지시에 의하여 자동적으로 내부에서 실행되지만, 이 리프레시 동작을 실행하기 위해서는 리프레시되어야 하는 메모리셀을 지정하기 위하여 리프레시 어드레스를 발생하는 리프레시 어드레스 카운터가 요구된다.

데이터를 정확하게 유지하기 위하여 메모리셀을 정기적으로 리프레시하기 위해서, 이 리프레시 어드레스 카운터는 리프레시 어드레스를 계속적으로 발생하도록 정상적으로 동작하여야만 한다.

리프레시 어드레스 카운터의 정상적인 동작, 즉 리프레시 어드레스의 정기적이고 주기적인 발생을 보장하기 위해서는, 리프레시 어드레스 카운터가 정상적으로 동작하는지 여부를 체크하기 위한 테스트 모드가 필요하다.

그런, JEDEC의 표준 설계는 리프레시 어드레스 카운터를 위한 그러한 기능의 테스트 모드를 제공하고 있지 않다.

본 발명의 목적은 SDRAM을 리프레시하기 위한 구성을 제공하는 것이다.

본 발명의 다른 목적은 리프레시 어드레스를 발생하기 위한 리프레시 어드레스 카운터의 기능을 테스트하는 구성을 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비 전력으로 리프레시 동작을 행하는 구성을 제공하는 것이다.

본 발명에 따른 동기형 반도체 메모리 장치는 리프레시되어야 할 메모리셀을 지정하는 리프레시 어드레스를 발생하는 리프레시 어드레스 발생수단과, 리프레시 지시에 응답하여 리프레시 어드레스 발생수단에 의하여 발생하는 리프레시 어드레스에 의하여 지정되는 메모리셀을 리프레시하기 위한 리프레시 수단과, 리프레시 지시에 응답하여 소정시간 경과후 리프레시 수단을 불활성화상태로 하는 제1불활성화 수단과, 리프레시 지시와는 다른 제1동작 모드 지시에 응답하여 제1불활성화 수단을 동작금지 상태로 하는 제2불활성화 수단과, 제2동작 모드 지시에 응답하여 리프레시 수단을 불활성화하는 제3불활성화 수단을 구비한다.

본 발명에 따른 동기형 반도체 메모리 장치에서는, 제3불활성화 수단이 제1동작 모드가 지정될 때에 리프레시 종료 기간을 결정한다.

따라서, 소망의 기간으로 리프레시 기간을 설정하는 것이 가능하게 되어 리프레시 어드레스에 따라서 선택된 메모리셀에 외부에서 기록/판독 데이터를 액세스한다.

결과적으로, 리프레시 어드레스 카운터가 정상적으로 동작하여 순차적으로 정확한 리프레시 어드레스를 발생하는지 여부를 검증하는 것이 가능하다.

상기 설명한, 또 그 이외의 본 발명의 목적, 성질, 특징, 잇점이 첨부된 도면을 참조하여 후술되는 본 발명의 상세한 설명에 의하여 더욱 명확하게 된다.

제1도는 본 발명에 따른 SDRAM의 전체 구성을 기능적으로 보여주는 블록 다이어그램이다.

제1도는 8비트 구성을 가지는 SDRAM의 1비트 데이터 입/출력에 관한 기능적 블록(200)의 구성을 나타낸다.

리프레시 동작에 관련하는 회로부분이 제1도에 명확하게 표시되어 있지 않다.

리프레시 제어회로는 이하 상세히 설명되는 바와 같이 제1도에 표시된 제어신호 발생부(20,22)에 포함된다.

데이터 입/출력단자 DQi에 관련하는 어레이 부분은 뱅크 #1, #2를 각각 구성하는 메모리 어레이(1a, 1b)를 포함한다.

뱅크 #1를 구성하는 메모리 어레이에 대하여는, 어드레스 신호 X0 내지 Xj를 디코딩하여 메모리 어레이 1a의 대응하는 행을 선택하는 복수의 로우 디코더를 포함하는 X 디코더 그룹(2a)과, 열 어드레스 신호 Y3 내지 Yk를 디코딩하여 열선택 신호를 발생하고 메모리 어레이(1a)의 대응하는 열을 선택하는 복수의 칼럼 디코더를 포함하는 Y 디코더 그룹(4a)과, 메모리 어레이(1a)의 선택된 행에 접속하는 메모리셀의 데이터를 검지하고 증폭하는 센스 앰프 그룹(6a)이 형성되어 있다.

X 디코더 그룹(2a)은 메모리 어레이(1a)의 각 워드 선에 대응하여 형성된 로우 디코더를 포함한다.

로우 디코더는 어드레스 신호 X0 내지 Xi에 따라 선택되므로, 선택된 로우 디코더에 대하여 형성된 워드 선이 선택된다.

Y 디코더 그룹(4a)은 메모리 어레이(1a)의 각 열선택 선에 대하여 형성된 칼럼 디코더를 포함한다.

1개의 열선택 선은 후술되는 바와 같이 8쌍의 비트선을 선택상태로 둔다.

X 디코더 그룹(2a)과 Y 디코더 그룹(4a)은 메모리 어레이(1a)에 있어서 8 비트 메모리셀을 동시에 선택상태로 둔다.

X 디코더 그룹(2a)과 Y 디코더 그룹(4a)은 모두 बैं크 지정신호 B1 에 의해 활성화 된다.

뱅크 #1에 또한 센스앰프 그룹(6a)에 의하여 검지되고 증폭된 데이터를 전달하고 메모리 어레이(1a)의 선택된 메모리셀에 기록 데이터를 전달하기 위한 내부 데이터 전달선으로서(글로벌 10 선) 버스 G10가 구비되어 있다.

글로벌 10선 버스 G10는 동시에 선택된 8 비트 메모리셀과 데이터를 전달하고 전달받는 것을 동시에 행한다.

데이터를 판독하기 위하여, बैं크 #1 에는 글로벌 10 선 버스 G10 상의 데이터를 증폭하도록 프리앰프 활성화신호 ϕ_{PA1} 에 응답하여 활성화되는 프리앰프 그룹(8a)과, 프리앰프 그룹(8a)에서 증폭된 데이터를 저장하기 위한 판독용 레지스터(10a)와, 판독용 레지스터(10a)에 저장된 데이터를 순차적으로 출력하기 위한 출력버퍼(12a)가 형성되어 있다.

각 프리앰프 그룹(8a)과 판독용 레지스터(10a)는 8쌍의 글로벌 10 선에 대응하는 각각 8 비트 폭의 구성을 구비한다.

판독용 레지스터(10a)는 레지스터 활성화신호 ϕ_{Rr1} 에 대응하여 동일한 데이터를 순차적으로 출력하도록 프리앰프 그룹(8a)으로부터 출력된 데이터를 래치한다.

출력 버퍼(12a)는 출력 이네이블 신호 ϕ_{OE1} 에 응답하여 판독용 레지스터(10a)로부터 순차 출력된 8 비트 데이터를 입/출력 단자 DQ1 에 전달한다.

제1도를 참조하면, 데이터 입/출력 단자 DQ1 는 데이터를 입/출력하는데 적용된다.

또는, 데이터가 별개의 단자를 통하여 입력되고 출력될 수도 있다.

반면에 데이터를 기록하기 위해서 बैं크 #1에는 또한 데이터 입/출력 단자 DQ1에 주어진 입력 데이터로부터 내부 기록 데이터를 생성하기 위하여 입력버퍼 활성화신호 ϕ_{DB1} 에 응답하여 활성화되는 1 비트 폭의 입력 버퍼(18a)와, 랩 어드레스(wrap address)에 따라서 입력 버퍼(18a)로부터 받은 기록용 데이터를 순차적으로 저장하기 위하여 레지스터 활성화신호 ϕ_{Rw1} 에 응답하여 활성화되는 기록용 레지스터(16a)와, 기록용 레지스터(16a)에 저장된 데이터를 증폭하고 글로벌 10선 버스 G10로 전달하기 위하여 기록 버퍼 활성화신호 ϕ_{WB1} 에 응답하여 활성화되는 기록 버퍼 그룹(14a)이 구비되어 있다.

각 기록 버퍼 그룹(14a)과 기록용 레지스터(16a)는 8 비트 폭을 포함한다.

위와 유사하게, बैं크 #2는 메모리 어레이(1b), X 디코더 그룹(2b), Y 디코더 그룹(4b), 센스 앰프 활성화신호 ϕ_{SA2} 에 응답하여 활성화되는 센스 앰프 그룹(6b), 프리앰프 활성화신호 ϕ_{PA2} 에 응답하여 활성화되는 프리앰프 그룹(8b), 레지스터 활성화신호 ϕ_{Rr2} 에 응답하여 활성화되는 판독용 레지스터(10b), 출력 이네이블 신호 ϕ_{OE2} 에 응답하여 활성화되는 출력버퍼(12b), 버퍼 활성화신호 ϕ_{WB2} 에 응답하여 활성화되는 기록 버퍼 그룹(14b), 레지스터 활성화신호 ϕ_{Rw2} 에 응답하여 활성화되는 기록용 레지스터(16b), 버퍼 활성화신호 ϕ_{DB2} 에 응답하여 활성화되는 입력 버퍼(18b)를 포함한다.

뱅크 #1, #2는 그 구성이 동일하다.

판독용 레지스터(10a, 10b)와 기록용 레지스터(16a, 16b)로 인하여, 하나의 데이터 입/출력 단자 DQi를 통하여 고속 클럭신호와 동기하여 데이터를 입/출력하는 것이 가능하다.

뱅크 #1, #2에 대한 제어신호에 대하여는, बैं크 지정신호 B1, B2에 따라 어느 하나의 बैं크에 대한 제어신호만이 발생한다.

제1도에 표시된 기능블록(200)이 각 데이터 입/출력 단자에 대하여 형성되어 있다.

8비트 구성의 SDRAM은 8개의 그러한 기능블록(200)을 포함한다.

뱅크 #1, #2가 그 구성에 있어서 서로 동일하기 때문에, बैं크 지정신호 B1, B2에 의하여 어느 하나의 बैं크만을 활성화시키는 것에 의하여 बैं크 #1, #2이 서로 거의 독립적으로 동작하는 것이 가능하다.

또한, बैं크 #1, #2 에는 데이터 판독용 레지스터(10a, 10b)와 데이터 기록용 레지스터(16a, 16b)가 서로 독립적으로 형성되어 있기 때문에, 데이터 판독과 기록동작 모드의 전환시와 बैं크 #1, #2 의 전환시에 충돌함이 없이 데이터를 정확하게 판독하고 기록하는 것이 가능하다.

제1, 제2 제어신호 발생회로(20, 22)가 बैं크 #1, #2를 각각 구동하기 위한 제어 시스템으로서 설치된다.

제1 제어신호 발생회로(20)는 외부에서 주어지는 제어신호, 즉 외부 행 어드레스 스트로브 신호 ext./RAS, 외부 칼럼 어드레스 스트로브 신호 ext./CAS, 외부출력 이네이블신호 ext./OE, 외부기록 이네이블신호 ext./WE, 및 마스크 지시신호 WM을 예를들면, 시스템 클럭인 외부 클럭신호 CLK 와 동기하여 받아들여 내부 제어신호 ϕ_{xa} , ϕ_{ya} , ϕ_W , ϕ_0 , ϕ_R , 과 ϕ_C 를 발생한다.

제2제어신호 발생회로(22)는 बैं크 지정신호 B1, B2, 내부 제어신호 ϕ_W , ϕ_0 , ϕ_R , ϕ_C 및 클럭신호 CLK 에 응답하여 बैं크 #1, #2를 독립적으로 각각 구동하기 위한 제어신호, 즉 센스 앰프 활성화신호 ϕ_{SA1} , ϕ_{SA2} , 프리앰프 활성화신호 ϕ_{PA1} , ϕ_{PA2} , 기록버퍼 활성화신호 ϕ_{WB1} , ϕ_{WB2} , 입력버퍼 활성화신호 ϕ_{DB1} , ϕ_{DB2} , 및 출력버퍼 활성화신호 ϕ_{OE1} , ϕ_{OE2} 를 발생한다.

제1제도를 참조하면, 제2제어신호 발생회로(22)가 메모리 어레이(1a, 1b)를 활성화하기 위한 제어신호로서 센스 앰프 활성화신호 ϕ_{SA1} , ϕ_{SA2} 만을 발생하도록 표시되어 있다.

이 회로(22)는 X 디코더 그룹(2a, 2b)를 통하여 대응하는 선택된 워드선으로 전달되는 워드선 구동신호를

발생한다.

내부 제어신호 ϕW 는 외부 기록 이네이블 신호 ext./WE 에 응답하여 발생하는 내부 기록 이네이블 신호이다.

내부 제어신호 $\phi 0$ 는 외부 기록 이네이블 신호 ext./OE 에 응답하여 발생하는 내부 기록 이네이블 신호이다.

내부 제어신호 ϕR 는 외부 행 어드레스 스트로브신호 ext./RAS 에 응답하여 발생하는 내부 행 어드레스 스트로브 신호(내부 RAS 신호)이다.

내부 제어신호 ϕC 는 외부 칼럼 어드레스 스트로브신호 ext./CAS에 응답하여 발생하는 내부 칼럼 어드레스 스트로브신호(내부 CAS 신호)이다.

내부 제어신호 ϕxa , ϕya 는 각각 외부 제어신호 ext./RAS, ext./CAS 에 응답하여 발생하는 내부 어드레스 버퍼 활성화신호이다.

제2 제어신호 발생회로(22)는 뱅크 지정신호 B1 혹은 B2에 의하여 지정되는 뱅크 #1 혹은 #2에 대응하는 제어신호만을 활성화상태로 한다.

각 제어신호의 타이밍은 클럭신호 CLK 에 의하여 제어된다.

예컨대, 출력 버퍼 활성화신호 $\phi OE1$ 혹은 $\phi OE2$ 는 외부 행 어드레스 스트로브신호 ext./RAS(혹은 내부 행 어드레스 스트로브신호 ϕR)가 활성화상태가 된후 클럭신호 CLK를 6 카운트한때 발생된다.

기록버퍼 활성화신호 $\phi WB1$ 혹은 $\phi WB2$ 은 램 길이가 8로 설정될 때, 8개의 기록 데이터가 공급된 후 클럭신호 CLK 에 응답하여 발생된다.

즉, 기록 데이터는 램길이가 801라고 상정하고 외부 기록 이네이블신호 ext./WE 가 활성화상태로 들어간 후 클럭신호 CLK를 8번 카운트한 후 메모리 어레이(1a, 1b)의 선택된 메모리셀로 전달된다.

SDRAM은 정상 동작모드에서 램길이가 8이라고 상정하고 규칙적으로 동작한다. 램 길이는 하나의 액티브 사이클(워드선 선택)에 있어서, 하나의 데이터 입/출력 단자에 계속하여 주어지는 기록 혹은 판독 데이터의 수를 나타낸다.

SDRAM은 또한 내부 제어신호 ϕxa 에 응답하여 외부 어드레스신호 ext./A0 내지 EXT./Ai를 받아들여 내부 어드레스신호 x0 내지 Xj 와 뱅크 선택신호 B1, B2를 발생하는 X 어드레스 버퍼(24)와, 내부 제어신호 ϕya 에 응답하여 활성화되어 칼럼 선택선을 지정하기 위한 칼럼 선택신호 Y3 내지 Yk 와 연속 액세스 동작에서 제1 비트선쌍을 지정하기 위한 램 어드레스 비트 Y0 내지 Y2와를 발생하기 위한 Y 어드레스 버퍼(26)와, 주변회로서 판독용 레지스터(10a, 10b)를 제어하기 위한 레지스터 구동신호 $\phi Rr1$, $\phi Rr2$ 와 기록용 레지스터(16a, 16b)를 구동하기 위한 제어신호 $\phi Rw1$, $\phi Rw2$ 를 발생하는 레지스터 제어회로(28)를 포함한다.

레지스터 제어회로(28)에는 뱅크 지정신호 B1, B2 가 주어져서, 선택된 뱅크 #1 혹은 #2에 대해서만 레지스터 구동신호 $\phi Rr1$ 혹은 $\phi Rr2$ 를 발생한다.

[칩 레이아웃]

제2도는 본 발명에 따른 SDRAM의 칩 레이아웃을 나타낸다.

이 도면은 2M 워드 x 8비트 구성의 16M SDRAM의 칩 레이아웃을 보여준다.

SDRAM은 각각 4M 기억용량을 가지는 4개의 메모리 매트 MM1 내지 MM4를 포함한다.

각 메모리 매트 MM1 내지 MM4 는 각각 256k 비트 기억용량을 가지는 16개의 메모리 매트 MA1 내지 MA16을 포함한다.

로우 디코더 RD1 내지 RD4 는 칩 장변방향을 따라서 메모리 매트 MM1 내지 MM4의 각 한쪽면에 각각 배치된다.

또한 칼럼 디코더 CD1 내지 CD4 는 단변 방향을 따라서 메모리 매트 MM1 내지 MM4 의 칩 중앙에 각각 배치된다.

칼럼 디코더 CD(부호 CD 는 칼럼 디코더 CD1 내지 CD4를 총칭적으로 표시하기 위하여 사용된다)의 출력은 대응하는 메모리 매트 MM(부호 MM 은 메모리 매트 MM1 내지 MM4를 총칭적으로 나타내기 위하여 사용된다)의 칼럼 선택선 CSL로 제공된다.

각 칼럼 선택선 CSL은 8쌍의 비트선을 동시에 선택된 상태로 한다.

내부 데이터를 전달하기 위한 글로벌 I/O 선쌍 GI0 이 메모리 매트 MM1 내지 MM4 의 장변방향을 따라서 각 어레이를 가로지르도록 배치된다.

각 메모리 매트 MM1 내지 MM4는 또한 그 칩 중앙에 선택된 메모리셀로부터 판독된 데이터를 증폭하기 위한 프리앰프 PA 와 선택된 메모리셀에 기록 데이터를 각각 전달하기 위한 기록버퍼 WB 에 의하여 형성되는 입/출력 회로 PW1 내지 PW4 가 형성된다.

어드레스와 제어신호를 발생하기 위한 주변회로 PH 가 칩 중앙부에 배치되어 있다.

제2도에 나타난 SDRAM 은 제1도에 표시된 바와 같이, 프리차지 동작과 활성화 동작(워드선 선택, 센스 및 칼럼 선택동작)을 서로 독립적으로 행할 수 있는 뱅크 #1, #2를 포함한다.

뱅크 #1는 메모리 매트 MM1, MM2를 포함하고, 뱅크 #2는 MM3,MM4를 포함한다. 뱅크 #1, #2의 수는 변경가

능하다.

각 메모리 매트 MM1 내지 MM4 는 2M 기억용량을 각각 가지는 2개의 어레이 블록을 포함한다.

어레이 블록의 하나가 메모리 어레이 MA1 내지 MA8 에 의하여 형성되는 반면, 다른 하나의 어레이 블록은 각 어레이 블록에서의 최대 하나에서 선택된다. 4개의 메모리 어레이가 동시에 활성화되어, 메모리 매트 MM3, MM4의 메모리 어레이 MA1, MA9 는 각각 제2도에서 활성화된 것으로 나타낸다.

다시 말하면, 하나의 메모리 어레이는 선택된 뱅크 #1 혹은 #2 의 각 메모리 매크의 각 어레이 블록으로부터 선택된다.

한편, 8개의 칼럼 선택선이 동시에 선택된다.

각 칼럼 선택된 CSL 은 8쌍의 비트선을 선택한다.

따라서 $8 \times 8 = 64$ 비크 메모리셀이 동시에 선택된다.

입/출력회로 PW가 대응하는 메모리 매트 MM의 각 메모리 어레이에 대하여 공통으로 이용된다.

각 입/출력회로 PW는 32개의 프리앰프 PA와 32개의 기록버퍼 PB를 포함한다.

즉, 전체 SDRAM은 $32 \times 4 = 128$ 의 프리앰프 PA와 128 개의 기록버퍼 WB를 포함한다.

칩 중앙부에 집중적으로 배치되는 프리앰프 PA와 기록버퍼 WB(입/출력 회로 PW)는 주변회로 PH에 포함된 제어회로에 의하여 구동된다.

따라서, 프리앰프 PA와 기록버퍼 WB의 동작을 구동하기 위한 신호선이 짧게 되고, 신호선의 부하가 작게 되어 고속 동작을 실현한다.

주변회로 PH 가 칩중앙부에 집중적으로 배치되어있기 때문에, 데이터는 칩중앙부를 통하여 입/출력되고, 따라서 패키지시의 핀 배치로는 데이터 입/출력 단자가 패키지 중앙부에 배치된다.

그러므로 주변회로 PH 와 데이터 입/출력 단자간의 거리가 짧게되어 데이터의 고속 입/출력을 가능하게 한다.

제3도는 제2도에 표시된 SDRAM에서의 IO 선의 배치를 나타낸다.

이 도면은 2M 메모리 어레이 MSA1, MSA2를 나타낸다.

2M 메모리 어레이 MSA1는 칩중앙부로부터 떨어질 위치에서 배치된 2M 어레이 블록이고, 다른 메모리 어레이 MSA2는 칩중앙부에 가까운 2M 어레이 블록이다.

2M 메모리 어레이 MSA1, MSA2 의 각각은 8행 8열로 배치된 64개의 32k 비트 메모리 어레이 MK를 포함한다.

각 2M 메모리 어레이 MSA(이 부호는 메모리 어레이 MSA1과 MSA2를 총칭적으로 나타낸다)는 워드선 WL의 연장되는 방향을 따라 네 개의 어레이 그룹 AG1, AG2, AG3과 AG4으로 구분된다.

워드선 WL을 따라 서로 인접하는 32k 비트 메모리 어레이 MK 사이에 워드선 섀트 영역 WSO이 형성된다.

통상 DRAM 에서는, 알루미늄등의 저저항 금속배선이 폴리실리콘의 워드선 WL과 평행으로 배치되고, 저저항 금속배선은 워드선 WL의 저항을 감소하도록 소정간격을 두고 폴리실리콘 워드선과 전기적으로 접속된다.

폴리실리콘 워드선과 저저항 금속 배선을 접속하기 위한 영역을 워드선 섀트 영역이라 한다.

비트선 BL 아래에 존재하는 폴리실리콘 워드선을 비트선 BL 위에 존재하는 저저항 금속배선과 접속할 필요가 있으므로 워드선 섀트영역 WS 에는 비트선 즉 메모리셀이 존재하지 않는다.

칩중앙부에 가까운 2M 메모리 어레이 MSA2에서, 각 워드선 섀트영역 WS 에는 4쌍의 글로벌 IO 선에 배치된다.

이 4개의 글로벌 IO 선쌍중 2쌍이 칩중앙부로부터 거리가 먼 2M 메모리 어레이 MSA1 에까지 연장된다.

즉, 2개의 글로벌 IO선쌍 GI0이 칩중앙부로부터 거리가 먼 2M 메모리 어레이 MSA1의 각 워드선 섀트영역에 배치된다.

2개의 글로벌 IO선쌍 GI0이 하나의 2M 메모리 어레이 MS에 의하여 사용된다. 로컬 IO선쌍 LI0 이 글로벌 IO 선쌍 IG0를 선택된 메모리 어레이와 접속시키기 위하여 형성된다.

이 로컬 IO선쌍 LI0은 각 어레이 그룹 AG1, AG2, AG3 및 AG4 에서의 각 어레이 블록 MK에 대하여 형성된다.

4개의 로컬 IO 선쌍 LI0 이 각 32k 비트 메모리 어레이 MK 에 대하여 배치되어 2쌍이 일측에 배치되고 다른 2쌍이 타측에 배치된다.

이 로컬 IO 선쌍 LI0 은 워드선 WL 의 연장하는 방향과 인접하는 동일한 어레이 그룹내에 속하는 32k 비트 메모리 어레이 MK 와 비트선 BL 의 연장하는 방향에 인접하는 32k 비트 메모리 어레이 MK에 의하여 공유된다.

메모리 어레이 MK는 후술되는 바와 같이 공유형 센스앰프 구성을 번갈아 배치한다.

센스 앰프가 비트선 BL을 따라 서로 인접하는 32k 비트 메모리 어레이 MK 의 각쌍 사이의 각 영역내에 배치된다.

블록선택 스위치 BS는 글로벌 10 선쌍 G10을 로컬 10 선쌍 L10 과 접속시키기 위하여 배치된다.

이 블록 선택 스위치 BS는 워드선 섀트영역 WS 과 센스 앰프 밴드와의 사이의 교점에 배치된다.

칼럼 디코더 CD로부터의 열선택 신호를 전달하기 위한 열선택선 CSL에 있어서는, 어레이 그룹 AG1 내지 AG4 의 각 그룹에서 1개가 선택상태로 된다.

1개의 열선택선 CSL 이 4개의 비트선쌍 BLP_s을 선택하여 칩중앙부로부터 먼 2M 메모리 어레이 MSA1 에서의 대응하는 로컬 10 선쌍 L10 에 접속하고, 4개의 비트선쌍 BLP을 선택하여 칩중앙부에 가까운 2M 메모리 어레이 MSA2 에서의 대응하는 로컬 10 선쌍 L10 에 접속시킨다.

즉, 하나의 열선택선 CSL 이 8개의 비트선쌍 BLP_s을 선택하여 로컬 10 선쌍 L10을 통하여 8개의 글로벌 10 선쌍 G10 에 접속한다.

2개의 메모리 매트 MM0이 선택되고 8×4=32 비트선쌍 BLP_s이 각 메모리 매트 MM에서 선택됨에 따라, 총 64 비트선쌍 BLPs이 선택되어, 총 64비트 메모리셀을 동시에 액세스할 수 있다.

[메모리셀의 배치]

제4도는 하나의 32k 비트 메모리 어레이 MK2 와 관련한 구성을 나타낸다.

제4도를 참조하면, 32k 비트 메모리 어레이 MK2 는 로우 디코더 RD 로부터 행 선택번호를 받는 워드선 WL, 워드선 WL 과 교차하는 방향에서 배치된 비트선쌍 BLP 및 워드선 WL 과 비트선쌍 BLP 과의 교차부에 대응하여 배치된 다이내믹 메모셀 MC를 포함한다.

각 메모리셀 MC 은 액세스 트랜지스터와 정보 기억용 커패시터를 포함한다. 각 비트선쌍 BLP 은 상보적인 신호를 받는 비트선 BL, /BL을 포함한다.

제4도를 참조하면, 메모리셀 MC 이 비트선 BL과 워드선 WL의 교차부에 대응하여 배치된다.

어레이 선택 게이트 SAG1, SAG2가 메모리 어레이 MK2의 양측에 배치된다.

이 어레이 선택 게이트 SAG1, SAG2는 비트선쌍 BLP에 대하여 번갈아 배치된다. 어레이 선택 게이트 SAG1 는 어레이 선택 신호 $\phi A1$ 에 응답하여 도통상태로 되고, 어레이 선택 게이트 SAG2는 어레이 선택 신호 $\phi A2$ 에 응답하여 도통상태로 된다.

비트선쌍 BLP은 각각 어레이 선택 게이트 SAG1, SAG2를 통하여 센스앰프 SA1, SA2에 접속된다.

센스 앰프 SA1는 워드선 WL과 평행하게 메모리 어레이 MK2의 한쪽면에 배치되고, 다른 센스 앰프 SA2는 워드선 WL과 평행하게 메모리 어레이 MK2의 다른면에 배치된다.

센스 앰프 SA1는 다른 메모리 어레이 MK1와 MK2에 의하여 공유되고 센스 앰프 SA2는 메모리 어레이 MK2와 또 다른 메모리 어레이 MK3에 의하여 공유된다. 로컬 10선쌍 L101, L102는 센스 앰프 SA1의 열과 평행하게 배치된다.

반면, 로컬 10선쌍 L103, L104는 센스 앰프 SA2의 밴드와 평행하게 배치된다. 제4도를 참조하면, 2개의 로컬 10 선쌍의 센스 앰프 SA 의 한쪽면에 배치되어 있다.

혹은 로컬 10 선쌍에 센스 앰프 SA 의 양측에 배치될수도 있다.

센스 앰프 SA1에 대하여, 열선택 게이트 CSG1 이 센스 앰프 SA1 에 의하여 검지되고 증폭된 데이터를 로컬 10 선쌍 L101, L102 에 전달하기 위하여 설치되어 있다.

센스 앰프 SA2에 대하여, 열선택 게이트 CSG2 가 센스 앰프 SA2 에 의하여 검지되고 증폭된 데이터를 로컬 10 선쌍 L103, L104 로 전달하기 위하여 설치되어 있다.

칼럼 디코더 CD로부터의 신호를 받는 열선택선 CSL은 2개의 열선택 게이트 CSG1와 2개의 열선택 게이트 CSG2를 동시에 도통상태로 한다.

따라서, 4개의 비트선쌍 BLP 이 로컬 10 선쌍 L101, L102, L103 및 L104에 동시에 접속된다.

센스 앰프 SA1에 의하여 검지되고 증폭된 데이터는 로컬 10선쌍 L101, L102 에 전달된다. 반면, 센스 앰프 SA2에 의하여 검지되고 증폭된 데이터는 로컬 10선쌍 L103, L104로 전달된다.

블록 선택신호 ϕB 에 응답하여 도통하는 블록선택 스위치 BS가 로컬 10 선쌍 L10과 글로벌 10선쌍 G10 사이에 형성되어 있다.

제4도는 로컬 10선쌍 L101, L102를 각각 글로벌 10 선쌍 G101, G102에 접속시키는 블록 선택 스위치 BS1, BS2를 나타낸다.

제3도에서와 같이, 로컬 10 선쌍 L103, L104는 블록 선택스위치 BS를 통하여 인접하는 두 개의 글로벌 10 선쌍 G10에 각각 접속된다(이 접속은 제4도에 표시되어 있지 않다).

이하, 동작을 간단하게 설명한다.

메모리 어레이 MK2가 선택된 워드선 WL을 포함하는 경우, 어레이 선택신호 $\phi A1$, $\phi A2$ 가 활성 상태로 되고, 메모리 어레이 MK2내에 포함된 비트선쌍 BLP 이 센스 앰프 SA1, SA2에 접속된다.

메모리 어레이 MK1와 MK3용으로 설치된 어레이 선택 게이트 SAG0와 SAG3는 비도통상태로 된다.

메모리 어레이 MK1와 MK3는 프리차지 상태를 유지한다.

메모리 어레이 MK2에서는, 메모리셀 데이터가 각 비트선쌍 BLP에 나타나고, 그후 센스 앰프 SA1, SA2가

활성화되어 메모리셀 데이터를 검지하고 증폭한다. 그 뒤, 열선택선 CSL상의 신호가 하이 레벨로 상승하여 활성화 상태로 되는 것에 의하여, 열선택게이트 CSG1, CSG2가 도통되어, 센스앰프 SA1, SA2에 의하여 검지되고 증폭된 데이터가 로컬 I0 선쌍 LI01 내지 LI04로 전달된다.

이어서 혹은 동시에 블록 선택신호 ϕB 가 하이레벨 활성 상태로 되고, 로컬 I0선쌍 LI0 내지 LI04가 글로벌 I0선쌍 GI01 내지 GI04에 접속된다.

데이터 판독시에 있어서는, 글로벌 I0 선쌍 GI01 내지 GI04의 데이터가 프리앰프 PA를 통하여 증폭되어 판독용 레지스터(10a, 10b)에 저장된 후, 순차출력된다.

반면에 데이터 기록시에는, 기록버퍼 WB로부터 제공된 기록 데이터가 글로벌 I0 선쌍 GI0 와 로컬 I0 선쌍 LI0를 통하여 선택된 비트선쌍 BLP 에 전달되어 데이터가 메모리셀 MC에 기록된다.

블록 선택신호 ϕB 는 선택된 워드선 WL을 포함하는 메모리 셀 MK2에 대해서만 활성상태로 된다.

이것은 또한 어레이 선택신호 $\phi A1$, $\phi A2$ 에도 적용된다.

블록선택신호 ϕB 와 어레이 선택신호 $\phi A1$, $\phi A2$ 는 행 어드레스 신호의 소정수의 비트(예를 들면, 4 비트)를 통하여 발생될 수 있다.

[동작 모드의 지정]

SDRAM의 동작 모드는 클럭신호 CLK의 상승 에지에서 외부 제어신호의 상태에 의하여 결정된다.

외부 제어신호는 펄스의 형태로 동작 모드를 지정하는 사이클에 있어서만 주어진다.

모든 제어신호, 어드레스 신호와 기록데이터는 클럭신호 CLK의 상승에지에서 거두어진다.

장치의 내부에서 지정된 동작모드는 클럭신호 CLK의 상승에지에서 외부 제어신호의 상태에 따라 판별되어, 그 판별 결과에 따라 지정된 동작 모드에 대응하는 동작제어를 실행한다.

제5도는 내부 제어신호의 상태로 지정되는 동작 모드간의 관계를 나타낸다. 제5도를 참조하면, 데이터 입력/출력/마스크 신호 DQM는 제1도에 표시된 외부출력 이네이블신호 ext./OE와 기록 마스크 신호 WM의 결합에 대응한다. 칩선택신호 /CS가 SDRAM을 선택상태로 하기 위하여 부가적으로 설치된다.

SDRAM은 칩선택신호 /CS가 로우 레벨 활성화상태가 될 때 동작 가능상태로 된다.

외부 제어신호와 동작모드간의 대응이 제5도를 참조하여 이하 설명된다.

(a) /CS=/RAS=L과 /CAS=/WE/H

이 상태는 활성화 커맨드라 불리어지고 행 어드레스의 결합과 어레이의 활성화를 지정하는데 적용된다.

즉, 행 어드레스는 BANK 어드레스와 함께 받아들여져서, 행 선택에 관련된 동작이 선택된 BANK에서 실행된다.

(b) =/CS=/CAS=L과 /RAS=/WE=H

이 상태는 리드 커맨드라 불리어지고, 열 어드레스의 결합과 데이터 판독 동작모드를 지정하는데 적용된다.

이 동작모드에서는 BANK 어드레스는 열 어드레스와 함께 받아들여지고 선택된 BANK에 대응하는 판독 데이터 레지스터가 선택되어 데이터가 선택된 BANK내에서 선택된 메모리셀로부터 판독 데이터 레지스터로 전달된다.

(c) /CS=/CAS=/WE=L과 /RAS=H

이 외부 제어신호의 조합은 라이트 커맨드라 불리어지고 열 어드레스의 결합과 데이터 기록동작을 지정하는데 적용된다.

이 동작모드에서, 기록용 레지스터(16a, 16b)는 선택된 BANK내에서 활성화되어 주어진 데이터가 기록용 레지스터(16a, 16b)와 선택된 메모리셀에서 기록된다.

(d) /CS=/RAS=/WE=L과 /CAS=H

이 외부 제어신호의 조합은 프리차지 커맨드라 불리어지고, 어레이를 프리차지 상태로 하는데 적용된다.

(e) /CS=/RAS=/CAS=L과 /WE=H

이 외부 제어신호의 조합은 오토 리프레시 커맨드라 불리어지고 오토 리프레시 동작을 지정하여 리프레시 어드레스가 내장된 어드레스 카운터에 의하여 내부에서 발생되고 리프레시 어드레스에 따라 선택된 행의 메모리셀에 대한 리프레시 동작이 실행된다.

이 리프레시 동작에서는, 메모리셀이 소정시간 경과후 프리차지 상태로 자동적으로 복귀한다.

(f) /CS=/RAS=/CAS=/WE=L

이 동작 모드에서, 데이터는 모드 레지스터에서 설정된다.

이 모드 레지스터는 SDRAM에 고유의 동작모드를 지정하여, 소망의 동작이 모드 레지스터에서 설정된 데이터에 따라 실행된다.

그러한 모드 레지스터는 예를 들면 연속하여 액세스되는 데이터 비트의 수를 나타내는 랩길이를 설정하는데 적용된다.

(g) DQM=L

데이터는 신호 /CAS 및 /WE에 의하여 결정되는 동작모드에서 기록되거나 판독된다.

다시 말하면, 외부에서 주어진 기록 데이터가 기록용 레지스터(16a, 16b)에서 저장되거나 혹은 판독용 데이터 레지스터에 저장된 데이터가 판독된다.

(h) DQM=H

이 동작 모드에서, 데이터 판독이 불활성화 상태로 되고, 기록 마스크 동작(연속 비트 데이터(랩 데이터)에서의 마스크 동작)이 지정된다.

기록 데이터에 대한 마스크는 신호 DQM이 상승한 후, 다음 클럭신호 CLK의 상승에지에 주어지는 데이터에서 실행된다.

(i) /CS=L과 /RAS=/CAS=/WE=H

이 상태에서는 동작의 변화가 없다.

어떠한 동작 모드도 지정되지 않는다.

SDRAM은 선택 상태에 있고 먼저 지정된 동작을 실행한다.

(j) /CS=H

이러한 상태에서, SDRAM 은 비선택 상태이고, 신호 /RAS, /CAS 및 /WE 는 무시된다.

제5도를 참조하면, 신호 -는 무시(don't care) 상태를, 부호 X는 임의(arbitrary) 상태를 나타낸다.

[지정 동작 시퀀스]

제6도는 SDRAM 의 데이터 판독에 있어서의 외부신호의 상태를 나타내는 타이밍 차트이다.

데이터 판독동작이 제6도를 참조하여 간단히 설명된다.

사이클 1에서, 클럭신호 CLK 의 상승 에지에서, 신호 /RAS는 로우 레벨로 설정되고, /CAS 및 /WE는 하이 레벨로 설정되어, 액티브 커맨드가 주어진다. 이때, 행 어드레스 신호비트 A0 내지 A10는 행 어드레스 신호 Xa로서 받아들여져 내부 어드레스를 발생한다.

동시에, 뱅크 어드레스신호 BA가 또한 받아들여져 신호 B1 혹은 B2를 지정하는 뱅크를 발생한다.

다음의 설명에서 뱅크 #1는 뱅크 어드레스 BA가 0일 때 지정되고 뱅크 #2 는 뱅크 어드레스 BA가 1일 때 지정되는 것으로 한다.

뱅크 #1에서, 로우 디코더 동작과 어레이 활성화가 실행된다.

클럭 사이클 3에서, 클럭신호 CLK의 상승 에지에서 신호 /RAS 및 /WE는 하이레벨로 설정되고 신호 /CS는 로우 레벨로 설정되어, 리드 커맨드가 주어진다.

데이터 판독이 지정되면서, 어드레스 신호비트 A0 내지 A10 가 사이클 3의 클럭신호 CLK의 상승 에지에서 열 어드레스 신호 Yb 로서 주어진다.

이때, 뱅크 어드레스 BA가 또한 주어진다.

이 뱅크 어드레스 BA 는 뱅크 #1를 나타내는 0이다.

내부에는, 행 및 열 선택동작이 뱅크 #1에 대하여 행 및 열 어드레스 신호 Xa 및 Yb를 따라 실행되어, 선택된 메모리셀의 데이터가 판독 데이터 레지스터(판독용 레지스터(10a))에 저장된다.

이 데이터는 사이클 7에서 판독된다.

이러한 경우에, 신호 DQM 는 미리 로우 레벨로 설정된다.

이 로우 레벨신호 DQM 는 장치 외부에서의 데이터 판독을 가능하게 한다.

사이클 7부터 14까지, 판독용 레지스터(10a)에 저장된 8개의 데이터가 클럭 신호 CLK 의 상승 에지와 동기하여 순차적으로 판독된다.

연속적인 8비트 데이터가 b0 내지 b7 로서 표시된다.

8비트 데이터 입/출력 단자 DQ0 내지 DQ7 가 있고, 하나의 데이터 b 는 바이트(byte) 데이터이다.

데이터 판독과 평행하여, 사이클 7에서 클럭신호의 상승 에지에서 신호 /RAS 및 /WE 가 로우레벨로 설정되고 신호 /CAS 는 하이레벨로 설정된다.

이때, 뱅크 어드레스 신호 BA 또한 0으로 설정된다.

따라서, 뱅크 #1의 프리차지가 지정되어 뱅크 #1의 어레이가 프리차지된다. 프리차지 상태로 되는 뱅크 #1는 소정의 RAS 프리차지 기간(2내지 3 클럭 사이클)의 경과후에 다시 활성화된다.

사이클 11에서, 클럭신호 CLK 의 상승에지에서 신호 /RAS 는 하강하고 신호 /CAS 와 /WE 는 상승한다.

뱅크 어드레스 신호 BA 는 여전히 0이다.

뱅크 #1가 다시 활성화되어, 행 선택 동작이 그때에 주어지는 행 어드레스 신호 Xc 에 따라서 시작된다.

사이클 13에서, 클럭신호 CLK 의 상승 에지에서 신호 /CAS 는 로우레벨로 설정되고 신호 /RAS 및 /WE

는 하이레벨로 설정된다.

뱅크 어드레스 신호 BA 뿐만 아니라 열 어드레스 신호 Yd 는 데이터 판독 동작이 지정되는 동안 받아들여진다.

뱅크 #1에서, 행 및 열 선택 동작이 행 및 열 어드레스 Xc 에 Yd 에 따라 실행되고, 선택된 메모리셀의 데이터가 다시 판독용 레지스터(10a)로 전달된다. 데이터는 신호 /RAS 가 로우 상태로 들어간 메모리 사이클의 시작으로부터 6클럭을 카운트한 후 장치의 외부로 출력된다.

이러한 경우에, 신호 DQM 는 이미 로우 레벨로 되어, 출력 아네이블 상태를 나타낸다.

사이클 17로부터, 어드레스 Xc 및 Yd에 의하여 선택된 8개의 데이터 d0 내지 d7가 클럭신호 CLK 의 상승 에지에 응답하여 순차적으로 판독된다.

동시에, 뱅크 어드레스 신호 BA 뿐만 아니라 신호 /RAS 및 /WE 가 사이클 17에서 0상태로 된다.

따라서, 뱅크 #1 는 다시 프리차지 상태로 된다.

사이클 19에서, 신호 /RAS 가 로우 레벨로 설정되고 신호 /CAS 및 /WE 가 하이 레벨로 설정되면서, 뱅크 어드레스 신호 BA 는 1로 설정된다.

이 액티브 커맨드에 응답하여 뱅크 #2가 선택되어 그때 주어지는 어드레스 신호 비트 A0 내지 A10가 행 어드레스 Xe로서 받아들여진다.

그 뒤, 행 어드레스 Xe를 따라 행 선택 동작이 뱅크 #2에서 실행된다.

사이클 21에서 클럭신호 CLK의 상승 에지에서 신호 /RAS 및 /WE 가 하이레벨로 설정되고 신호 /CAS 가 로우레벨로 설정된다.

따라서 뱅크 #2에 대한 리드 커맨드가 데이터 판독동작을 지정하도록 주어진다.

동시에, 열 어드레스 Yf가 뱅크 어드레스 신호 BA와 함께 받아들여진다.

신호 DQM 이 로우레벨 상태로 되어 출력 이네이블 상태로 나타낸다.

데이터 d7가 뱅크 #1로부터 판독된 후, 뱅크 #2로부터 데이터 f0가 다음 클럭 사이클 25의 클럭신호 CLK 의 상승 에지에서 판독된다.

이때, 신호 /RAS 및 /WE 가 로우 레벨로 설정되고 신호 /CAS 가 하이레벨로 설정되어 뱅크 어드레스 신호 BA가 1이고 뱅크 #2의 프리차지가 지정된다. 데이터를 판독하기 위한 데이터 레지스터(10b)가 뱅크 #2로부터 판독된 데이터를 순차 출력한다.

이때 프리차지가 뱅크 #2에서 실행된다.

사이클 28에서, 뱅크 어드레스 신호 BA 가 0에서 설정되면서 신호 /RAS 가 다시 로우 레벨로 설정되고 신호 /CAS 및 /WE 가 하이레벨로 설정된다.

사이클 30에서, 뱅크 #1에 대하여 열 어드레스 Yh 가 받아들여져서 뱅크 #1이 사이클 34에서 프리차지 된다.

상술한 바와 같이, 신호 /RAS 가 펄스방식으로 주어지고, 동작 모드를 지정하는 각 동작 사이클의 제1주기에서만 제어신호 /RAS, /CAS 및 /WE 가 소정상태로 조합되는 것에 의하여, 뱅크 #1, #2가 용이하게 스위치된다.

또한, 뱅크 #1의 활성화 기간동안 뱅크 #2를 프리차지하는 것이 가능하다. 따라서 RAS 프리차지 시간을 고려할 필요없이 뱅크 #1과 #2로부터 번갈아 데이터를 계속하여 판독하는 것이 가능하게 되어 고속으로 데이터를 판독하게 된다.

[데이터 기록]

제7도는 SDRAM 데이터 기록 동작 시퀀스의 일례를 나타내는 타이밍 차트이다.

기록 동작을 지정하기 위한 라이트 커맨드가 클럭신호 CLK 의 상승 에지에서 신호 /CAS 및 /WE를 로우레벨로 설정하면서 신호 /RAS를 하이레벨로 설정하는 것에 의하여 가능하게 된다.

제7도에 나타난 동작 시퀀스에서, 뱅크 #1에 대한 데이터 기록 동작이 먼저 지정된다.

이 라이트 커맨드가 주어질 때, 기록 레지스터(16a)에서의 데이터 기록 즉, 내부 데이터의 받아들임이 신호 /CAS 및 /WE를 로우 레벨로 설정하는 것과 동시에 실행된다.

즉, 데이터가 데이터 기록시에 기록 지시와 동시에 입력버퍼(18a)내에 받아들여진다.

이때, 기록 레지스터(16a)의 상태가 완전히 리셋되어 있지 않아도 된다. 레지스터(16a)의 상태는 다음 클럭 사이클보다 먼저 확정되어 데이터 b0의 기록을 가능하게 한다.

신호 DQM 가 하이 레벨로 설정될 때, 그 다음 클럭 사이클에 주어지는 기록데이터가 마스크된다.

제7도에 나타난 데이터 기록시의 동작 시퀀스는 상기점을 제외하고는 제6도에 나타난 데이터 기록 동작의 시퀀스와 유사하므로 그 설명은 반복하지 않는다.

뱅크#1 혹은 #2가 뱅크 어드레스 신호 BA에 따라 지정되어, 선택된 뱅크 #1 혹은 #2 의 메모리셀에서 기록 레지스터(16a) 혹은 (16b)를 통하여 데이터가 기록된다.

[리프래시 동작]

제8도는 리프레시 동작에서 외부 및 내부 제어신호의 상태를 나타낸다.

이하 리프레시 동작이 간단하게 설명된다.

외부 클럭신호 ext./CLK 의 상승 에지에서 외부 제어신호 ext./WE를 하이레벨로 설정하면서 외부 제어신호 ext./RAS 및 ext./CAS를 로우 레벨로 설정하는 것에 의하여 리프레시 지시가 주어진다.

신호 /CS 가 로우 레벨 활성화 상태로 되지만, 액세스될 때 SDRAM에 대한 제어신호 /CS 가 항상 로우레벨로 설정되기 때문에 특히 설명하지 않는다.

리프레시 지시에 응답하여 SDRAM 은 그 내부에서 내부 RAS 신호를 자동적으로 발생하여, बैं크 #1과 #2의 하나에 대하여 리프레시 동작을 실행한다.

제8도를 참조하면, 내부 RAS 신호 int./RASA 가 बैं크 #1에 대하여 발생된다. 이 리프레시 동작에 있어서, 리프레시 동작의 원료는 소정 기간 경과후 내부에서 자동적으로 지정되어, 어레이가 프리차지 상태로 복귀한다.

리프레시 지시가 시각 T1에서 주어진 후, 계속된 리프레시 지시가 시각 T2에서 주어져서, SDRAM 이 다시 리프레시 동작을 실행한다.

이때, 리프레시 동작이 먼저 리프레시된 बैं크 #1 과는 다른 बैं크 #2에서 실행된다.

내장된 어드레스 카운터가 बैं크 어드레스를 발생한다.

그후 SDRAM이 계속하여 बैं크 #1과 #2를 스위치하여 각 주어지는 리프레시 지시에 따라 그 내부에서 리프레시 동작을 실행한다.

그러한 리프레시 모드가 이제 오토 리프레시 모드로서 설명된다.

제9도는 SDRAM의 리프레시 동작과 관련한 부분의 구성을 설명한다.

제9도를 참조하면, SDRAM 은 오토 리프레시 모드가 지정되었는지 여부를 검지하기 위하여 클럭신호 CLK 의 상승 에지에서 외부 제어신호 ext./RAS, ext./CAS 및 ext./WE 의 상태를 판별하는 오토 리프레시 검출회로(102), 리프레시 어드레스를 발생하는 어드레스 카운터(104), 어드레스 카운터(104)로부터 발생된 बैं크 어드레스 RBA 와 오토 리프레시 검출회로(102)로부터 발생된 오토 리프레시 검출신호 AR에 응답하여 오토 리프레시 모드에서 지정된 बैं크 #1 와 #2에 대하여 내부 RAS 신호 int.RASA 및 int.RASB를 발생하는 활성화제어신호(106a, 106b) 및 활성 제어회로(106a, 106b)로 부터의 내부 RAS 신호 int.RASA 및 int.RASB 에 응답하여 대응하는 메모리 어레이의 행선택에 관련되는 회로를 구동하는 행선택 구동회로(108a, 108b)를 포함한다.

제1도에 도시된 구성에서 오토 리프레시 검출회로(102)가 제1 제어신호 발생회로(20)에 포함되는 반면 활성 제어회로(106a, 106b) 및 행 선택 구동회로(108a, 108b)는 제2 제어신호 발생회로(22)에 포함된다.

제어회로(제9도에서는 도시되지 않음)는 액티브 커맨드가 입력될 때 메모리 어레이를 활성화하도록 분리되어 형성되어 있다.

액티브 커맨드에 응답하여 동작하는 제어회로는 또한 내부 RAS 신호를 발생한다.

그러므로, 액티브 커맨드와 내부 RAS 신호 int.RASA 및 int.RASB 에 응답하여 발생된 내부 RAS 신호의 ORs 와 활성화 제어회로(106a, 106b)로부터의 출력이 행선택 구동회로(108a, 108b)에 주어진다.

제9도를 참조하면, SDRAM은 또한 오토 리프레시 검출신호 AR에 따라서 어드레스 카운터(104)로부터의 리프레시 어드레스 신호(리프레시 되는 메모리셀의 행을 나타내는 어드레스) 혹은 외부 어드레스 신호를 선택적으로 통과시키는 멀티플렉서(109), 클럭신호 CLK에 응답하여 멀티플렉서(109)로부터 받은 어드레스 신호를 받아들이는 어드레스 버퍼(110) 및 어드레스 버퍼(110)로부터의 내부 행 어드레스 신호를 디코딩하는 로우 디코더(112a, 112b)를 포함한다.

로우 디코더(112a, 112b)의 동작이 각각 행 선택 구동회로(108a, 108b)로부터의 제어신호에 의하여 제어된다.

로우 디코더(112a)가 बैं크 #1의 메모리 어레이(1a)에서의 메모리셀의 행을 선택하는 반면, 로우 디코더(112b)는 बैं크 #2의 메모리 어레이(1b)의 행을 선택한다.

제2도에 도시한 바와 같이, 한 세트의 워드선 WL 즉, 총 4개의 워드선 WL이 실제로 2개의 메모리 매트에서 선택된다.

이때, 리프레시 되는 각 워드선 WL은 임의의 타이밍에서 활성화될 수 있다. 워드선 WL은 메모리 어레이 블록간의 다른 타이밍에서 선택(전위의 상승)될 수 있다.

설명을 단순화하기 위하여, 여기서는 로우 디코더(112a, 112b)의 출력에 따라 메모리셀의 1행이 선택된다고 본다.

제9도에 도시된 구성에서는, 행 선택 구동회로(108a, 108b)는 행 디코더(112a, 112b)를 각각 구동하게 된다.

이 행선택 구동회로(108a, 108b)는 워드선 구동신호를 발생하고 이를 로우 디코더(112a, 112b)를 통하여 선택된 워드선 WL 으로 전달하는 기능을 가지며, 또한 메모리 어레이(1a, 1b)에서 센스 앰프 SA1, SA2를 활성화하기 위한 센스 앰프 활성화 신호를 발생하는 기능을 한다.

제9도에 도시된 구성에서는 또한 멀티플렉서(109)가 어드레스 버퍼(110)의 전단에 설치되어 있다.

또한 이 멀티플렉서(109)는 어드레스 버퍼(110)의 출력측에 설치될 수도 있다.

SDRAM은 또한 오토 리프레시 검출신호 AR 에 응답하여 열 선택 동작을 제어하기 위한 열 선택 구동회로 (114a, 114b), 열 선택 구동회로(114a, 114b)로부터 발생하는 열 선택 이네이블 신호 /CE 에 응답하여 각각 활성화되어 제9도에 도시되지 않은 경로에서 주어지는 열 어드레스 신호를 디코드하고 열선택 신호를 발생하는 칼럼 디코더(116a, 116b)를 포함한다.

오토 리프레시 검출신호 AR 가 활성화 상태로 되어 오토 리프레시 동작을 지정할 때, 열선택 구동회로 (114a, 114b)가 칼럼 디코더(116a, 116b)의 동작을 금지하는 것에 의하여 오토 리프레시 모드에서 열 선택 동작에 관련된 회로에 의하여 소비되는 전류가 감소한다.

열선택 구동회로(114a, 114b)는 제1도에 도시된 제2구동신호 발생회로(22)에 포함된다.

동작이 이제 간단히 설명된다.

오토 리프레시 커맨드가 주어질 때, 오토 리프레시 검출회로(102)는 오토 리프레시 모드 검출신호 AR를 하이 레벨 활성화 상태로 둔다.

오토 리프레시 검출회로(102)는 또한 어드레스 카운터(104)의 카운트값을 1만큼 증가시킨다.

활성화 제어회로(106a, 106b)는 어드레스 카운터(104)로부터의 뱅크 어드레스 RBA와 오토 리프레시모드 검출신호 AR 에 응답하여 내부 RAS 신호 int./RAS(내부 RAS 신호 int./RASA 및 int./RASB를 총칭하여 나타낸다)를 발생한다.

어드레스 카운터(104)로부터 받은 뱅크 어드레스 RBA 가 뱅크 #1를 지정할 때, 활성화 제어회로(106a)는 내부 RAS 신호 inr.RASA를 발생한다.

반면, 어드레스 카운터(104)로부터 받은 뱅크 어드레스 RBA 가 뱅크 #2를 표시할 때, 활성화 제어회로 (106b)는 활성화되어 오토 리프레시 검출신호 AR 에 응답하여 내부 RAS 신호 int.RASB를 발생한다.

활성화 제어신호(106a, 106b)로부터 발생된 내부 RAS 신호 int.RAS 에 응답하여, 대응하는 행 선택 구동 회로(108a) 혹은 (108b)는 활성화되어 선택된 뱅크 #1 혹은 #2에 대하여 행선택 동작(워드선 선택과 센스 앰프 구동)을 실행한다.

반면에, 멀티플렉서(109)는 오토 리프레시 검출신호 AR 에 응답하여 어드레스 카운터(104)로부터 주어진 리프레시 어드레스를 선택하여 이를 어드레스 버퍼(110)에 제공한다.

어드레스 버퍼(110)는 어드레스 카운터(104)로부터의 리프레시 어드레스에 따라 내부 어드레스를 발생하여 이를 로우 디코더(112a, 112b)에 제공한다.

로우 디코더(112a, 112b)의 하나가 행 선택 구동회로(108a) 혹은 (108b)의 출력에 의하여 활성화되어, 대응하는 행이 지정된 뱅크 #1 혹은 #2에서 선택되고 선택된 행에 접속된 메모리셀이 리프레시된다.

이때, 열 선택 구동회로(114a, 114b)는 오토 리프레시 모드 검출신호 AR 에 응답하여 열 선택 이네이블 신호 /CE를 하이 레벨 불활성 상태로 설정한다.

따라서, 칼럼 디코더(116a, 116b)는 디코딩 동작이 금지되어 열 선택 동작을 실행하지 않는다.

오토 리프레시 커맨드가 주어진 후 소정시간이 경과한 후, 내부 RAS 신호 int.RAS 뿐만 아니라 오토 리프레시 검출신호 AR 가 불활성화 상태로 되는 것에 의하여, 지정된 뱅크 #1 혹은 #2 에서의 행 선택 동작이 불활성화 상태로 되어, 선택된 워드선 WL 이 비선택 상태로 되고 센스 앰프 SA1 혹은 SA2 가 비동작 상태로 된다.

다른 오토 리프레시 커맨드가 주어질 때, 상기와 유사한 동작이 실행된다.

이때, 어드레스 카운터(104)의 카운트 값은 1만큼 증가한다.

뱅크 어드레스 RBA 는 어드레스 카운터(104)의 최하위 비트에서 나타난다. 그러므로, 뱅크 #1, #2는 번갈아 스위치되어 먼저 리프레시된 뱅크와는 다른 뱅크에 대하여 리프레시 동작이 실행된다.

따라서, 제8도에 도시된 오토 리프레시 동작이 실현된다.

오토 리프레시 커맨드가 주어질 때, 리프레시 동작이 자동적으로 실행되고 완료되어 내부로 프리차지 상태로 복귀한다.

어드레스 카운터(104)의 기능을 체크하기 위하여는 이를 구동하여 메모리셀에 테스트 데이터를 기록하고 판독할 필요가 있다.

데이터 판독은 정상 모드에서 행하여져도 좋다.

오토 리프레시 동작시에 어레이 활성화 기간이 내부에서 소정 시간 설정되어 있는 경우, 테스트 데이터가 외부(데이터 기록이 기록용 레지스터(16a, 16b))에서 선택된 메모리셀에서 기록되지 않을 수 있다.

오토 리프레시 동작시에 전력소비를 위하여 열선택 동작이 금지되면, 테스트 데이터가 기록되고 판독될 수 없다.

어드레스 카운터(104)의 테스트를 확실하게 행하기 위한 구성이 이제 설명된다.

우선, 리프레시 어드레스 카운터(104)가 정상적으로 동작하는가 여부를 테스트 하기 위한 카운터 체크 모드가 설명된다.

이 카운터 체크 모드에서, 다음의 동작이 실행된다.

(a) 오토 리프레시 커맨드가 주어져서 대응하는 행이 리프레시 어드레스 카운터(104)로부터의 리프레시 어드레스에 의하여 선택된다.

(b) 라이트 커맨드가 열을 선택하도록 주어지는 것에 의하여 테스트 데이터를 선택된 메모리셀에 기록한다.

(c) 상기 동작은 리프레시 어드레스 카운터(104)의 모든 카운트값이 발생될 때까지 반복된다.

리프레시 어드레스 카운터(104)가 10비트 카운터라면, 상기 동작은 $2_{10}=1024$ 번 반복된다.

일반적으로, 동일한 열 어드레스가 동일한 열을 선택하도록 주어진다.

(d) 리드 커맨드가 정상 모드에서 반복적으로 주어져서, 행과 열을 선택하고 메모리셀에 기록된 테스트 데이터를 순차 판독한다.

이때, 테스트 데이터의 기록에서 주어지는 것과 동일한 열 어드레스가 사용된다.

(e) 리드 테스트 데이터와 기록된 데이터의 일치/불일치가 판별된다.

만약 모든 판독 데이터가 기록된 데이터와 일치하면, 리프레시 어드레스 카운터(104)는 정상으로 판별된다.

스텝(d)에서, 오토 리프레시 커맨드는 정상 모드에서 주어질 수 있으므로, 행선택은 리프레시 어드레스 카운터(104)로부터 발생된 리프레시 어드레스에 의하여 실행되고, 그 뒤 열선택이 리드 커맨드에 의하여 행하여져서 데이터를 판독한다.

상술한 동작 스텝(a) 내지 (e)에서도 분명히 나타나듯이, 카운터 클럭 모드에서 열 선택 동작을 실행하는 것이 필요하다.

오토 리프레시 모드에서 전력소비를 감소하기 위하여 열선택 동작을 금지하는 SDRAM 에 있어서, 열 선택 회로를 카운터 체크 모드에서 동작 가능한 상태로 둘 필요가 있다.

SDRAM 에서는 또한, 테스트 데이터가 기록용 레지스터(16a, 16b)에 저장된 후에 선택된 메모리셀로 전달된다.

오토 리프레시 동작에서, 어레이 활성화 기간은 내부에서 자동적으로 결정된다.

그러므로, 카운터 체크 모드에서, 테스트 데이터 기록을 위하여 충분히 큰 동작마진을 두어 메모리셀에 테스트 데이터를 확실하게 기록할 필요가 있다.

오토 리프레시 모드에서 또한, 리프레시 어드레스 카운터(104)는 번갈아 뱅크 #1과 #2를 선택하는 리프레시 어드레스를 발생한다.

즉, 리프레시 어드레스는 뱅크 #1, #2에서 메모리셀의 행을 지정하기 위한 리프레시 행 어드레스와 리프레시 뱅크 #1, #2를 지정하기 위한 리프레시 뱅크 어드레스 RBA를 포함한다.

라이트 커맨드가 카운터 체크 모드에 주어질 때, 뱅크 어드레스를 제공하는 것이 또한 가능하다.

그러므로, 카운터 체크 모드에서, 리프레시 카운터(104)에 의하여 발생하는 리프레시 뱅크 어드레스 RBA를 외부에서 알 수 있는 것이 필요하다.

상술한 목적 (1) 리프레시 동작이 소정 기간의 경과후 내부에서 자동적으로 완료되는, 즉 오토 리프레시 커맨드가 카운터 체크 모드에 주어지면 메모리 어레이(1a, 1b)가 프리차지 상태로 복귀하지 않는다. (2) 오토 리프레시 커맨드가 카운터 체크 모드에 주어지면 열 선택 제어 회로가 동작 가능 상태로 된다. (3) 오토 리프레시 커맨드가 카운터 체크 모드에 주어질 때 그때 리프레시되는 뱅크를 외부에서 알 수 있는 것이 가능하다는 목적을 달성하기 위한 구성에 대하여 설명한다.

A : 오토 프리차지의 금지

제10도는 오토 리프레시 커맨드가 카운터 체크 모드에서 주어져도 오토 프리차지를 내부에서 금지하기 위한 원리적 구성을 나타낸다.

제10도를 참조하면, 리프레시 실행부(150)는 오토 리프레시 검출회로(102)로부터 받는 오토 리프레시 검출신호 AR 와 어드레스 카운터(104)로부터의 리프레시 어드레스에 따라 메모리 어레이(152)의 메모리셀을 리프레시한다.

이 리프레시 실행부(150)는 제9도에 표시되어 있듯이, 활성화 제어회로(106a, 106b), 행 선택 구동회로(108a, 108b) 및 어드레스 버퍼(110)를 포함한다.

그러므로, 메모리 어레이(152)는 뱅크 #1, #2의 메모리 어레이(1a),(1b)를 모두 포함한다.

불활성화 회로(154)는 오토 리프레시 검출회로(102)로부터 받은 오토 리프레시 검출신호 AR 에 응답하여 소정 시간의 경과후 OR 게이트(162)를 통하여 리프레시 실행부(150)를 불활성 상태로 한다.

따라서, 메모리 어레이(152)는 프리차지 상태로 되고, 리프레시 동작이 완료된다.

카운터 체크 모드 검출회로(156)는 외부에서 주어지는 카운터 체크 모드 커맨드에 응답하여 카운터 체크 모드 검출신호 CCH를 발생한다.

불활성화 회로(154)는 카운터 체크 모드 검출 신호 CCH가 주어지면 동작금지 상태로 된다.

즉, 리프레시 실행부(150)는 카운터 체크 모드 검출 신호 CCH 가 활성화 상태일 때 자동적으로 불활성화 상태로 되는 것이 금지된다.

프리차지 검출회로(158)는 프리차지 커맨드를 받을 때 프리차지 검출신호 ϕP 를 발생한다.

불활성화 회로(160)는 프리차지 검출신호 ϕP 에 응답하여 소정 기간동안 활성화 상태로 되는 프리차지 커맨드 신호 PRE 를 발생한다.

이 프리차지 커맨드 신호 PRE 는 OR 게이트(162)를 통하여 리프레시 실행부(150)에 주어져서, 리프레시 실행부(150)를 불활성화 상태로 둔다.

카운터 체크 모드 커맨드가 주어지면, 오토 리프레시 커맨드에 따라 리프레시 실행부(150)에 의하여 실행되는 리프레시 동작이 불활성화 회로(150)로부터 받은 프리차지 커맨드 신호 PRE 에 따라 종료된다.

프리차지 커맨드가 외부에서 주어지고, 따라서 오토 리프레시 동작의 완료가 외부에서 지정될 수 있으므로, 테스트 데이터가 오토 리프레시 모드에서 테스트 데이터 기록시에 충분한 동작 마진을 가지고 선택된 메모리셀에 기록될 수 있다.

제10도에 도시된 카운터 체크 모드 검출회로(156), 프리차지 검출회로(158), 불활성화 회로(154, 160) 및 OR 게이트(162)가 제1도에 도시된 제1제어신호 발생회로(20)에 포함된다.

각 유니트의 구체적 구성이 이하 설명된다.

제11도는 제10도에 도시된 오토 리프레시 검출회로(102)의 구체적 구성을 나타낸다.

제11도를 참조하면, 오토 리프레시 검출회로(102)는, 외부 제어신호 ext./RAS, ext./CAS, ext./WE 및 외부 클럭신호 CLK 를 받아서 오토 리프레시 커맨드가 주어지는 것을 검지하는 상태 디코더(180), 상태 디코더(18)로부터 받은 오토 리프레시 커맨드 검출신호 ϕRFU 에 응답하여 설정되어 오토 리프레시 검출신호 AR 를 발생하는 세트/리세트 플립플롭(181), 오토 리프레시 검출신호 AR를 소정 기간동안 지연시키는 지연회로(182) 및 지연회로(182)의 출력과 카운터 체크 모드 검출신호 CCH 를 받는 게이트회로(183)와를 포함한다. 상태 디코더(180)로부터의 출력 ϕRFU 은 리프레시 어드레스에 대한 카운트-업 지시신호로서 사용된다.

카운터 체크 모드 검출신호 CCH가 하이 레벨 활성화 상태로 될때, 게이트 회로(183)는 그 출력을 로우 레벨로 고정하여, 지연회로(182)로부터의 출력의 전달을 금지한다.

반면에, 카운터 체크 모드 검출신호 CCH가 로우 레벨로 되면, 게이트 회로(183)는 지연회로(182)의 출력을 전달하는 버퍼의 역할을 한다.

오토 리프레시 검출회로(102)는 또한 카운터 체크 모드 검출신호 CCH 와 상태디코더(184)로부터의 프리차지 커맨드(혹은 검출)신호 PRE(혹은 ϕP)를 받는 게이트 회로(185) 및 게이트 회로(185, 183)로부터의 출력을 받는 게이트 회로(186)를 포함한다.

게이트 회로(186)의 출력은 세트/리세트 플립-플롭(181)의 리세트 입력 R 에 주어진다.

상태 디코더(184)는 클럭신호 CLK 에 응답하여 활성화되어, 외부 제어신호 ext./RAS, ext./CAS 및 ext./WE 의 상태 조합에 응답하는 신호를 발생한다.

외부제어신호의 상태조합이 프리차지 커맨드를 나타낼 때, 상태 디코더(184)는 프리차지 커맨드 신호 PRE(혹은 프리차지 검출신호 ϕP)를 발생한다.

제11도에 도시된 구성에서, 상태 디코더(180, 184)는 외부신호를 직접 받는 논리 게이트로서 표시된다.

또는, RAS, CAS 및 WE 버퍼가 외부 클럭신호 CLK 에 응답하여 대응하는 외부 제어신호를 받아들여 받아들여진 내부 신호의 상태에 따라 동작 모드를 판단하므로, 판단결과를 나타내는 신호가 클럭신호 CLK 의 상승 에지에 따라 래치된다.

제11도에 나타난 상태 디코더(180, 184)의 구성은 주로 그 기능적 동작을 표시하기 위하여 나타나 있다.

이 상태 디코더(180, 184)는 신호 /CS 가 로우 레벨일때 활성화된다.

이하 동작을 설명한다.

(a) 정상 모드

통상의 데이터 판독 및 기록 동작을 행하는 정상 모드에서, 상태 디코더(180)의 출력이 로우 레벨이면서, 카운터 체크 모드 검출신호 CCH 또한 로우 레벨이다.

세트/리세트 플립-플롭(181)의 출력 AR 은 변화되지 않고 로우 레벨을 유지한다.

상태 디코더(184)가 프리차지 커맨드에 응답하여 프리차지 커맨드(혹은 검출)신호 PRE (혹은 ϕP)를 발생하면, 게이트 회로(185)의 출력은 로우 레벨(신호 CCH 가 로우 레벨이고, 게이트 회로(185)는 양 입력이 모두 하이 레벨일때만 하이 레벨 신호를 출력한다)이다.

그러므로, 세트/리세트 플립-플롭(181)의 출력 AR 은 변화하지 않고 정상 모드에서 로우 레벨을 유지한다.

(b) 오토 리프레시 모드(카운터 체크 없다)

카운터 체크 동작이 실행되지 않을때, 카운터 체크 모드 검출신호 CCH 는 로우 레벨 불활성화 상태이다.

따라서, 게이트 회로(183)는 버퍼로서의 역할을 하는 반면, 게이트 회로(185)의 출력은 로우 레벨에 고정된다.

오토 리프레시 커맨드가 주어질 때, 상태 디코더(180)의 출력은 하이 레벨로 상승하고 세트/리세트 플립-플롭(181)의 출력 AR 또한 세트 상태에서 하이 레벨로 상승한다.

이 신호 AR 에 응답하여, 리프레시 동작이 내부에서 실행된다.

소정 기간이 경과한 후, 지연회로(182)의 출력은 하이 레벨로 상승하고, 게이트 회로(183)의 출력 또한 응답하여 하이 레벨로 상승한다.

따라서, 세트/리세트 플립-플롭(181)이 게이트 회로(186)를 통하여 리세트되고, 신호 AR 는 리세트 상태에서 로우 레벨로 하강한다.

상태 디코더(184)로부터 출력된 프리차지 커맨드 신호가 게이트 회로(185)에 의하여 모두 무시되는 것에 의하여, 리프레시 동작이 자동적으로 내부에서 완료되어 메모리 어레이(152)가 프리차지 상태로 복귀한다.

상태 디코더(180)로부터 출력된 오토 리프레시 커맨드 검출신호 ϕ RFU 가 어드레스 카운터(104)에 주어져서, 이 신호 ϕ RFU 에 따라 카운트 값을 1만큼 증가시킨다.

(c) 카운터 체크 모드에서의 오토 리프레시

이 상태에서, 카운터 체크 모드 검출신호 CCH 는 하이 레벨로 설정된다.

게이트 회로(183)의 출력은 로우 레벨로 설정되고, 지연회로(182)의 출력은 무시된다.

오토 리프레시 커맨드가 이 상태에서 주어질 때, 세트/리세트 플립-플롭(181)의 출력 AR 은 상태 디코더(180)에 의하여 세트 상태로 되어, 신호 AR 이 하이 레벨로 상승한다.

지연회로(182)의 출력이 소정 시간이 경과한 후 하이 레벨로 상승하더라도, 이 출력은 게이트 회로(183)에 의하여 무시된다.

상태 디코더(184)는 프리차지 커맨드(혹은 검출)신호 PRE(혹은 ϕ P)를 프리차지 커맨드에 응답하여 하이 레벨로 상승시킨다.

이것에 응답하여, 게이트 회로(185)의 출력은 하이레벨로 상승하고, 세트/리세트 플립-플롭(181)은 게이트 회로(186)를 통하여 리세트 되고, 그 출력 AR 은 로우 레벨로 하강한다.

따라서, 리프레시 동작이 완료되고 어레이(152)는 프리차지 상태로 복귀한다.

제12a도와 12b도는 카운터 체크 모드 검출신호 CCH 를 발생하기 위한 구성을 설명한다.

제12a도에서와 같이, 카운터 체크 모드 검출신호 CCH 는 외부 핀 단자(190)를 통하여 외부에서 직접 주어질 수 있다.

이 핀 단자(190)는 전용으로 준비되거나, 혹은 미사용의 핀단자를 활용하거나 통상 사용되는 전압 레벨보다 높거나 낮은 레벨에서 설정된 전압을 받아 카운터 체크 모드 검출신호 CCH 를 발생하는 특성의 단자를 활용할 수도 있다.

또한, 카운터 체크 모드 검출신호 CCH 가 제12b도에서와 같이, 외부 제어신호 ext./RAS, ext./CAS 및 ext./WE 와 소정의 어드레스 비트 Ai 의 편성에 의하여 상태 디코더(191)로부터 발생할 수도 있다.

상태 디코더(191)의 구성은 제11도의 상태 디코더(180, 184)의 구성과 유사할 수도 있다.

제13도는 제10도에 도시된 리프레시 실행부(150)와 게이트 회로(162)의 요부의 구성을 설명한다.

제13도를 참조하면, 어레이 활성화/불활성 제어부는 프리차지 커맨드 신호 PRE, 셀프 프리차지 지지신호 SPRE 및 카운터 체크 모드 검출신호 /CCH 에 응답하여 리세트 신호 /RESET 를 발생하는 어레이 불활성 제어블록(200)과, 어레이 불활성 제어블록(200)으로부터 받은 리세트 신호 /RESET 와 어레이 활성화시에 발생된 세트 신호 /SET 에 응답하여 내부 RAS 신호를 발생하여 선택된 뱅크를 불활성화 상태로 두는 어레이 활성화 제어블록(210)을 포함한다.

셀프 프리차지 커맨드 신호 SPRE 는 오토 리프레시 커맨드가 주어질 때 소정시간 경과후 발생(활성화)된다.

이것은 제11도에서와 같이 지연회로(182)로부터 출력될 수도 있다.

세트 신호 /SET 는 오토 리프레시 커맨드 혹은 액티브 커맨드에 응답하여 발생된다.

신호 /SET 와 /RESET 의 활성화 상태는 로우 레벨이다.

또한, 어레이 불활성 제어블록(200)에 주어지는 카운터 체크 모드 검출신호 /CCH 의 활성화 상태 또한 로우 레벨이다.

어레이 불활성 제어블록(200)은 프리차지 커맨드 신호 PRE 를 받는 인버터 회로(202)와, 셀프 프리차지 신호 SPRE 와 카운터 체크 모드 검출신호 /CCH 를 받는 2입력 NAND 회로(204)와, NAND 회로(204)와 인버터 회로(202)의 출력을 받는 다른 2 입력 NAND 회로(206) 및 NAND 회로(206)의 출력을 받는 다른 인버터 회로(208)를 포함한다.

인버터 회로(208)는 리세트 신호 /RESET 를 발생한다.

어레이 활성화 제어블록(210)은 NAND 회로(212, 214)에 의하여 형성되는 NAND 플립-플롭과 NAND 회로(212)에서 출력되는 내부 활성화 신호 ACT 와 뱅크 어드레스 BA를 받는 게이트 회로(216)를 포함한다.

NAND 회로(212)는 그의 일측 입력에 세트 신호 /SET를 받고 다른 일측 입력에서 NAND 회로(214)의 출력을 받는다.

NAND 회로(214)는 그의 일측 입력에서 리세트 신호 /RESET를 받고 다른 일측 입력에서 NAND 회로(212)의 출력을 받는다.

게이트 회로(216)는 뱅크 어드레스 신호 BA 에 따라 활성화되어 NAND 회로 (212)의 출력에 응답하여 내부 RAS 신호 int./RAS를 발생한다.

그러므로, 대응하는 뱅크 #1 혹은 #2 에 할당된 뱅크 어드레스 BA 의 값에 따라 게이트 회로(216)의 구성은 변화한다.

뱅크#1 에 대해서는, 게이트 회로(216)는 뱅크 어드레스 BA 가 0 일 때, 즉, 로우 레벨일 때 활성화된다.

반면, 뱅크#2 에 대해서는, 게이트 회로(216)는 뱅크 어드레스 BA 가 1 일 때, 즉, 하이 레벨일 때 활성화된다.

제13도에 도시된 구성은 제9도에 표시된 활성화 제어회로(106a, 106b)에 대응한다.

제10도에 도시된 구성에 대응하여, 어레이 활성화 제어블록(210)이 리프레시 실행부(150)에 포함되고 게이트 회로(204)가 인버터 회로(202)에 포함되어, 인버터 회로(202), 게이트 회로(206) 및 인버터 회로(208)는 게이트 회로(162)에 대응한다.

이하, 각 신호의 발생부를 설명한다.

제14도는 세트 신호 /SET를 발생하는 회로구성을 나타낸다.

제14도를 참조하면, 상태 디코더(220)는 액티브 커맨드가 외부 제어신호 ext./RAS, ext./CAS, ext./WE 및 외부 클럭 신호 CLK 에 따라서 주어졌는지 여부를 검출한다.

신호 /CS (도시되지 않음)가 로우 레벨이고, 클럭 신호 CLK 의 상승 에지에서 외부 제어신호의 상태 조합이 액티브 커맨드를 나타낼 때, 상태 디코더(220)는 액티브 커맨드 검출신호 ϕA 를 발생한다.

원샷 펄스 발생회로(222)는 액티브 커맨드 검출신호 ϕA 혹은 오토 리프레시 모드 검출 신호 AR 가 발생될 때 원샷 펄스를 발생한다.

제15도는 셀프 프리차지 커맨드 신호 SPRE를 발생하는 회로구성을 나타낸다.

제15도를 참조하면, 셀프 프리차지 커맨드신호 발생회로는 소정 시간동안 내부 활성화 신호 ACT를 지연시키는 지연회로(224), 오토 리프레시 모드 검출신호 AR 가 활성화 상태일 때 지연회로(224)의 출력을 통과시키는 게이트회로(226) 및 게이트 회로(226)의 출력에 응답하여 원샷 펄스를 발생하는 원샷 펄스 발생회로(228)를 포함한다.

원샷 펄스 발생회로(228)는 셀프 프리차지 커맨드 신호 SPRE를 발생한다.

지연회로(224)에 의하여 결정되는 지연시간은 오토 리프레시 동작시에 어레이의 활성화 시간을 규정한다.

제13도에 도시된 회로의 동작이 동작 파형을 나타내는 제16 내지 18도를 참조하여 이하 설명한다.

(a) 오토 리프레시 동작

제16도는 카운터 체크 모드를 동반하지 않는 오토 리프레시 동작시에 제13도에 도시된 회로의 동작을 나타내는 신호 파형도이다.

오토 리프레시 커맨드가 주어질 때, 오토 리프레시 모드 검출신호 AR 는 하이레벨로 상승한다.

카운터 체크 모드 검출신호 /CCH 는 하이레벨 불활성화 상태이다.

오토 리프레시 모드 검출신호 AR 의 상승에 응답하여, 세트 신호 /SET 는 원샷 펄스의 형태로 소정 기간 동안 로우 레벨로 하강한다.

따라서, NAND 회로(212)로부터 출력되는 내부 활성화 신호 ACT 가 상승한다.

이 내부 활성화신호 ACT 에 따라, 내부 RAS 신호 int./RAS 가 발생되어 리프레시 동작이 선택된 뱅크 #1 혹은 #2에서 실행된다.

일정한 기간이 경과한 후, 제15도에 도시된 지연회로(224)의 출력이 상승하여 원샷 펄스 발생회로(228)(제15도 참조)가 셀프 프리차지 커맨드 신호 SPRE를 발생한다.

이 셀프 프리차지 커맨드 신호 SPRE 에 응답하여, NAND 회로(204)(제13도)의 출력이 로우 레벨로 하강하고 NAND 회로(206)의 출력이 하이 레벨로 상승하여, 리세트 신호 /RESET가 인버터 회로(208)를 통하여 로우 레벨로 하강한다.

리세트 신호 /RESET 의 하강에 응답하여, NAND 회로(214)의 출력이 상승하고 NAND 회로(212)의 내부 활성화신호 ACT 가 응답하여 하강한다(세트 신호 /SET 는 하이 레벨이다).

따라서, 내부 RAS 신호 int./RAS 가 하강하여 리프레시 동작을 완료한다.

(b) 카운터 체크 모드시의 오토 리프레시 동작

이하, 제17도를 참조하여, 카운터 체크 모드시의 오토 리프레시 동작을 설명한다.

이 동작 모드에는, 카운터 체크 모드 검출신호 /CCH 가 로우 레벨 활성화 상태로 설정된다.

따라서, 제13도에 도시된 NAND 회로(204)의 출력이 하이 레벨로 고정되고, 셀프 프리차지 커맨드 신호 PSRE 가 무시된다.

오토 리프레시 커맨드가 주어지면, 오토 리프레시 모드 검출신호 AR 가 상승하고 세트 신호 /SET 가 응답하여 원샷 펄스의 형태로 발생된다.

이 세트신호 /SET 에 응답하여, 내부 활성화 신호 ACT 가 하이 레벨 활성화 상태로 들어간다.

셀프 프리차지 신호 SPRE 가 소정 시간이 경과한 후 발생되더라도, NAND 회로(204)의 출력은 하이 레벨로 고정되고 리세트 신호 /RESET 는 하이레벨 상태를 유지한다.

프리차지 커맨드가 주어지면, 프리차지 커맨드 신호 PRE 가 원샷 펄스의 형태로 발생된다.

따라서, 인버터 회로(204)의 출력이 로우 레벨로 하강하고 NAND 회로(206)의 출력은 상승하여, 리세트 신호 /RESET 가 인버터 회로(208)를 통하여 로우 레벨로 하강한다.

그 뒤, 내부 활성화회로 ACT 가 로우 레벨로 리세트되어, 어레이가 프리차지 상태로 복귀한다.

(c) 정상 모드

이하, 정상 모드시에 데이터를 기록하고 판독하는 동작이 동작 파형도를 나타내는 제18도를 참조하여 설명한다.

정상 모드에서, 오토 리프래시 모드 검출신호 AR 는 로우 레벨로 설정된다.

이 상태에서, 제15도에서 도시된 구성에서 분명하였듯이, 셀프 프리차지 커맨드 신호 SPRE 는 발생되지 않는다.

액티브 커맨드에 응답하여, 액티브 커맨드 검출신호 ϕA 는 원샷 펄스의 형태로 하이 레벨로 상승한다.

이 액티브 커맨드 검출신호 ϕA 에 응답하여, 세트 신호 /SET 가 원샷 펄스의 형태로 로우 레벨 활성화 상태로 되어, 내부 활성화신호 ACT 가 발생된다.

프리차지 커맨드가 주어지면, 프리차지 커맨드 신호 PRE 가 하이 레벨로 되어, 리세트 신호 /RESET 가 인버터 회로(202), NAND 회로(206) 및 인버터 회로(208)를 통하여 로우 레벨로 하강한다.

NAND 회로(204)의 출력은 셀프 프리차지 커맨드 신호 SPRE 가 로우 레벨로 있기 때문에 하이 레벨이다.

이 리세트 신호 /RESET 에 응답하여, 내부 활성화 신호 ACT 가 로우 레벨 불활성화 상태로 되어, 어레이 프리차지 상태가 된다.

상술한 바와 같이, 카운터 체크 모드 검출신호 CCH 혹은 /CCH 에 의하여 셀프 프리차지 커맨드 신호 SPRE 를 선택적으로 무시하는 것에 의하여 리프래시 동작의 완료 즉, 어레이의 프리차지 상태로의 복귀를 외부에서 지정하는 것이 가능하므로, 선택된 메모리셀에서 테스트 데이터를 기록하기 위한 시간을 확실히 확보하는 것이 된다.

B: 열 선택 동작의 선택적 허가

제19도는 제9도에 도시된 열 선택 구동회로(114a, 114b)의 구성의 일례를 표시한다.

제19도를 참조하면, 열 선택 제어회로(114)는, 내부 RAS 신호 int.RAS 의 상승을 소정시간 동안 지연시키는 상승 지연회로(230), 상승 지연회로(230)로부터 출력된 트리거 신호 CEF를 받는 2단의 인버터 회로(232, 234), 오토 리프래시 모드 검출회로 AR를 받는 인버터 회로(236), 인버터 회로(236)의 출력과 카운터 체크모드 검출신호 CCH를 받는 게이트 회로(238) 및 인버터 회로(234)와 게이트 회로(238)의 출력을 받는 게이트 회로(239)를 포함한다. 게이트 회로(238)는 그 입력에서 받는 신호의 하나가 상승하면 하이 레벨 신호를 출력한다.

반면, 게이트 회로(239)는 양입력이 상승하면 로우 레벨 신호를 출력한다.

이 게이트 회로(239)는 열 선택동작을 가능하게 하는 칼럼 이네이블 신호 /CE를 발생한다.

이 칼럼 이네이블 신호 /CE 는 제9도에서 칼럼 디코더(116a, 116b)에만 주어지는 것으로 나타난다.

이 칼럼 이네이블 신호 /CE 는 제1도에 도시된 구성에서 레지스터 제어 회로(28)에 주어져, 레지스터 제어회로(28)의 동작을 선택적으로 금지할 수도 있다.

레지스터 제어회로(28)가 동작 금지상태로 될 때, 데이터 입/출력을 위한 레지스터의 선택이 금지되어 레지스터의 데이터를 기록하고 판독하는 것이 금지된다.

이러한 경우에, 입/출력 버퍼 또는 동작금지 상태로 될 수 있다.

이제 동작 파형도를 나타내는 제 20 내지 22도를 참조하여 동작이 설명된다.

(a) 정상 모드

제20도는 제19도에 도시된 회로의 동작 파형도이다.

정상 모드에서, 오토 리프래시 모드 검출신호 AR 와 카운터 체크 모드 검출신호 CCH 는 모두 로우 레벨이다.

내부 RAS 신호 int.RAS 가 액티브 커맨드에 응답하여 상승한다.

이 내부 RAS 신호 int.RAS 의 상승에 응답하여, 지연회로(230)로부터 출력된 신호 CEF 는 소정 시간이 경과한 후 하이 레벨로 상승한다.

따라서, 인버터 회로(232)로부터 출력되는 트리거 신호 /CEF 는 하이레벨로부터 로우 레벨로 하강한다.

신호 AR 와 CCH 는 모두 로우 레벨이고, 게이트 회로(238)는 인버터 회로(236)의 출력에 의하여 하이레벨 신호를 출력한다.

게이트 회로(239)는 칼럼 이네이블 신호 /CE를 신호 /CEF 의 하강에 응답하여 로우 레벨로 한다.

따라서, 열 선택동작이 금지된다.

그러므로 이러한 경우에 라이트 커맨드 혹은 리드 커맨드가 외부에서 주어질 때, 열 선택 동작이 그때 주어지는 칼럼 어드레스 신호에 따라 실행되어, 선택된 행과 열의 메모리셀의 데이터가 기록되거나 판독될 수 있다.

내부 RAS 신호 int.RAS 가 상승한 후 칼럼 이네이블 신호 /CE를 로우레벨 활성화 상태로 하기 위하여 요구되는 지연시간은 행 선택 후에 열 선택을 행하기까지 요구되는 시간일 수 있고, 일반적으로는 RAS 인터록 시간이라 불리우는 시간에 대응한다.

(b) 오토 리프레시 모드(카운터 체크 모드 없음)

이 동작 모드시에 있어서, 카운터 체크 모드 검출신호 CCH 는 로우 레벨 불활성화 상태이다.

오토 리프레시 커맨드가 주어지면, 오토 리프레시 모드 검출신호 AR 는 하이레벨로 상승하고 인버터 회로(236)의 출력은 로우 레벨로 하강한다.

게이트 회로(238)의 출력은 하강하고, 칼럼 이네이블 신호 /CE 는 내부 RAS 신호 int.RAS 의 상태에 관계없이 하이레벨로 고정된다.

그러므로, 열 선택동작은 내부 RAS 신호 int.RAS 가 발생되고 리프레시 동작이 실행되는 동작 금지된다(칼럼 디코더(116a, 116b)의 동작이 제9도에 표시된 구성에서 금지된다).

소정 시간이 경과한 후, 오토 리프레시 모드 검출신호 AR 는 로우 레벨로 하강한다(셀프 프리차지 커맨드 신호 SPRE : 제13도 참조).

(c) 카운터 체크 모드시의 오토 리프레시 동작

카운터 체크 모드시에, 카운터 체크 모드 검출신호 CCH 는 하이 레벨 활성화 상태로 설정되고, 게이트 회로(238)의 출력은 하이 레벨로 설정된다.

오토 리프레시 모드 검출신호 AR 가 주어지면, 내부 RAS 신호 int.RAS 는 하이레벨로 상승한다.

소정 시간이 경과한 후, 트리거 신호 /CEF 는 로우 레벨로 하강하고, 칼럼 이네이블 신호 /CE 또한 로우 레벨로 하강한다.

그러므로, 이 기간동안, 열 선택 동작이 실행되어 외부에서 칼럼 어드레스에 따라 선택된 메모리셀에 액세스한다.

프리차지 커맨드가 카운터 체크 모드시에 외부에서 주어지고 어레이 프리 차지 상태로의 복귀가 지정되면, 오토 리프레시 모드 검출신호 AR 와 내부 RAS 신호 int.RAS 는 모두 로우 레벨로 되고, 신호 /CEF 는 하이 레벨 불활성화 상태로 복귀하고 칼럼 이네이블 신호 /CE 또한 하이 레벨 불활성화 상태로 된다. 상기 구조에 의하여, 카운터 체크 모드 검출신호 CCH 에 의하여 열 선택동작을 선택적으로 허가하는 것이 가능하므로, 열 선택 또한 오토 리프레시 동작시에 테스트 데이터를 기록하고 검출하게 된다.

상기 구조에서, 열 선택부의 동작은 오토 리프레시 동작시에 소비 전력을 감소하도록 금지된다.

그러나, 그러한 열 선택 동작을 허가하기 위한 회로 시스템에서, 열 선택 동작은 오토 리프레시 동작시에 도 또한 내부 RAS 신호 int.RAS 에 따라 가능하다(표준 DRAM 에서의 CAS 계 회로가 이네이블된다).

C : 리프레시 बैं크의 외부 인식

제23도는 리프레시 어드레스 카운터(104)의 출력을 나타낸다.

제23도에서 알 수 있듯이, 리프레시 카운터(104)는 행 어드레스 비트 A0 내지 An을 발생하고 리프레시 बैं크 어드레스 RBS 를 발생한다.

이 카운터(104)는 제11도에 표시된 상태 디코더(180)로부터 받은 오토 리프레시 커맨드 검출신호 ϕ RFU 에 따라 그 카운트 값을 1만큼 증가시킨다.

리프레시 행 어드레스 비트 A0 내지 An 의 비트수는 동시에 리프레시 되는 메모리셀의 수에 따라 결정된다(선택된 상태로 되는 워드선의 수).

뱅크 어드레스 RBA 는 리프레시 어드레스 카운터(104)의 최하위 비트위치에서 발생된다.

따라서, बैं크 어드레스 RBA 는 번갈아 बैं크 #1 과 #2를 지정할 수 있다.

제24도는 리프레시 행 어드레스 비트 A0 내지 An을 발생하기 위한 어드레스 카운터(104)에 포함되는 구성을 나타낸다.

제24도는 1단의 카운터만을 표시한다.

제24도에 표시된 (n+1) 개의 1비트 2진 카운터가 서로 종속접속되어 있다.

제24도를 참조하면, 1비트 2진 카운터(리프레시 어드레스 카운터(104)의 1단)는 입력 모드 IN 및 모드 N2 상의 신호를 받는 NAND 회로 G1, 입력 모드 IN 와 모드 N4 상의 신호를 받는 NAND 회로 G2, 그 일측 입력에서 NAND 회로 G1 의 출력을 받는 NAND 회로 G3 및 그 타측 입력에서 NAND 회로 G2 의 출력을 받는 NAND 회로 G4를 포함한다.

NAND 회로 G3는 그의 다른 입력에서 NAND 회로 G4 의 출력을 받고, NAND 회로 G4 는 그의 다른 입력에서 NAND 회로 G3 의 출력을 받는다.

즉, NAND 회로 G3, G4 는 NAND 형 플립-플롭을 형성한다.

1비트 2진 카운터는 또한 입력 모드 IN 상의 신호를 인버터 회로 G7를 통하여 그 게이트에서 받는 n 채널 MOS(절연 게이트형 전계효과) 트랜지스터 T1, T3 와 NAND 회로 G3 의 출력을 그 게이트에서 받는 n 채널 MOS 트랜지스터 T2 및 NAND 게이트 G4 의 출력을 그 게이트에서 받는 n 채널 MOS 트랜지스터 T4를 포함한다.

MOS 트랜지스터 T1, T2 는 모드 N3와 접지전위 사이에 이 순서로 직렬접속된다. MOS 트랜지스터 T3, T4 는 모드 N4와 접지전위 사이에 이 순서로 직렬 접속된다.

1 비트 2진 카운터는 또한 모드 N3 상의 신호를 반전하여 이를 모드 N4 상에 전달하는 인버터 회로 G6 와 모드 N4 상의 신호를 반전하여 이를 모드 N3 상에 전달하는 인버터 회로 G5를 포함한다.

모드 N3 는 출력모드 OUT 에 접속된다.

인버터 회로 G5, G6 는 인버터 래치를 구성한다.

제24도에 도시된 1비트 2진 카운터의 동작이 제25도에 표시된 동작 파형도를 참조하여 이제 설명된다.

여기서는 초기 상태에서, 입력 모드 IN(전단의 1비트 2진 카운터)가 하이 레벨이고, 출력 모드 OUT 의 신호전위 즉, 리프래시 행 어드레스 비트 A_i 이 로우 레벨인 것으로 가정한다.

이 상태에서, NAND 회로 G1, G2의 출력은 각각 하이, 로우 레벨이다.

그러므로, NAND 회로 G4 의 출력 즉, 모드 N2 의 전위는 상승하고, NAND 회로 G3 의 출력 즉, 모드 N1 의 전위는 응답하여 하강한다.

MOS 트랜지스터 T1, T3는 모두 오프 상태이다.

트랜지스터 T2 가 또한 오프 상태이고, 트랜지스터 T4 는 온 상태이다.

입력 모드 IN 에 주어지는 신호가 로우 레벨로 하강할 때, NAND 회로 G1, G2 의 출력은 모두 상승한다.

이 상태에서 NAND 회로 G3, G4 의 출력 즉, 모드 N1, N2의 신호전위는 변화하지 않는다.

반면에, MOS 트랜지스터 T1, T3 는 인버터 회로 G7 의 출력에 응답하여 온상태로 된다.

결과적으로, 모드 N4 는 트랜지스터 T3, T4를 통하여 방전되어 로우 레벨로 되고, 모드 N3 의 전위는 인버터 회로 G5 에 의하여 상승한다.

즉, 출력 모드 OUT 의 전위는 로우 레벨로부터 하이 레벨로 상승한다.

입력 모드 IN 에 주어지는 신호가 그 뒤 로우 레벨로부터 하이 레벨로 상승할 때, NAND 회로 G1 의 출력은 로우 레벨로 하강하고, NAND 회로 G3의 출력 즉, 모드 N1 의 전위는 응답하여 하이 레벨로 상승한다.

반면에, NAND 회로 G2 의 출력은 모드 N4 의 전위가 로우 레벨이기 때문에 하이 레벨이다.

NAND 회로 G4 는 모드 N1 의 전위가 하이 레벨이기 때문에 로우 레벨 신호를 출력한다.

즉, 모드 N2 의 전위는 하이 레벨로부터 로우 레벨로 변화된다.

따라서, MOS 트랜지스터 T2 는 온 상태로 된다.

반면에, MOS 트랜지스터 T1, T3 가 인버터 회로 G7 의 출력에 응답하여 오프상태로 되는 것에 의하여, 모드 N3, N4 의 전위는 변화되지 않고 출력 모드 OUT 의 전위는 하이 레벨로 유지한다.

그 뒤, 입력 모드 IN 의 신호 전위가 하강하는 것에 의하여, NAND 회로 G1, G2 의 출력은 상승한다.

이 상태에서, 모드 N1, N2의 전위는 변화하지 않는다.

반면에, MOS 트랜지스터 T1, T3 는 인버터 회로 G7의 출력에 응답하여 온 상태로 된다.

MOS 트랜지스터 T2, T4 가 각각 온, 오프 상태인 것에 의하여, 모드 N3 의 전위는 MOS 트랜지스터 T1, T2를 통하여 접지전위 레벨로 방전된다.

즉, 출력 모드 OUT 의 전위는 로우 레벨로 하강하고, 모드 N3, N4의 전위는 인버터 회로 G5, G6 에 의하여 래치된다.

그 뒤, 입력 모드 IN 에 주어지는 신호의 전위가 다시 하이레벨로 상승하는 것에 의하여, NAND 회로 G2의 출력은 하강하고, 모드 N2 의 전위는 NAND 회로 G4에 의하여 하이 레벨로 상승한다.

반면에, 모드 N1의 전위는 NAND 회로 G3가 그의 양 입력에서 하이 레벨 신호를 받기 때문에 하강한다.

MOS 트랜지스터 T1, T3 는 오프 상태이고, 따라서 출력 노트 OUT 의 상태는 변화되지 않는다.

이 1비트 2진 카운터 입력 모드 IN 에 주어지는 신호를 2 분주하여, 이를 출력 모드 OUT 에 전달한다.

즉, 모드 N1, N2 의 전위는 입력 모드 IN 의 전위가 로우 레벨로부터 하이 레벨로 변화될 때 변화되고, 출력 모드 OUT 의 전위는 출력 모드 IN 의 전위가 하이 레벨로부터 로우 레벨로 변화될 때 변화된다.

그러므로, 제24도에 표시되는 1비트 2진 카운터를 (n+1)개 서로 종속접속하는 것에 의하여 (n+1) 비트 2진 카운터를 실행하는 것이 가능하므로, 각 1비트 2진 카운터의 출력 모드 OUT 가 다음단의 1비트 2진 카운터의 입력모드 IN 에 접속된다.

제26도는 리프래시 뱅크 어드레스 RBA를 발생하는 리프래시 어드레스 카운터(104)의 부분의 구성을 나타

낸다.

제26도에 도시된 1비트 2진 카운터는 NAND 회로 G8 가 출력 모드 OUT 에 접속되는 인버터 회로 G5 의 대신에 설치되어 있다는 점을 제외하고는 제24도에 도시된 것의 구성과 동일하다.

제24도에 나타난 것에 대응하는 부분에는 동일한 참조번호가 표시되어 있다.

NAND 회로 G8 는 그의 일측 입력에서 리세트 신호 /RST를 받고, 다른 타측에서 모드 N4 상의 신호(인버터 회로 G6의 출력)를 받는다.

리세트 신호 /RST 는 카운터 체크 모드 케맨드가 주어질 때 원샷 펄스의 형태로 발생된다.

NAND 회로 G8 는 리세트 신호 /RST 가 하이 레벨 불활성화 상태일 때 인버터 회로로서 작동한다.

그러므로, 이 상태에서, 출력 모드 OUT 로부터 발생하는 리프래시 बैं크 어드레스 RBA 는 출력 모드 IN 즉, 오토 리프래시 커맨드 검출신호 ϕ RFU 의 반전 신호 / ϕ RFU 에 주어지는 신호가 하갈할 때마다 변화한다.

이하, 이 리프래시 बैं크 어드레스 카운터의 동작을 그 동작 파형도를 나타내는 제27도를 참조하여 설명한다.

입력 모드 IN 의 신호 전위가 하이 레벨이고 출력 모드 OUT 의 전위가 로우 레벨이라고 본다.

리세트 신호 /RST 가 하이 레벨로 불활성화 상태일 때, 모드 N1, N2의 전위는 제25도에 도시된 동작 파형도에 유사하게 각각 하강, 상승한다.

이 상태에서 리세트 신호 /RST 가 하강할 때, NAND 회로 G8 의 출력이 상승하여, 출력 모드 OUT 에서의 신호는 하이 레벨로 상승한다.

출력 모드 OUT 의 전위 즉, 모드 N3 의 전위가 상승할 때, NAND 회로 G1의 출력이 로우 레벨로 변화하고, NAND 회로 G3 의 출력 즉, 모드 N1 의 전위가 응답하여 상승한다.

이때, NAND 회로 G2 의 출력이 하이 레벨인 것에 의하여, NAND 회로 G4의 출력 즉, 모드 N2의 전위가 로우 레벨로 변화한다.

입력 모드 IN 에 주어지는 신호가 리세트 신호 /RST 의 발생후에 하이 레벨과 로우 레벨 사이의 변화를 반복하면, 이 카운터는 제24도에 표시된 카운터의 것과 유사한 카운트 동작을 실행한다.

만약, 리세트 신호 /RST 가 모드 N1, N2 가 각각 하이, 로우 레벨일 때 활성화상태로 되면, 입력 모드 IN 의 출력이 상승하고(신호 / ϕ RFU 가 불활성화 상태에서 하이 레벨이다), NAND 회로 G2 의 출력 또한 상승하면서, 모드 N2 의 전위가 하강하고 모드 N1의 전위는 하이 레벨 상태로 유지한다.

그러므로, 모드 N1, N2의 신호전위에 관계없이 리세트 신호 /RST를 원샷 펄스형태로 제공하는 것에 의하여 출력모드 OUT 의 전위의 하이 레벨로 하면서, 모드 N1, N2 의 전위를 각각 하이, 로우 레벨로 하는 것이 가능하다.

제28도는 리세트 신호 /RST를 발생하는 구성을 나타낸다.

제28도를 참조하면, 원샷 펄스 발생회로(250)는 카운터 체크 모드 검출신호 CCH 에 응답하여 원샷 펄스를 발생한다.

즉, 리세트 신호 /RST 가 카운터 체크 모드 동작의 시작과 함께 발생된다. 카운터 체크 모드의 시작은 제12도를 참조하여 상술되었다.

이 카운터 체크 모드 신호는 유사한 구성으로 종료될 수 있다.

상술한 리프래시 어드레스 카운터(104)가 이용될 때, 그 리프래시 어드레스는 카운터 체크 모드 동작시에 초기값에 리세트 된다.

이 리프래시 어드레스 카운터(104)의 카운터 값은 제1 오토 리프래시 커맨드에 응답하여 1만큼 증가한다.

그러므로, बैं크 어드레스 RBA 가 बैं크 #2를 최초로 지정하도록 초기설정되면, बैं크 #1에 관한 리프래시 동작이 다음 오토 리프래시 커맨드에 따라 실행되고, 이후로는 बैं크 #2, #1 가 번갈아 오토 리프래시 커맨드에 따라서 리프래시된다.

그러므로, 카운터 체크 모드시에는, 그때 리프래시되는 बैं크를 외부에서 인식하는 것이 가능하게 되어, बैं크 어드레스를 지정하면서 데이터를 기록 및 판독한다.

리프래시 어드레스 카운터(104)의 상위 구성에서, बैं크 어드레스를 지정하는 1비트 2진 카운터만이 리세트된다.

또한, 제29도에 표시되는 것과 같이, 리프래시 행 어드레스 비트를 발생하는 카운터의 모든 초기값을 0에 리세트하면서, बैं크 어드레스 RBA 만을 1에 리세트하는 구성이 이용될 수도 있다.

이러한 경우에도 또한 카운터 체크 모드시에 외부에서 리프래시 행 어드레스를 인식하는 것이 가능하다.

따라서, 1010...과 같은 패턴 테스트 데이터가 카운터 체크 모드시에 1열에서 기록되는 경우에, 메모리셀의 어느 어드레스에 어떤 데이터가 기록되는 지를 인식하는 것이 가능하게 되어, 테스트 데이터가 정상 모드에서 판독될 때에, 카운터가 용이하게 체크된다.

뱅크 구성이 SDRAM 에 이용되지 않는 경우, 리프래시 행 어드레스를 초기값에 단순히 설정하는 구성이 사용될 수 있다.

제30도는 본 발명에 따른 SDRAM 의 오토 리프래시 동작을 나타내는 타이밍 차트이다.

본 발명의 SDRAM 은 통상의 오토 리프래시 동작이 실행될 때 그 내부에서 프리차지 상태로 자동적으로 복귀한다.

카운터 체크 모드의 오토 리프래시 동작에서는, 반면에, 오토 리프래시 동작이 프리차지 커맨드에 의하여 완결된다.

또한 카운터 체크 모드가 지정되면, 리프래시 बैं크 어드레스가 소정의 बैं크를 지정하도록 초기 설정된다.

이하, 리프래시 동작을 제30도를 참조하여 설명한다.

카운터 체크 모드가 시각 T1에서 지정된다.

이 카운터 체크 모드는 외부핀 단자를 통하여 직접 제공되는 카운터 체크 모드 커맨드 신호에 의하여 지정되거나, 혹은 외부 제어신호의 상태 조합 및 그때 주어지는 어드레스 신호 비트의 값에 따라서 결정된다.

제30도를 참조하면, 카운터 체크 모드는 모든 외부 제어신호 ext./RAS, ext./CAS, ext./WE 가 모두 하이 레벨일 때 지정된다.

그러한 카운터 체크 모드의 지정에 응답하여, 카운터 체크 모드 검출신호 CCH 는 하이 레벨 활성화 상태로 된다.

리세트 신호 /RST 가 응답하여 원상 펄스의 형태로 발생되고, 따라서 리프래시 어드레스 카운터(104)의 리프래시 बैं크 어드레스 RBA 가 하이 레벨로 초기 설정된다.

오토 리프래시 커맨드가 그러한 초기 설정후에 타이밍 T2에서 주어지면, 리프래시 어드레스 RBA 가 이 오토 리프래시 커맨드에 응답하여 로우 레벨로 변화되어, बैं크 #1를 지정한다.

따라서 내부 RAS 신호, int./RASA 가 오토 리프래시 커맨드에 따라 발생되어, बैं크 #1 에 대한 리프래시 동작을 실행한다.

이때, 카운터 체크 모드가 지정되고, 칼럼 이네이블 신호 /CE 는 내부 RAS 신호 int./RASA 가 활성화 상태로 변하고 소정 시간이 지난후에 활성화 상태에서 로우 레벨로 하강한다.

라이트 커맨드가 시간 T3에서 주어진다.

이대, बैं크 어드레스와 열 어드레스가 외부 제어신호 ext./CAS 에 따라 받아들여진다.

외부에서 제1오토 리프래시 커맨드에 의하여 बैं크 #1가 리프래시되는 것이 인식되고, 따라서 बैं크 #1를 지정하는 बैं크 어드레스 0가 라이트 커맨드와 함께 입력된다.

그러므로, 활성화 상태의 बैं크 #1의 선택된 행 중의 특정 열의 메모리셀에서 테스트 데이터를 기록하는 것이 가능하다.

프리차지 커맨드가 시각 T4에서 주어진다.

따라서, बैं크 #1에 대한 오토 리프래시 동작이 완료되고, 내부 RAS 신호 int./RASA 가 불활성화 상태에서 하이 레벨로 상승하고, 칼럼 이네이블 신호 /CE 가 하이 레벨로 또한 상승한다.

오토 리프래시 커맨드가 시각 T5에서 주어질 때, बैं크 어드레스 RBA 가 이 커맨드에 따라 하이 레벨로 변화된다.

따라서, बैं크 #2에 대한 오토 리프래시 동작이 실행된다.

즉, बैं크 #2에 대한 내부 RAS 신호 int./RASB 가 로우 레벨 활성화 상태로 되고, 칼럼 이네이블 신호 /CE 또한 소정 시간경과후 로우레벨로 하강한다.

따라서, 다시 라이트 커맨드를 주는 것에 의하여 बैं크 #2에서 테스트 데이터를 기록하는 것이 가능하다.

제30도에 도시된 구성에서, बैं크 #1, #2에 대한 칼럼 이네이블 신호 /CE 는 공통이다.

또한, 칼럼 이네이블 신호 /CE 가 리프래시 बैं크 어드레스 RBA 와의 AND 연산에 의하여 리프래시 되는 बैं크에 대하여만 열 선택을 하도록 구성되어도 좋다(칼럼 디코더(116a,116b)만이 동작금지 상태로 되는 경우).

상기 실시예에서, 리프래시 어드레스 카운터(104)의 카운트값은 오토 리프래시 커맨드가 입력될 때 1만큼 증가된다.

또한, 오토 리프래시 동작의 완료시에 오토 리프래시 모드 검출신호 AR의 하강에 응답하여, 리프래시 어드레스 카운터(104)가 1만큼 증가할 수도 있다.

이러한 경우에, 리프래시 बैं크 어드레스 RBA 는 0으로 초기 설정된다.

특정의 동작 모드시에 리프래시 어드레스 카운터(104)의 카운트값을 초기값에 리세트하는 구성이 통상의 DRAM 에도 또한 적용될 수 있다.

정상 모드시에 혹은, 오토 리프래시 커맨드와 리드 커맨드(리드 커맨드는 제30도의 라이트 커맨드를 대신하여 주어진다)에 의하여 테스트 데이터가 판독된다.

본 발명에 따르면, 리프래시 동작의 완료 타이밍은 동작 모드에 따라 외부에서 설정될 수 있다.

따라서, 카운터 체크 모드시에 선택된 메모리셀에서 확실히 데이터를 기록하는 것이 가능하다.

또한, 예를 들면, 스탠바이 기간에, 데이터 유지 동작만이 실행될 때에 외부에서 리프레시 사이클 기간을 설정하는 것이 가능하다.

따라서, 외부 전원 전압이 예를 들면, 데이터 유지 동작시에 낮게 된 경우에 센스앰프 동작기간을 늘리는 것에 의하여 전원 전압 레벨까지 승압된 데이터를 확실하게 기록하는 것이 가능하게 되어, 데이터 유지를 확실하게 행하게 된다.

본 발명이 상세히 설명되고 예시되었지만, 이는 예시와 설명만을 위한 것이고, 본 발명의 사상과 범위는 첨부된 클레임의 내용에 의해서만 한정됨을 명확히 이해될 수 있을 것이다.

(57) 청구의 범위

청구항 1

리프레시 동작이 필요한 복수의 다이나믹 메모리셀을 가지며, 일련의 펄스로 형성된 클럭신호에 동기하여 외부신호를 받아들이는 동기형 반도체 메모리 장치에 있어서, 상기 복수의 다이나믹 메모리셀중 리프레시 되어야할 메모리셀을 지정하는 리프레시 어드레스를 발생하는 리프레시 어드레스 발생수단과: 리프레시 지정신호에 응답하여 상기 리프레시 어드레스 발생수단으로부터 발생된 상기 리프레시 어드레스에 의하여 지정된 상기 메모리셀을 리프레시하는 리프레시 수단과; 상기 리프레시 지정신호에 응답하여 소정 시간이 경과한 후 상기 리프레시 수단을 불활성화 하는 제1불활성화 수단과: 상기 리프레시 지정신호와 다른 제1동작모드 지정신호에 응답하여 상기 제1불활성화 수단이 동작하는 것을 금지하는 제2불활성화 수단과: 제2동작모드 지정신호에 응답하여 상기 리프레시 수단을 불활성화 하는 제3불활성화 수단을 포함하는 동기형 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제1동작 모드 지정신호에 응답하여 상기 리프레시 어드레스 발생 수단으로부터 발생된 상기 리프레시 어드레스를 소정의 값으로 리세팅하는 리세트 수단을 더욱 포함하는 동기형 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 다이나믹 메모리셀이 행과 열의 매트릭스로 배열되고, 상기 리프레시 지정신호에 응답하여 상기 열중에서 열의 선택에 관한 회로의 동작을 금지하는 열선택 금지수단을 더욱 포함하는 동기형 반도체 메모리 장치.

청구항 4

일련의 펄스로 형성된 클럭 신호에 동기하여 외부 신호를 받아들이는 동기형 반도체 메모리 장치에 있어서, 리프레시 동작이 필요한 복수의 다이나믹 메모리셀을 각각 가지며, 서로 독립적으로 활성화되는 복수뱅크와: 상기 메모리셀과 상기 뱅크중에서 리프레시 되어야할 메모리셀과 뱅크를 지정하는 리프레시 어드레스를 발생하는 어드레스 카운터와: 리프레시 지정신호에 응답하여 상기 어드레스 카운터로부터 발생되는 상기 리프레시 어드레스에 의하여 지정된 뱅크의 메모리셀을 리프레시하는 리프레시 수단과: 상기 어드레스 카운터로부터 발생되는 상기 리프레시 어드레스에서 적어도 상기 뱅크중 하나를 지정하는 뱅크 어드레스를 상기 뱅크중 소정의 하나를 지정하는 어드레스로 초기화하는 초기화 수단을 포함하는 동기형 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 다이나믹 메모리셀은 행과 열의 매트릭스로 배치되며, 상기 리프레시 지정신호에 응답하여 상기 열중 하나의 열을 선택하는 동작을 금지하는 열 선택 금지수단과, 상기 열 선택 금지수단을 불활성화 하여 상기 제1동작 모드 지정신호에 응답하여 열 선택 동작을 가능하게 하는 열선택 제어수단을 더욱 포함하는 동기형 반도체 메모리 장치.

청구항 6

행과 열로 배열된 복수의 다이나믹형 메모리셀을 가지는 메모리셀 어레이와: 상기 클럭신호에 동기하여 인가되는 리프레시 지정신호에 응답하여 리프레시 모드 동작이 지시되어 리프레시 모드 검출신호를 발생하는 것을 검출하는 리프레시 모드 검출수단과: 상기 리프레시 모드 검출신호에 응답하여 상기 메모리셀 어레이에서 리프레시되어야 할 메모리셀의 행을 지정하는 리프레시 어드레스신호를 발생하는 리프레시 어드레스 발생수단과: 상기 리프레시 모드 검출신호와 상기 리프레시 어드레스 신호에 응답하여 메모리셀의 행의 데이터를 리프레시하는 리프레시 수단과: 특정 동작 모드를 지지하는 동작 모드 지지신호에 응답하여 상기 리프레시 수단이 디스에이블되어 메모리셀의 상기 행의 데이터를 리프레시하는 것을 종료하는 타이밍을 결정하는 설정수단을 포함하는 클럭신호에 동기하여 동작하는 동기형 반도체 장치.

청구항 7

제6항에 있어서, 상기 설정 수단이, 상기 리프레시 모드 지시신호가 불활성화 상태로 되어 특정 동작 모드를 지시하지 않게 되는 소정 기간 동안 상기 리프레시 수단을 이네이블 하는 수단을 포함하는 동기형 반도체 장치.

청구항 8

제6항에 있어서, 상기 설정수단이, 상기 리프레시모드 지시신호가 활성화상태일 때 상기 클럭신호에 동기하여 리프레시 종료신호가 인가될때까지 상기 리프레시 수단을 이네이블상태로 유지시키는 수단을 포함하는 동기형 반도체 장치.

청구항 9

제6항에 있어서, 상기 리프레시 모드 지시신호에 응답하여 상기 클럭신호에 동기하여 인가된 열 어드레스 신호에 따라 상기 열에서 열을 선택하는 동작을 금지하는 열선택 금지수단을 또한 포함하는 동기형 반도체 장치.

청구항 10

제9항에 있어서, 상기 리프레시 모드 지시신호에 응답하여 상기 열선택 금지수단에 의하여 금지된 열선택 동작을 자유롭게 하여 상기 리프레시 모드 지시 신호가 활성화 상태일 때 상기 리프레시 어드레스 신호와 상기 열 어드레스 신호에 의하여 지정되는 메모리셀을 외부에서 액세스하는 것을 가능하게 하는 릴리스 수단을 더욱 포함하는 동기형 반도체 장치.

청구항 11

제6항에 있어서, 상기 리프레시 모드지시신호에 응답하여 활성화되어 상기 클럭신호에 동기하여 인가되는 열어드레스 신호에 따라 상기 열중에서 열을 선택하는 열선택 동작을 이네이블하는 수단을 더욱 포함하는 동기형 반도체 장치.

청구항 12

제6항에 있어서, 상기 리프레시 어드레스 발생수단인, 상기 리프레시 어드레스 신호를 발생하는 리프레시 어드레스 카운터와, 상기 동작모드 지시신호에 응답하여 활성화되어 상기 리프레시 어드레스 카운터의 카운트값을 소정의 초기값으로 리셋하는 리셋수단과를 포함하는 동기형 반도체 장치.

청구항 13

제6항에 있어서, 상기 메모리 어레이가 서로 독립적으로 액세스 가능한 복수의 बैं크로 분리되고, 상기 리프레시 어드레스 발생수단이 리프레시 어드레스 카운터로서 메모리셀의 행을 지정하는 리프레시 행어드레스와 상기 복수의 बैं크중에서 बैं크를 지정하는 बैं크 지정신호를 발생하는 리프레시 어드레스 발생수단과, 상기 동작 모드 지시신호에 응답하여 활성화되어 상기 बैं크 지정신호를 상기 복수의 बैं크중에서 소정의 बैं크를 지시하는 상태로 초기설정하는 리세팅 수단과를 포함하는 동기형 반도체 장치.

청구항 14

제6항에 있어서, 상기 동작 모드 지시신호가, 상기 리프레시 어드레스 발생수단이 정확하게 동작하여 상기 리프레시 어드레스 신호를 발생하는가를 체크하는 카운터 체크 모드 동작을 지정하는 동기형 반도체 장치.

청구항 15

제6항에 있어서, 상기 리프레시 지정신호가 상기 클럭신호의 변화에 따라 소정의 상태 조합으로 설정된 복수의 제어신호에 상응하는 동기형 반도체 장치.

청구항 16

제6항에 있어서, 상기 동작 모드 지시신호가 상기 클럭 신호의 변화에 따라 소정의 상태 조합으로 설정된 복수의 외부신호에 상응하는 동기형 반도체 장치.

청구항 17

제16항에 있어서, 상기 복수의 외부신호가 소정의 제어신호와 멀티비트 외부 어드레스 신호의 소정 비트를 포함하는 동기형 반도체 장치.

청구항 18

제6항에 있어서, 상기 설정수단인: 상기 리프레시 모드 검출신호에 응답하여 상기 리프레시 모드 검출신호가 발생한 후 소정시간이 경과한 후에 상기 리프레시 수단을 디스에이블하는 디스에이블 수단과: 상기 동작모드 검출신호에 응답하여 상기 특정 동작모드가 지정된 것을 검출하고 상기 디스에이블 수단이 동작하는 것을 금지하는 동작 모드 검출수단과: 프리차지 지시신호에 응답하여 상기 메모리셀 어레이에서 선택된 메모리셀이 스탠바이 상태에서 비선택 상태로 되도록 지정하는 종료 모드 검출 수단과: 상기 디스에이블링 수단과 종료모드 검출수단에 응답하여 상기 리프레시 수단을 디스에이블하여 상기 리프레시 어드레스 신호에 의하여, 지정된 메모리셀의 상기 행의 데이터를 리프레시하는 것을 종료하는 종료수단과를 포함하는 동기형 반도체 장치.

청구항 19

제18항에 있어서, 상기 동작 모드 검출수단이 불활성화 상태로 고정된 상기 디스에이블링 수단의 출력이 상기 동작 모드 지시신호가 상기 특정 동작 모드를 지정할 때 리프레시를 유지하도록하는 수단을 포함하는 동기형 반도체 장치.

청구항 20

제18항에 있어서, 상기 프리차지 지시신호가 상기 클럭신호의 변화에 따라 소정의 상태 조합으로 설정되는 복수의 제어신호에 의하여 표시되는 동기형 반도체 장치.

청구항 21

제6항에 있어서, 상기 리프레시 수단이 상기 리프레시 모드 검출수단에 의하여 상기 메모리셀 어레이내의

메모리셀의 행을 선택하는 동작을 개시하는 행 어드레스 스트로브 신호를 발생하는 수단을 포함하고, 상기 설정수단이 상기 동작 모드 지시신호에 따라 결정된 타이밍에서 상기 행 어드레스 스트로브 신호를 디스에이블링하는 수단을 포함하는 동기형 반도체 장치.

청구항 22

행과 열로 배열된 복수의 다이나믹형 메모리셀을 가지는 메모리셀 어레이와; 인가된 행 어드레스 신호에 응답하여 상기 메모리셀 어레이에서 메모리셀의 행을 선택하는 행 선택수단과; 상기 클럭 신호에 동기하여 인가된 리프레시 지정신호에 응답하여 리프레시되어야 할 메모리셀의 행을 지정하는 리프레시 어드레스 신호를 발생하여 상기 행 선택수단에 인가하는 어드레스 발생수단과; 상기 어드레스 발생수단이 정상적으로 동작하여 리프레시 어드레스를 발생하는지를 체크하는 동작모드를 나타내는 카운터 체크모드 지시신호에 응답하여 열 선택수단이 외부어드레스 신호에 따라 상기 메모리셀 어레이의 열을 선택하는 것을 가능하게 하는 이네이블링 수단과를 포함하는 클럭신호에 동기하여 동작하는 동기형 반도체 메모리 장치.

청구항 23

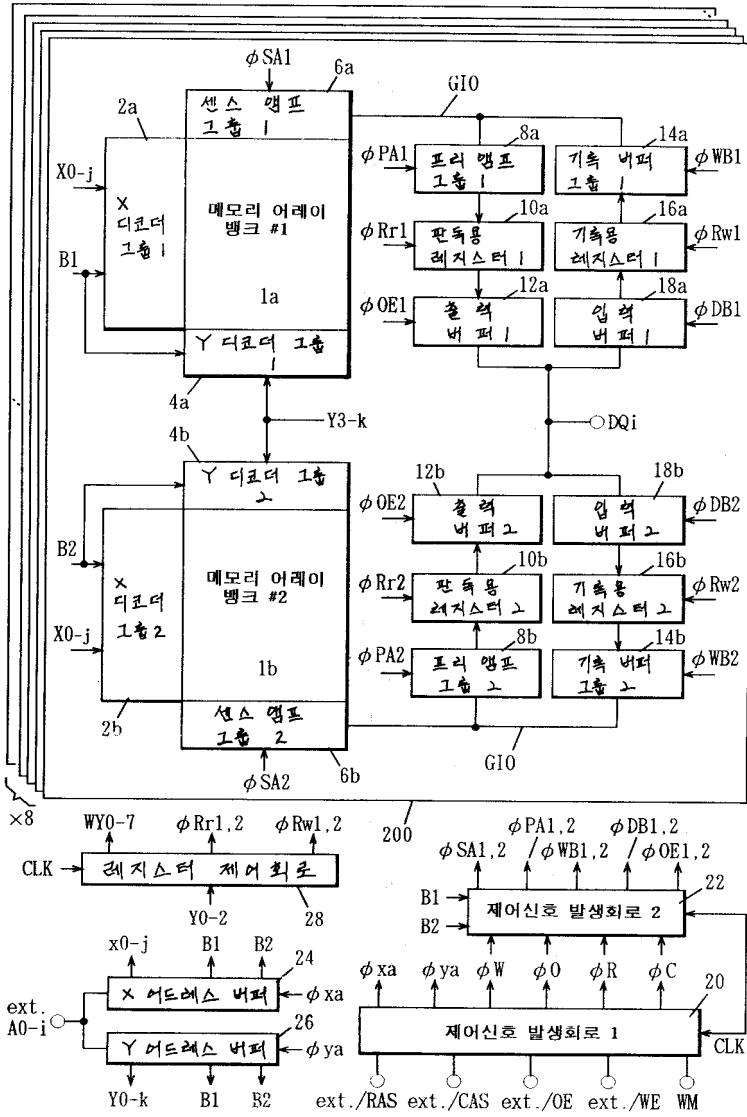
행과 열로 배열된 복수의 메모리셀을 가지는 메모리셀 어레이와; 리프레시 지정신호에 응답하여 상기 메모리셀 어레이에 메모리셀의 행을 리프레시하는 리프레시 어드레스 신호를 발생하는 리프레시 어드레스 발생수단과; 상기 리프레시 지정신호에 응답하여 상기 리프레시 어드레스 신호에 의하여 지정된 메모리셀의 상기 행의 데이터를 리프레시하는 리프레시 수단과; 소정의 동작 모드 지시신호에 응답하여 상기 리프레시 어드레스 발생수단으로부터 발생하는 리프레시 어드레스 신호를 소정의 초기값으로 리셋하는 리셋수단과를 포함하는 클럭신호에 동기하여 동작하는 동기형 반도체 메모리장치.

청구항 24

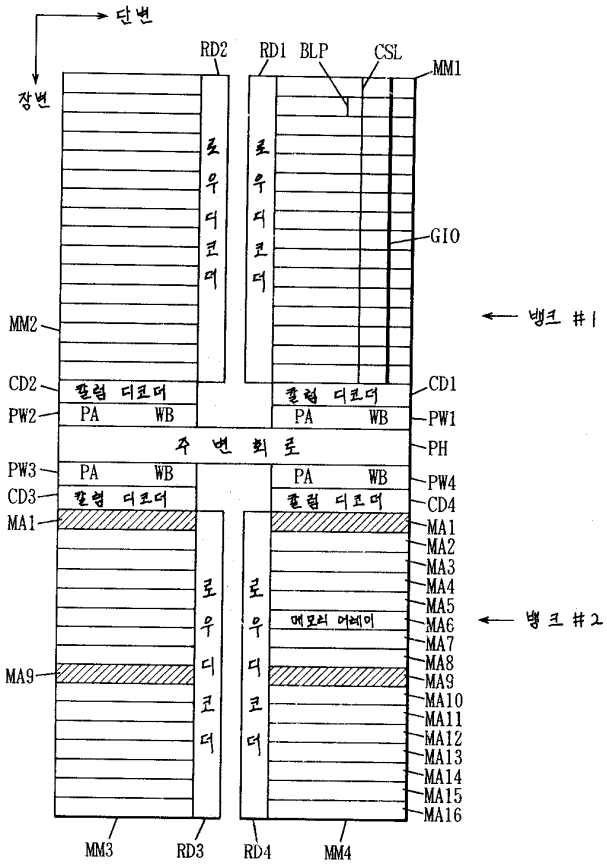
제23항에 있어서, 상기 리프레시 어드레스 발생수단이 상기 리프레시 어드레스 신호로서 주어지고 상기 리프레시 지정신호가 주어질때마다 그 값이 1씩 변하는 카운트를 가지는 어드레스 카운터를 포함하는 동기형 반도체 메모리 장치.

도면

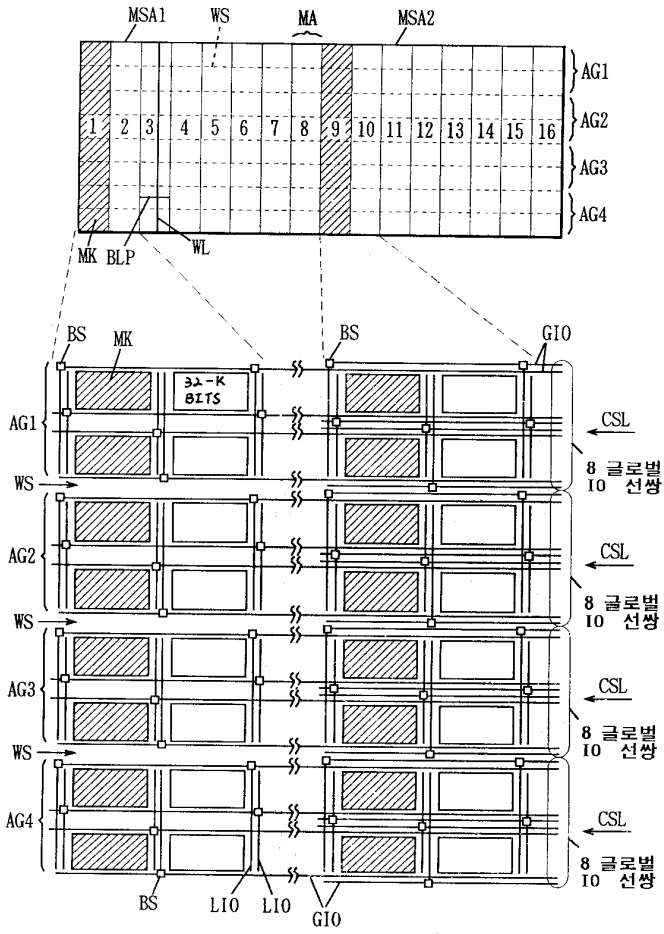
도면1



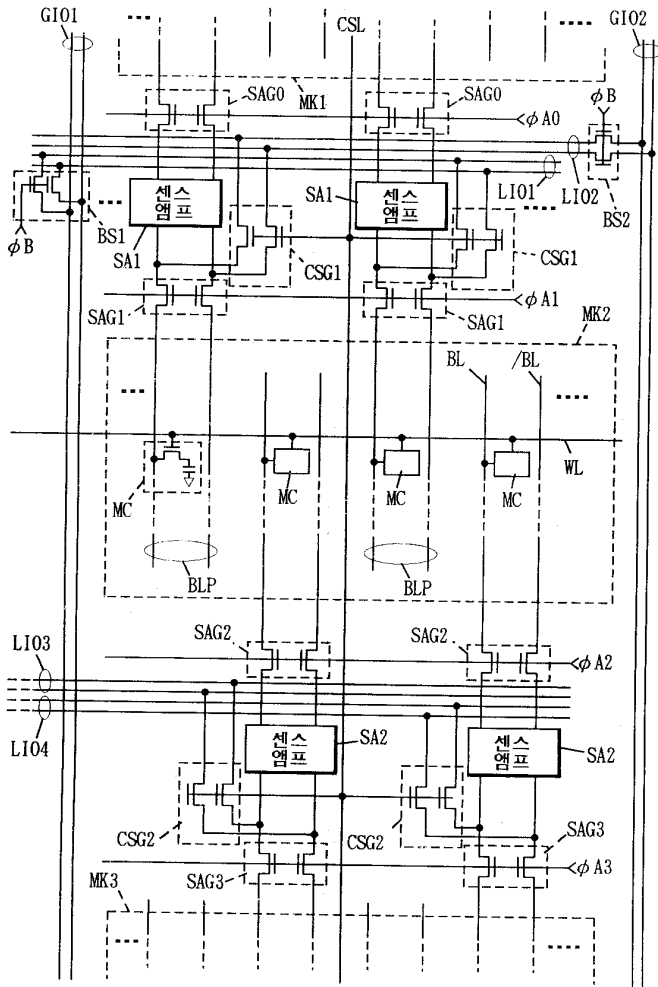
도면2



도면3



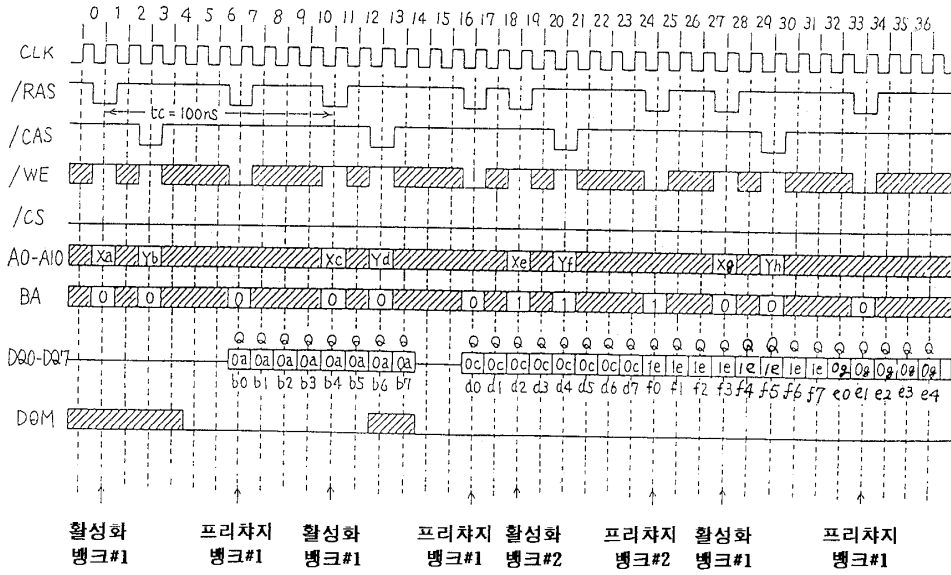
도면4



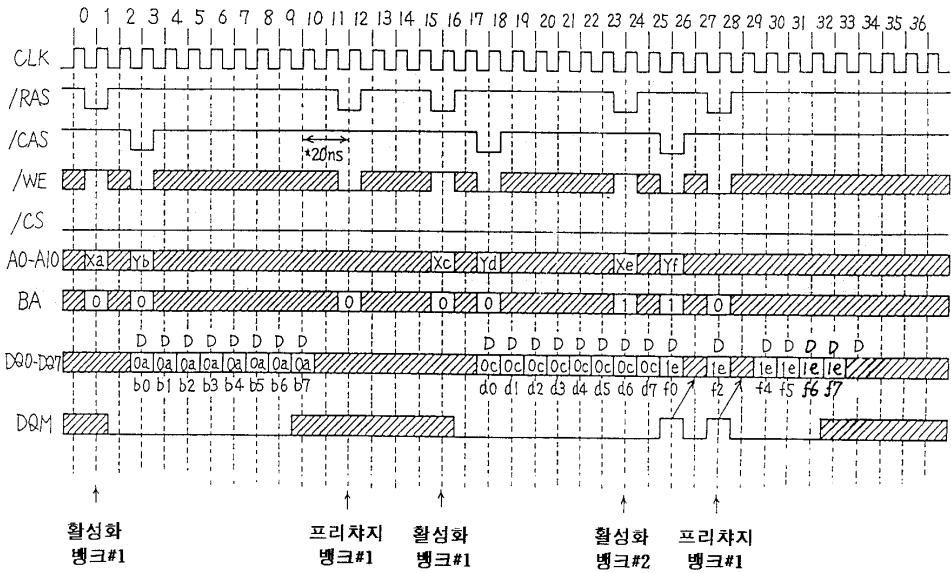
도면5

기능	/CS	/RAS	/CAS	/WE	DQM(IOE&WM)
행 어드레스 스트로브 및 어레이 활성화	L	L	H	H	-
열 어드레스 스트로브 및 판독	L	H	L	H	-
열 어드레스 스트로브 및 기록	L	H	L	L	-
프리차지(어레이 활성화)	L	L	H	L	-
리프레시	L	L	L	H	-
모드 레지스터 세트	L	L	L	L	-
라이트 이네이블/출력 이네이블	-	-	-	-	L
라이트 마스크/출력 디스에이블	-	-	-	-	H
변화없음	L	H	H	H	-
무시 /RAS, /CAS, /WE	H	×	×	×	-

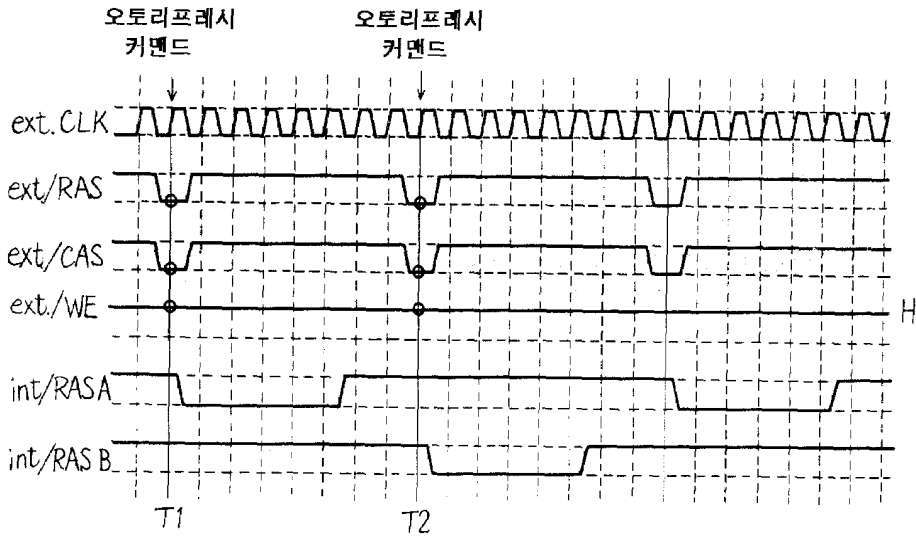
도면6



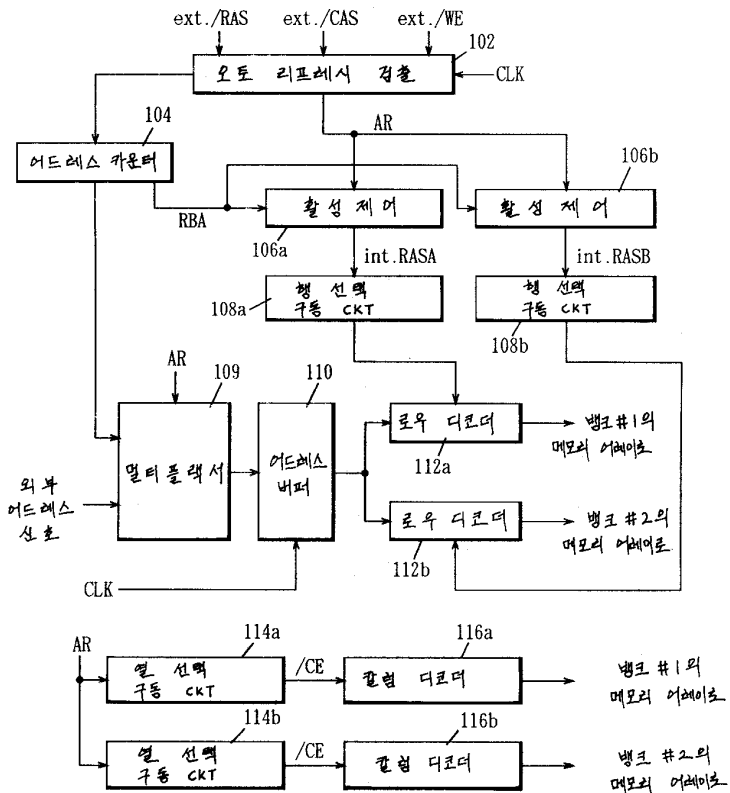
도면7



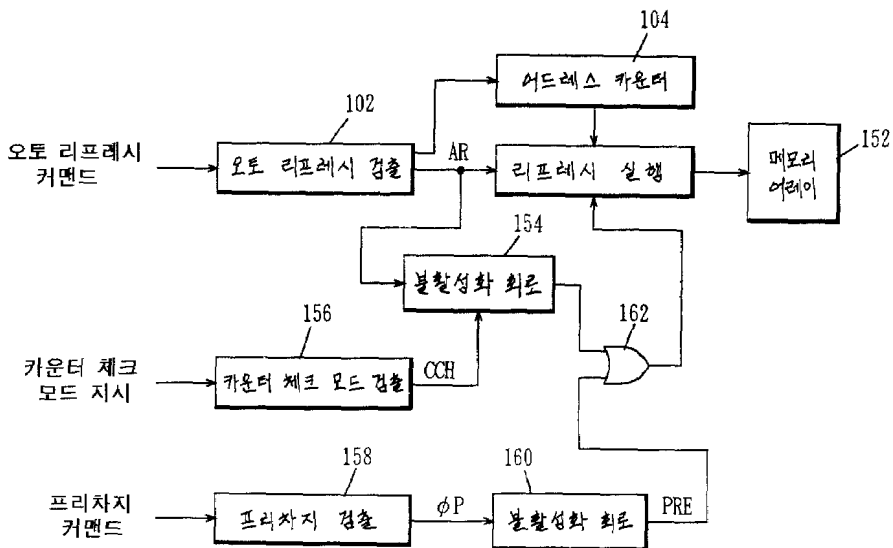
도면8



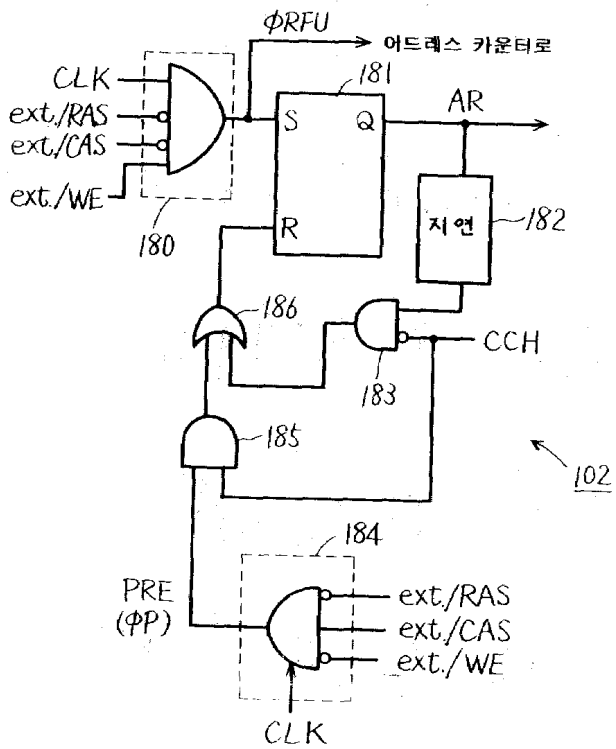
도면9



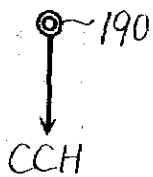
도면10



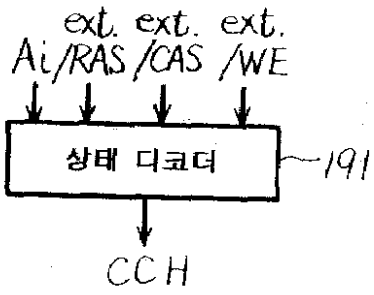
도면11



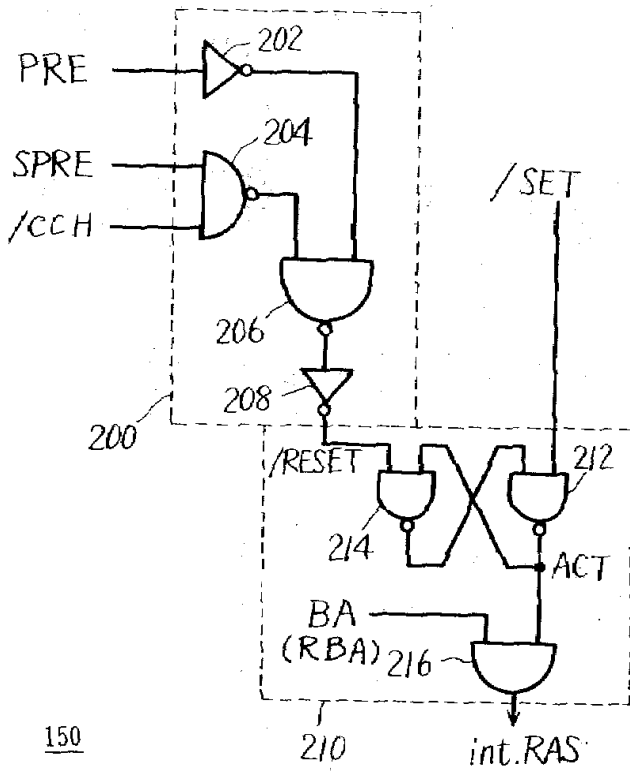
도면12a



도면12b



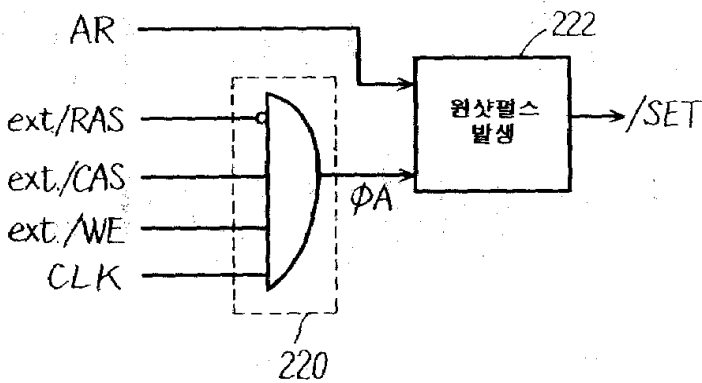
도면13



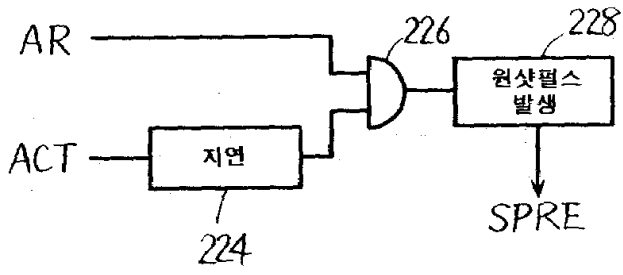
150

(행신막 시스템으로)

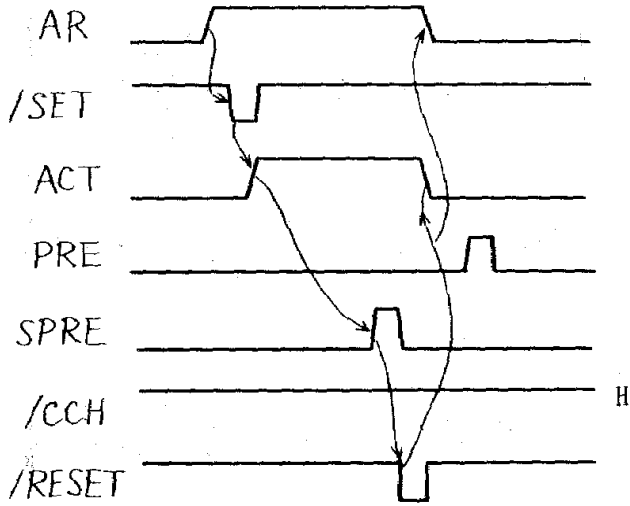
도면14



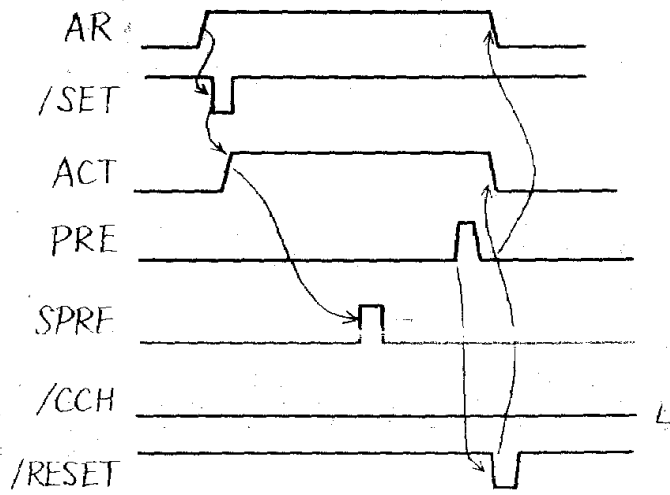
도면15



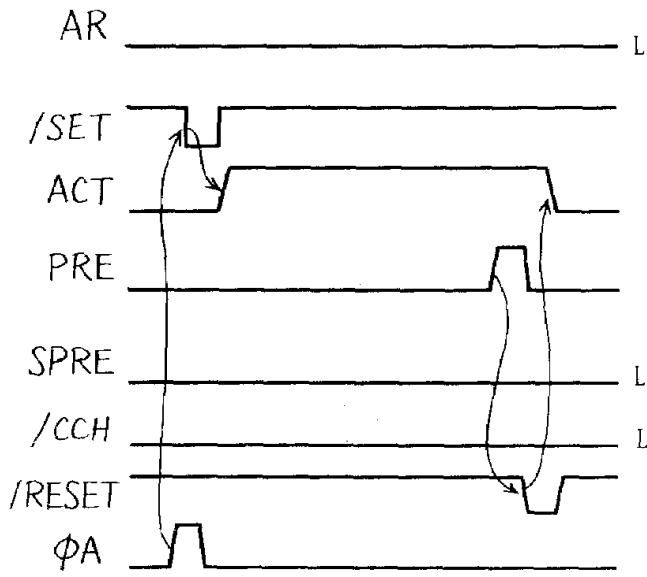
도면16



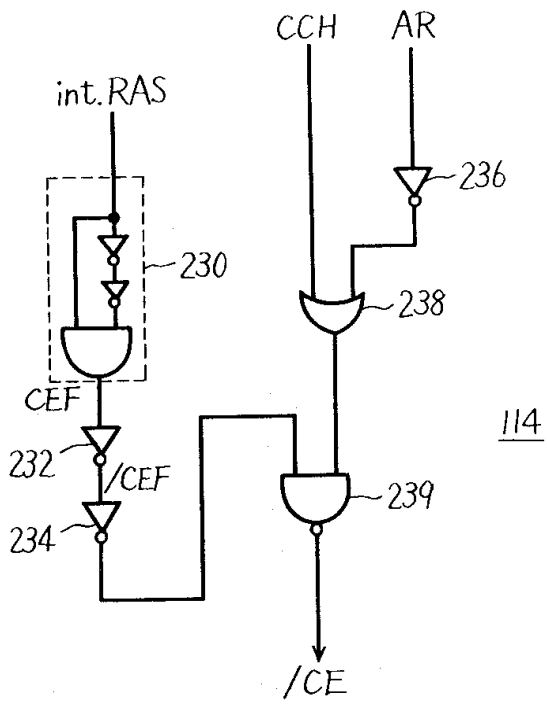
도면17



도면 18

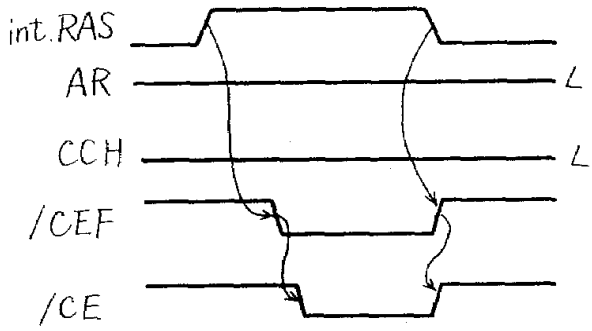


도면 19

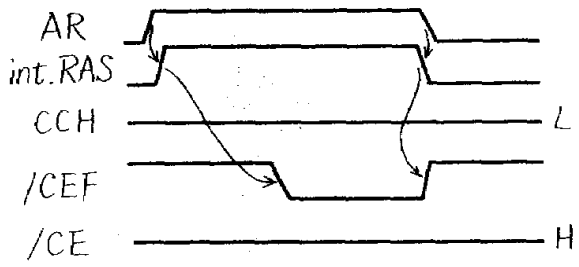


114

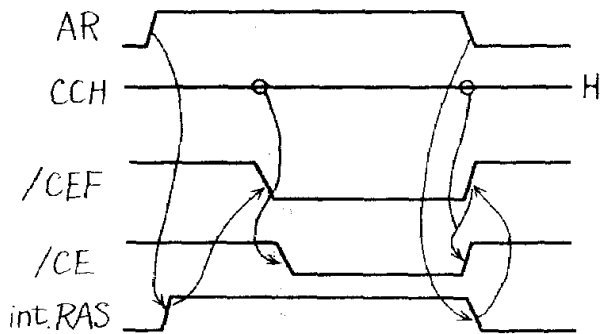
도면20



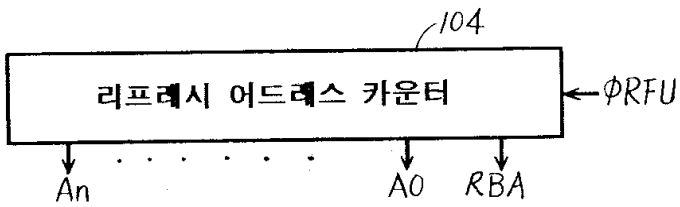
도면21



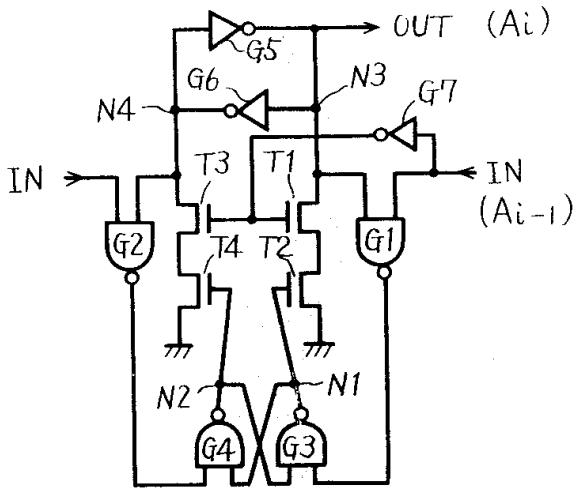
도면22



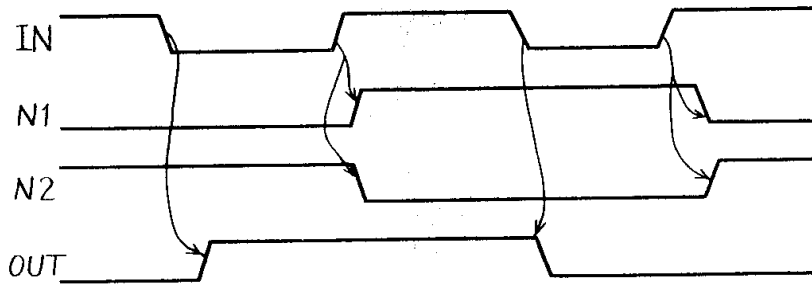
도면23



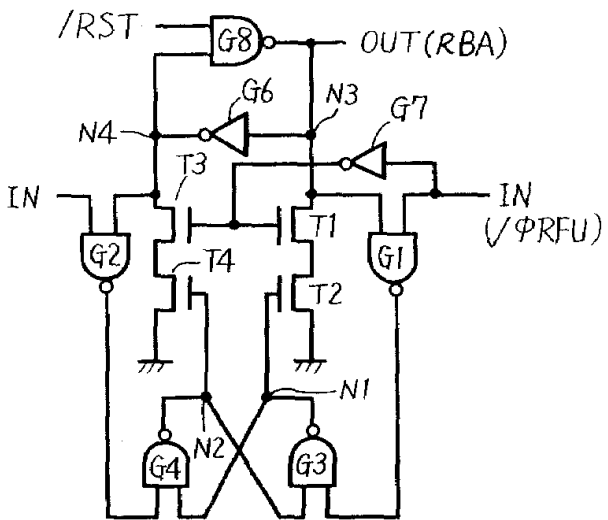
도면24



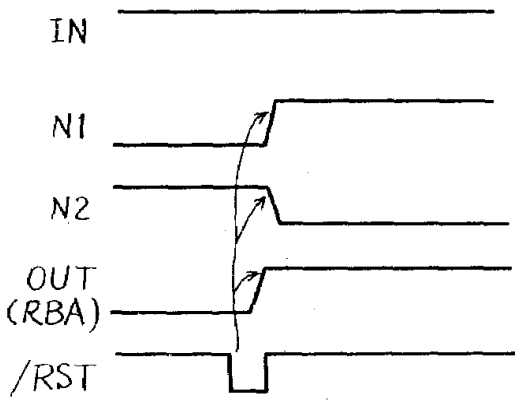
도면25



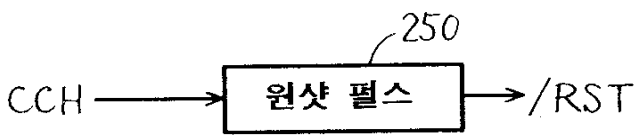
도면26



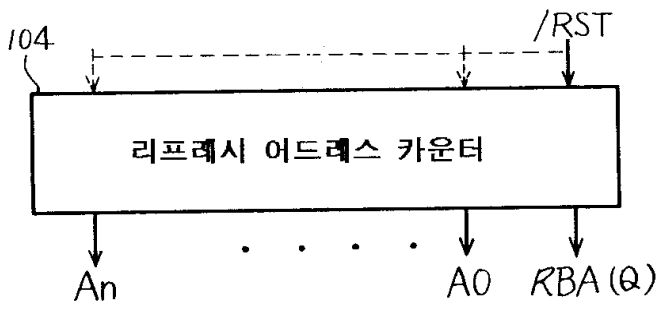
도면27



도면28



도면29



도면30

