



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월09일
 (11) 등록번호 10-0925389
 (24) 등록일자 2009년10월30일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 7/22 (2006.01)

(21) 출원번호 10-2008-0033315

(22) 출원일자 2008년04월10일

심사청구일자 2008년04월10일

(65) 공개번호 10-2009-0107828

(43) 공개일자 2009년10월14일

(56) 선행기술조사문헌

KR1020010004250 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

전병득

경기 수원시 영통구 영통동 벽적골8단지아파트 두산아파트 806동1404호

(74) 대리인

김성남

전체 청구항 수 : 총 12 항

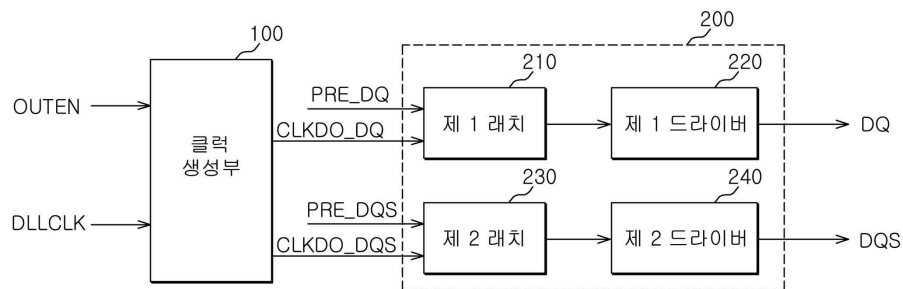
심사관 : 이강하

(54) 반도체 집적회로의 데이터 출력 장치 및 방법

(57) 요약

본 발명은 데이터 신호 출력을 위한 제 1 클럭 신호와 데이터 스트로브 신호 출력을 위한 제 2 클럭 신호를 정해진 시차를 두고 활성화시키도록 구성된 클럭 생성부; 및 예비 데이터 신호와 예비 데이터 스트로브 신호를 각각 상기 제 1 클럭 신호와 제 2 클럭 신호에 따라 래치하여 상기 데이터 신호와 상기 데이터 스트로브 신호로서 출력하도록 구성된 데이터 출력부를 구비한다.

대표도 - 도3



특허청구의 범위

청구항 1

지연 고정 루프 클럭을 이용하여 리드(Read) 동작에 따른 데이터 신호 출력을 위한 제 1 클럭 신호 및 데이터 스트로브 신호 출력을 위한 제 2 클럭 신호를 정해진 시차를 두고 활성화시키도록 구성된 클럭 생성부; 및

예비 데이터 신호와 예비 데이터 스트로브 신호를 각각 상기 제 1 클럭 신호와 제 2 클럭 신호에 따라 래치하여 상기 데이터 신호와 상기 데이터 스트로브 신호로서 출력하도록 구성된 데이터 출력부를 구비하는 반도체 집적회로의 데이터 출력 장치.

청구항 2

제 1 항에 있어서,

출력 인에이블 신호의 활성화 시작 타이밍에 상기 데이터 신호와 상기 데이터 스트로브 신호는 서로 다른 전압 레벨로 터미네이션(Termination) 되어 있는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 3

제 1 항에 있어서,

상기 클럭 생성부는

상기 제 1 클럭 신호와 상기 제 2 클럭 신호 중에서 어느 하나의 클럭 신호를 다른 하나의 클럭 신호에 비해 늦게 활성화시키도록 구성되며,

상기 어느 하나의 클럭 신호는 상기 데이터 신호와 상기 데이터 스트로브 신호 중에서 출력 인에이블 신호의 활성화 시작 타이밍에 상대적으로 높은 전압 레벨로 터미네이션 되어 있는 신호를 생성하기 위한 클럭 신호인 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 클럭 생성부는

상기 제 1 클럭 신호의 최초 클럭 펄스와 상기 제 2 클럭 신호의 최초 클럭 펄스를 정해진 시차를 두고 활성화시키도록 구성된 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 클럭 생성부는

출력 인에이블 신호의 활성화에 응답하여 생성한 셋 신호, 그리고 리셋 신호에 따라 제어 신호의 활성화 구간을 결정하도록 구성된 제어 신호 생성부,

상기 출력 인에이블 신호의 활성화 구간에 해당하는 지연 고정 루프 클럭 신호를 상기 리셋 신호로서 출력하도록 구성된 리셋 신호 생성부, 및

상기 리셋 신호를 반전시켜 상기 제 2 클럭 신호로서 출력하고, 상기 리셋 신호를 상기 제어 신호에 따라 반전시켜 상기 제 1 클럭 신호로서 출력하는 클럭 출력부를 구비하는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 6

제 5 항에 있어서,

상기 제어 신호 생성부는

상기 출력 인에이블 신호의 활성화에 응답하여 상기 셋 신호를 생성하는 펄스 발생부, 및

상기 셋 신호와 상기 리셋 신호에 응답하여 상기 제어 신호를 생성하는 플립플롭을 구비하는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 7

제 6 항에 있어서,

상기 정해진 시차는 상기 플립플롭에 의해 결정되는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 데이터 출력부는

상기 제 1 클럭 신호에 응답하여 상기 예비 데이터 신호를 래치하는 제 1 래치, 및

상기 제 2 클럭 신호에 응답하여 상기 예비 데이터 스트로브 신호를 래치하는 제 2 래치를 구비하는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 장치.

청구항 9

자연 고정 루프 클럭을 이용하여 리드(Read) 동작에 따른 데이터 신호 출력을 위한 제 1 클럭 신호와 데이터 스트로브 신호 출력을 위한 제 2 클럭 신호를 정해진 시차를 두고 활성화시키는 단계; 및

상기 제 1 클럭 신호에 따라 예비 데이터 신호를 래치하여 상기 데이터 신호를 출력하고, 상기 제 2 클럭 신호에 따라 예비 데이터 스트로브 신호를 래치하여 상기 데이터 스트로브 신호를 출력하는 단계를 구비하는 반도체 집적회로의 데이터 출력 방법.

청구항 10

제 9 항에 있어서,

상기 데이터 신호와 상기 데이터 스트로브 신호는 출력 인에이블의 활성화 시작 시점에 서로 다른 전압 레벨로 터미네이션(Termination) 되어 있는 것을 특징으로 하는 반도체 집적회로의 데이터 출력 방법.

청구항 11

제 9 항에 있어서,

상기 활성화시키는 단계는

상기 제 1 클럭 신호의 최초 클럭 펄스와 상기 제 2 클럭 신호의 최초 클럭 펄스를 정해진 시차를 두고 활성화시키는 단계인 것을 특징으로 하는 반도체 집적회로의 데이터 출력 방법.

청구항 12

제 9 항에 있어서,

상기 제 1 클럭 신호와 상기 제 2 클럭 신호 중에서 어느 하나의 클럭 신호를 다른 하나의 클럭 신호에 비해 늦게 활성화시키며,

상기 어느 하나의 클럭 신호는 상기 데이터 신호와 상기 데이터 스트로브 신호 중에서 출력 인에이블 신호의 활성화 시작 타이밍에 상대적으로 높은 전압 레벨로 터미네이션 되어 있는 신호를 생성하기 위한 클럭 신호인 것을 특징으로 하는 반도체 집적회로의 데이터 출력 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 집적회로에 관한 것으로서, 특히 반도체 집적회로의 출력 장치 및 방법에 관한 것이다.

배경 기술

- <2> 반도체 집적회로는 리드 명령에 따라 데이터 신호(DQ)와 상기 데이터 신호(DQ)를 외부에서 읽기 위한 타이밍을 알려주는 데이터 스트로브 신호(DQS)를 출력하기 위한 출력 장치를 구비한다.
- <3> 도 1은 종래의 기술에 따른 반도체 집적회로의 출력 장치의 블록도이다.
- <4> 종래의 기술에 따른 반도체 집적회로의 데이터 출력 장치는 도 1에 도시된 바와 같이, 래치(1, 2) 및 드라이버(3, 4)를 구비한다.
- <5> 상기 래치(1)를 통해 예비 데이터 신호(PRE_DQ)를 클럭 신호(CLKDO)에 따라 래치하고 드라이버(3)를 통해 데이터 신호(DQ)로서 출력한다.
- <6> 또한 래치(2)를 통해 예비 데이터 스트로브 신호(PRE_DQS)를 상기 클럭 신호(CLKDO)에 따라 래치하고 드라이버(4)를 통해 데이터 스트로브 신호(DQS)로서 출력한다.
- <7> 상기 클럭 신호(CLKDO)는 출력 인에이블 신호(OUTEN)의 활성화 구간 동안 지연 고정 루프 클럭 신호(DLLCLK)를 이용하여 생성한 신호이다.
- <8> 도 2는 종래의 기술에 따른 반도체 집적회로의 출력 장치의 동작 타이밍도이다.
- <9> 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 출력 타이밍은 공통적으로 상기 클럭 신호(CLKDO)에 따라 결정된다.
- <10> 터미네이션 동작에 따라 데이터 신호(DQ)와 연결된 패드(Pad)의 전위는 터미네이션 레벨(VTT), 예를 들어, 전원 전압 레벨의 절반(VDDQ/2)으로 설정되어 있다.
- <11> 도 2에 도시된 바와 같이, 데이터 신호(DQ)는 상기 터미네이션 레벨(VTT)에서 하이 레벨(예를 들어, VDDQ) 또는 로우 레벨(예를 들어, VSSQ)로 천이하게 된다.
- <12> 데이터 스트로브 신호(DQS)와 연결된 패드의 전위 또한 상기 터미네이션 레벨(VTT)로 설정되어 있다. 그러나 데이터 스트로브 신호(DQS)는 반도체 집적회로의 프리앰블(Preamble) 규격에 따라 접지 전압 레벨(VSSQ)에서 천이하게 된다. 상기 프리앰블 규격은 데이터 스트로브 신호(DQS)의 최초 발생 이전에 한 클럭(CLK)에 해당하는 시간 동안 상기 데이터 스트로브 신호(DQS)가 접지 전압 레벨(VSSQ)을 유지하도록 한 것이다.
- <13> 상술한 바와 같이, 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 시작 레벨이 다르므로 동일한 클럭 신호(CLKDO)에 의해 천이가 시작되어도 상기 터미네이션 레벨(VTT)에 도달하는 시간이 서로 다르게 되고, 소정 시간차를 갖게 된다. 상기 시간차가 적을수록 반도체 집적회로의 정상적인 동작에 유리하다. 물론 이상적으로는 상기 시간차가 없는 것이 가장 좋다. 그러나 실제 회로에서는 상기 시간차가 이를 정의한 규격(tLZ)을 벗어날 확률이 높다.
- <14> 이와 같이 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 미스매치가 심화될 경우 즉, 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 시간차가 상기 규격(tLZ)을 벗어날 경우, 반도체 집적회로에서 출력된 데이터를 외부의 시스템에서 정확히 인식하지 못하는 문제를 유발할 수 있다.

발명의 내용

해결 하고자하는 과제

- <15> 본 발명은 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 시간차를 최소화할 수 있도록 한 반도체 집적회로의 데이터 출력 장치 및 방법을 제공함에 그 목적이 있다.

과제 해결수단

- <16> 본 발명에 따른 반도체 집적회로의 데이터 출력 장치는 데이터 신호 출력을 위한 제 1 클럭 신호와 데이터 스트로브 신호 출력을 위한 제 2 클럭 신호를 정해진 시차를 두고 활성화시키도록 구성된 클럭 생성부; 및 예비 데이터 신호와 예비 데이터 스트로브 신호를 각각 상기 제 1 클럭 신호와 제 2 클럭 신호에 따라 래치하여 상기 데이터 신호와 상기 데이터 스트로브 신호로서 출력하도록 구성된 데이터 출력부를 구비함을 특징으로 한다.
- <17> 본 발명에 따른 반도체 집적회로의 데이터 출력 방법은 데이터 신호 출력을 위한 제 1 클럭 신호와 데이터 스트

로브 신호 출력을 위한 제 2 클럭 신호를 정해진 시차를 두고 활성화시키는 단계; 및 상기 제 1 클럭 신호에 따라 예비 데이터 신호를 래치하여 상기 데이터 신호를 출력하고, 상기 제 2 클럭 신호에 따라 예비 데이터 스트로브 신호를 래치하여 상기 데이터 스트로브 신호를 출력하는 단계를 구비함을 특징으로 한다.

효 과

<18> 본 발명에 따른 반도체 집적회로의 데이터 출력 장치 및 방법은 서로 다른 타이밍을 갖는 클럭 신호를 이용하여 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)를 생성하므로 두 신호간의 시간차가 최소화되어 반도체 집적회로의 데이터 출력 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<19> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 집적회로의 데이터 출력 장치 및 방법의 바람직한 실시예를 설명하면 다음과 같다.

<20> 도 3은 본 발명에 따른 반도체 집적회로의 데이터 출력 장치의 블록도이다.

<21> 본 발명에 따른 반도체 집적회로의 데이터 출력 장치는 도 3에 도시된 바와 같이, 클럭 생성부(100) 및 데이터 출력부(200)를 구비한다.

<22> 상기 클럭 생성부(100)는 출력 인에이블 신호(OUTEN)와 지연 고정 루프 클럭 신호(DLLCLK)를 이용하여 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)가 동일한 천이 타이밍을 갖도록 하는 제 1 클럭 신호 즉, 데이터 클럭 신호(CLKDO_DQ)와 제 2 클럭 신호 즉, 데이터 스트로브 클럭 신호(CLKDO_DQS)를 생성하도록 구성된다.

<23> 상기 데이터 출력부(200)는 제 1 및 제 2 래치(210, 230)와 제 1 및 제 2 드라이버(220, 240)를 구비한다. 상기 데이터 출력부(200)는 예비 데이터 신호(PRE_DQ)를 상기 데이터 클럭 신호(CLKDO_DQ)에 따라 래치 및 드라이빙하여 데이터 신호(DQ)를 출력하고, 예비 데이터 스트로브 신호(PRE_DQS)를 상기 데이터 스트로브 클럭 신호(CLKDO_DQS)에 따라 래치 및 드라이빙하여 데이터 스트로브 신호(DQS)를 출력하도록 구성된다.

<24> 도 4는 도 3의 클럭 생성부(100)의 회로도이다.

<25> 상기 클럭 생성부(100)는 도 4에 도시된 바와 같이, 제어 신호 생성부(110), 리셋 신호 생성부(120) 및 클럭 출력부(130)를 구비한다.

<26> 상기 제어 신호 생성부(110)는 펄스 발생기(111) 및 플립플롭(Flip Flop)(112)을 구비한다. 상기 펄스 발생기(111)는 제 1 지연소자(DLY1), 제 1 인버터(IV1) 및 제 1 낸드 게이트(ND1)를 구비한다. 상기 플립플롭(112)은 제 2 및 제 3 낸드 게이트(ND2, ND3)를 구비한다.

<27> 상기 제어 신호 생성부(110)는 상기 펄스 발생기(111)에서 출력 인에이블 신호(OUTEN)의 활성화에 응답하여 생성한 펄스 신호 즉, 셋 신호(A)와 리셋 신호(B)에 따라 상기 플립 플롭(112)에서 출력되는 제어 신호(C)의 활성화 구간을 결정하도록 구성된다.

<28> 상기 리셋 신호 생성부(120)는 제 2 지연소자(DLY2) 및 제 4 낸드 게이트(ND4)를 구비한다.

<29> 상기 리셋 신호 생성부(120)는 상기 출력 인에이블 신호(OUTEN)를 지연시켜 생성한 지연 출력 인에이블 신호(OUTEND)의 활성화 구간에 해당하는 지연 고정 루프 클럭 신호(DLLCLK)를 상기 리셋 신호(B)로서 출력하도록 구성된다.

<30> 상기 클럭 출력부(130)는 제 1 노아 게이트(NR1) 및 제 2 인버터(IV2)를 구비한다.

<31> 상기 클럭 출력부(130)는 상기 제어 신호(C)의 비활성화에 응답하여 상기 리셋 신호(B)를 반전시킨 신호를 상기 데이터 클럭 신호(CLKDO_DQ)로서 출력하고, 상기 리셋 신호(B)를 반전시킨 신호를 상기 데이터 스트로브 클럭 신호(CLKDO_DQS)로서 출력하도록 구성된다.

<32> 이와 같이 구성된 본 발명에 따른 반도체 집적회로의 데이터 출력 방법을 도 3 내지 도 5를 설명하면 다음과 같다.

<33> 도 5는 본 발명에 따른 반도체 집적회로의 데이터 출력 장치의 동작 타이밍도이다.

<34> 출력 인에이블 신호(OUTEN)가 정해진 구간 동안 활성화된다.

<35> 상기 출력 인에이블 신호(OUTEN)가 하이 레벨로 천이됨에 따라 도 4의 펄스 발생기(111)가 제 1 지연소자(IV1)

의 지연시간에 해당하는 폭을 갖는 로우 펄스 형태의 셋 신호(A)를 생성한다.

- <36> 도 4의 플립플롭(112)이 상기 셋 신호(A)에 응답하여 제어 신호(C)를 하이 레벨로 활성화시킨다.
- <37> 한편, 리셋 신호 생성부(120)는 지연 출력 인에이블 신호(OUTEND)의 활성화 구간동안 지연 고정 루프 클럭 신호(DLLCLK)를 반전시켜 상기 리셋 신호(B)를 생성한다.
- <38> 상기 플립플롭(112)이 상기 리셋 신호(B)에 응답하여 제어 신호(C)를 로우 레벨로 비활성화시킨다.
- <39> 이때 제어 신호(C)의 비활성화는 상기 리셋 신호(B)의 생성에 비해 정해진 지연시간 이후 이루어진다. 이는 리셋 신호(B)가 상기 플립플롭(112)의 제 3 낸드 게이트(ND3) 및 제 2 낸드 게이트(ND2)를 경유한 이후 상기 제어 신호(C)의 레벨을 천이시킬 수 있기 때문이다. 다시 말해, 상기 제어 신호(C)의 비활성화는 상기 제 3 낸드 게이트(ND3) 및 제 2 낸드 게이트(ND2)의 신호처리 시간만큼의 지연시간(D)을 갖게 된다.
- <40> 클럭 출력부(130)는 상기 리셋 신호(B)를 제 2 인버터(IV2)를 통해 반전시켜 상기 데이터 스트로브 클럭 신호(CLKDO_DQS)를 생성한다. 그리고 상기 리셋 신호(B)에 비해 상기 지연시간(D) 만큼 지연된 제어 신호(C)의 비활성화에 응답하여 상기 데이터 클럭 신호(CLKDO_DQ)를 생성한다.
- <41> 도 3의 데이터 출력부(200)는 예비 데이터 스트로브 신호(PRE_DQS)를 상기 데이터 스트로브 클럭 신호(CLKDO_DQS)에 따라 래치 및 드라이빙하여 데이터 스트로브 신호(DQS)를 출력한다.
- <42> 그리고 데이터 출력부(200)는 상기 지연시간(D) 경과 후 예비 데이터 신호(PRE_DQ)를 상기 데이터 클럭 신호(CLKDO_DQ)에 따라 래치 및 드라이빙하여 데이터 신호(DQ)를 출력한다.
- <43> 이미 설명한 바와 같이, 최초의 데이터 신호(DQ)는 터미네이션 레벨(VTT)에서 천이가 시작되는 반면, 최초의 데이터 스트로브 신호(DQS)는 접지 레벨(VSSQ)에서 천이가 시작된다.
- <44> 그러나 본 발명은 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 시작 레벨이 다르더라도 최초의 데이터 클럭 신호(CLKDO_DQ)를 최초의 데이터 스트로브 클럭 신호(CLKDO_DQS)에 비해 상기 지연시간(D)만큼 지연시킴으로써, 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 천이 타이밍을 거의 동일하게 만들 수 있다. 물론 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)가 각각 터미네이션 레벨(VTT)과 접지 레벨(VSSQ)에서 하이 레벨로 천이하는 시간의 차이를 보상할 수 있도록 상기 지연시간(D)를 설정하는 것이 중요하다.
- <45> 따라서 본 발명은 상기 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)가 각각 터미네이션 레벨(VTT)과 접지 레벨(VSSQ)에서 하이 레벨로 천이하는 시간의 차이를 보상할 수 있는 소자를 선택하여 도 4의 플립플롭(112)을 구성할 수 있다.
- <46> 최초 이후의 데이터 신호(DQ)는 접지 레벨(VSSQ) 또는 전원 전압 레벨(VDDQ)에서 천이되므로 더 이상 데이터 클럭 신호(CLKDO_DQ)를 지연시킬 필요가 없다.
- <47> 본 발명의 회로 구성에 따르면, 셋 신호(A)가 출력 인에이블 신호(OUTEN)의 활성화 구간 동안 한 번만 생성되고, 그 이후에는 제어 신호(C)가 데이터 클럭 신호(CLKDO_DQ)의 생성에 관여하지 못한다.
- <48> 따라서 최초의 데이터 클럭 신호(CLKDO_DQ) 이후의 데이터 클럭 신호(CLKDO_DQ)는 데이터 스트로브 클럭 신호(CLKDO_DQS)와 동일한 타이밍을 갖고 생성된다.
- <49> 그리고 데이터 스트로브 클럭 신호(CLKDO_DQS)와 동일한 타이밍을 갖는 데이터 클럭 신호(CLKDO_DQ)에 따라 데이터 신호(DQ)의 출력이 이루어진다.
- <50> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

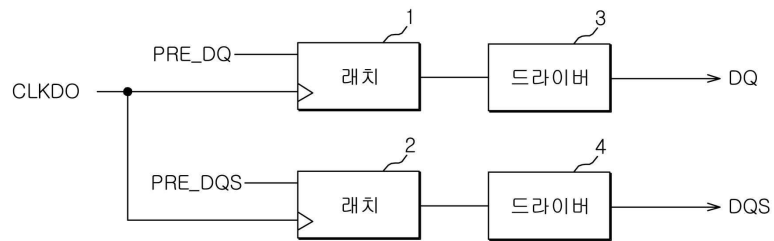
도면의 간단한 설명

- <51> 도 1은 종래의 기술에 따른 반도체 집적회로의 데이터 출력 장치의 블록도,
- <52> 도 2는 종래의 기술에 따른 반도체 집적회로의 데이터 출력 장치의 동작 타이밍도,

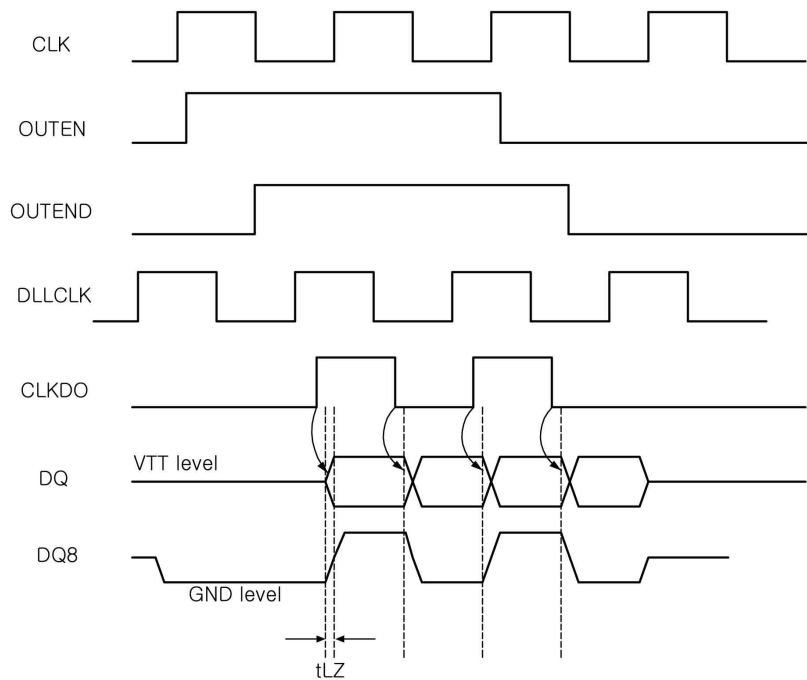
- <53> 도 3은 본 발명에 따른 반도체 집적회로의 데이터 출력 장치의 블록도,
- <54> 도 4는 도 3의 타이밍 제어부의 회로도,
- <55> 도 5는 본 발명에 따른 반도체 집적회로의 데이터 출력 장치의 동작 타이밍도이다.
- <56> - 도면의 주요 부분에 대한 부호의 설명 -
- <57> 100: 클럭 생성부 110: 제어신호 생성부
- <58> 111: 펄스 발생기 112: 플립플롭
- <59> 120: 리셋 신호 생성부 130: 클럭 출력부
- <60> 200: 데이터 출력부

도면

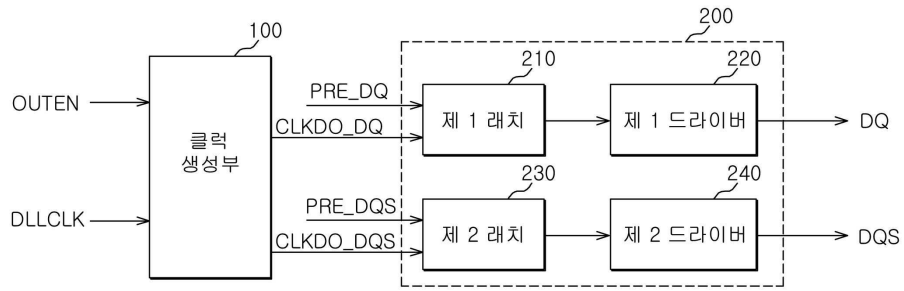
도면1



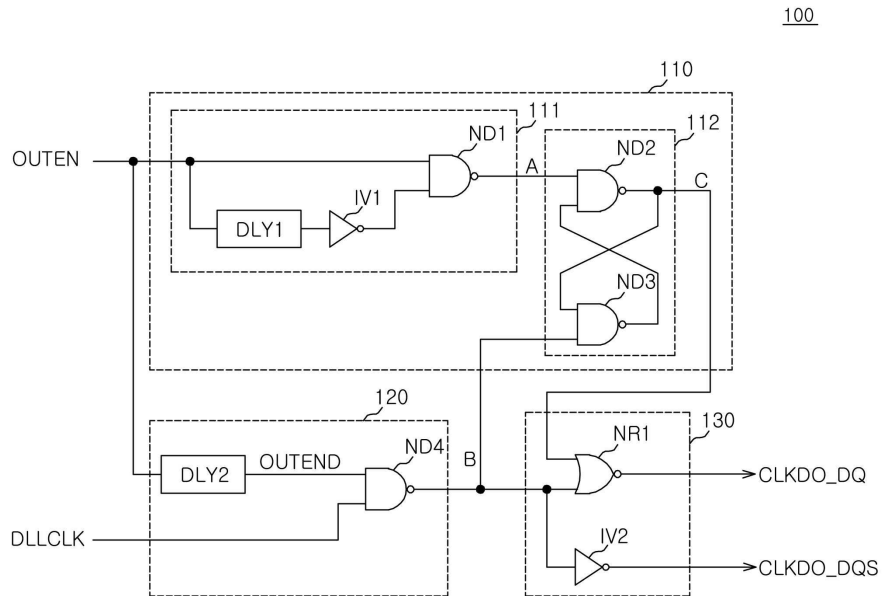
도면2



도면3



도면4



도면5

