

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、2004, 03, 31、10/813, 597

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係為一種用於實體層處理之彈性加速器。

### 【先前技術】

#### 5 發明背景

通訊裝置正在發展問市當中，導入包括不斷增加之網路協定之商用領域。經常希望也需要通訊裝置可支援多項協定。為了支援原有協定及新協定，通訊裝置需要有若干可重新配置之邏輯電路，特別於實體(PHY)層需要有若干可重新配置之邏輯電路。但大部分可重新配置之邏輯組成元

10 件並無法用於目前加諸商用通訊裝置的需求。

實體層之處理涵蓋諸如濾波、重新取樣、快速傅立葉轉換(FFT)、頻道估計、解除展頻、及錯誤校正解碼等運算密集操作。傳統上，實體層處理係使用通用目的處理器或

15 數位信號處理器(DSP)或特殊應用積體電路(ASIC)進行處理。通用目的處理器及DSP可經規劃用於多項實體層處理工作；但隨著網路協定之資料速率的增加，此等型別之處理器變成難以滿足速度需求而同時維持電力耗用目的。ASIC也可用來實作實體層需求，以及維持電力耗用目的。

20 但ASIC不容易重新配置用來處理額外通訊協定。

### 【發明內容】

本發明係為一種電路，包含：一濾波器處理元件，其係用於使用從由數位濾波、適應性等化、重新取樣、解除展頻、及快速傅立葉轉換組成之組群中選出之一項處理來

處理一信號；至少一解碼處理元件，其係用於解碼及校正該信號中之錯誤；一通用目的處理元件，其係用來使用從由解除交插、整碼解密、循環冗餘核對、捲積編碼、李德-所羅門編碼(Reed-Solomon encoding)、渦輪編碼(turbo encoding)、及崔利斯編碼(Trellis encoding)組成之組群中選出之一項編碼處理來處理該信號；以及一或多個控制單元，用來根據一第一協定集合而指揮該等處理元件之操作，其中該等處理元件係耦接於一網路中。

#### 圖式簡單說明

10 參照附圖說明本發明，附圖者：

第1圖顯示根據本發明之一具體例，一種實體層處理系統之略圖；

第2A圖顯示根據本發明之一具體例，一種實體層處理系統之略圖，該圖顯示組成元件，可包括一或多個與路由器形成網路之經微碼編碼之加速器(MCA)；

第2B圖顯示根據本發明之一具體例，一種實體層處理系統之操作之流程圖；

第3圖顯示根據本發明之一具體例，一種濾波器處理元件之略圖；

20 第4圖顯示根據本發明之一具體例，一種通用目的處理元件之略圖；

第5圖顯示根據本發明之一具體例，一種解碼處理元件之略圖；以及

第6圖顯示根據本發明之一具體例之一種運算環境，該

運算環境可於一或多種裝置諸如但非限於通訊裝置實作。

現在參照附圖說明本發明。附圖中類似之參考號碼概略指示相同、功能類似、及/或結構類似之元件。一個元件初次出現之圖式號碼通常係以對應之參考號碼之最左位數表示。

### 【實施方式】

較佳實施例之詳細說明

雖然已經就此處提供之具體例作說明，但此等具體例僅供舉例說明之用而非限制性。實際上，於研讀後文說明後，熟諳技藝人士顯然易知如何於其它具體例實作下述發明(例如於各種通訊裝置實作本發明，以及以各項通訊協定等操作經MCA致能之處理元件)。

此外，雖然後文說明之注意力重點集中在實體層處理，但絕非意圖圍限本發明之應用用途於本實體層處理範圍。業界熟諳技藝人士了解於適當時如何實作本發明於其它具體例。例如，本發明可單獨或組合應用於各種MCA架構，來與PHY層之一或多個裝置更廣泛互動。

於本詳細說明部分將陳述多項特定細節。但須了解本發明之具體例可未採用該等特定細節實施。其它例中，未曾顯示眾所周知之電路、結構及/或技術之完整細節來輔助了解本發明。

當述及「一個具體例」、「一具體例」、「具體實施例」、「各個具體例」等時，表示如此說明之本發明之具體例可含括特殊特色、結構或特性，但並非每個具體例皆必然含

括特殊特色、結構或特性。此外，重複使用「一個具體例中」一詞並非必要表示同一個具體例，但可為同一個具體例。

於本詳細說明部分及申請專利範圍部分，可使用「耦接」一詞及其衍生之術語諸如「連結」及「電連結」。但須了解「耦接」可表示兩個或兩個以上的元件彼此直接做實體接觸或電接觸；以及兩個或兩個以上的元件並未直接接觸，但仍然彼此協力合作或互動。

演繹法則於此處通常被視為可獲得期望結果之自我一致性動作順序或操作順序。此等演繹法則包括實體量之實體操控。通常(但非必要)此等數量係呈可被儲存、傳輸、組合、比較以及以其它方式操控之電信號或磁信號形式，主要為了常見用途，偶爾方便證實將此等信號稱作為位元、數值、元件、符號、文字、項、數目等。但須了解全部此等各項或類似各項係與適當實體量相關聯，單純係方便對此等數量加標籤。

除非特別另行陳述，否則由後文討論顯然易知，於後文說明書討論中利用「處理」、「運算」、「計算」、「測定」等詞，表示電腦或電腦系統或類似之電子運算裝置之動作及/或處理，該動作及/或處理將電腦系統之暫存器及/或記憶體內部之呈實體量(諸如電子量)呈現之資料操控及/或轉換成為其它資料，該其它資料係以類似方式呈實體量呈現於運算系統之記憶體、暫存器或其它此等資訊儲存裝置、發送裝置或顯示裝置。

以類似方式，「處理器」一詞可表示處理得自暫存器及/或記憶體之電子資料，來將該電子資料轉換成可儲存於暫存器及/或記憶體之其它電子資料之任何裝置或裝置部分。「運算平台」可包含一或多處理器。

5 「處理元件」可包含一或多設計來進行各項工作之電路，但可未包括處理器。如此，處理元件可包括各種通用目的處理器、數位信號處理器或特殊應用積體電路(ASIC)。於本發明之具體例中，一或多可撓性可重新規劃之經微碼編碼之加速器可被實作為處理元件。

10 本發明之具體例可包括進行此處所述操作之電路及裝置。裝置可特別組構來用於預定目的，或裝置可包含通用目的裝置，該通用目的裝置可藉儲存於裝置內部之程式選擇性作動或可重新配置。

本發明之具體例可於硬體、韌體及軟體之一或其組合  
15 實作。本發明之具體例也可實作為儲存於機器可讀取媒體之指令，該指令可藉運算平台讀取及執行來執行此處所述操作。機器可讀取媒體包括任一種以機器(例如電腦)可讀取之形式儲存或發送資訊之機構。舉例言之，資料可讀取媒體可包括唯讀記憶體(ROM)；動態隨機存取記憶體(RAM)  
20 ；磁碟儲存媒體；光學儲存媒體；快閃記憶體裝置；傳播信號之電、光、聲或其它形式(例如載波、紅外光信號、數位信號等)等。

本發明可使用MCA有限集合提供實體層處理。於具體例中，實體層處理包括運算密集操作，該等運算密集操作

諸如(但非限制性)濾波、重新取樣、FFT、頻道估計、解除展頻、及錯誤校正解碼。各個MCA可發揮有限範圍之功能。各個MCA可對不同的協定或未來協定重新配置。於具體例中，各個MCA可實作為具有固定功能之ASIC帶有額外之

5 控制邏輯電路及組態邏輯電路。

至於第1圖，顯示根據本發明之一具體例之實體層處理系統100之略圖。系統100可具有非同質架構結構，其中各個組成元件可架構來執行不同類別的操作。系統100可包括一選擇性之類比前端裝置102耦接至一數位前端裝置104。

10 本發明之一具體例中，濾波器MCA(容後詳述)執行數位前端裝置104之功能。本發明之一具體例中，數位前端裝置104之功能包括(但非限制性)濾波、快速傅立葉轉換、及快速華許(Walsh)轉換。

如業界熟諳技藝人士瞭解，可至少基於此處提供之教

15 示，採用額外轉換型別，諸如(但非限制性)離散傅立葉轉換及快速子波轉換。

數位前端裝置104可耦接至符號處理器106。一具體例中，符號處理器106可為通用目的MCA(容後詳述)。於具體例中，符號處理器106可執行下列功能，諸如(但非限制性)

20 同步與線性規律處理功能、邏輯功能、位元處理操作及PHY控制操作。

符號處理器106可耦接至一選擇性之數位後端裝置108。於一具體例中，數位後端裝置108可為維特波(Vit turbo)MCA(容後詳述)。根據具體例，數位後端裝置108可執行正

向錯誤校正以及一或多種型別之解碼功能。

參照第2A圖，顯示根據本發明之一具體例，以實體層處理系統之略圖，顯示以路由器而網路化之經微碼編碼之加速器(MCA)。如前文說明，根據本發明之具體例，MCA  
5 可用於實體層處理。濾波器MCA(FMCA) 202可耦接至路由器210a，可透過路由器210a所提供之連結性來接收一或多項信號。此外，根據本發明之一具體例，一或多路由器210b-d進一步彼此耦接，如此對額外MCA提供連結能力。如相關業界之熟諳技藝人士至少基於此處提供之教示可瞭  
10 解。

FMCA 202可組配來進行多項數位信號處理功能。該等功能可為(但非限制性)數位濾波、適應性等化、重新取樣、解除展頻、及FFT。FMCA 202之一具體例之進一步細節將參照第3圖說明如後。

15 維特比渦輪(Viterbi-Turbo) MCA(VMCA) 204可耦接至路由器210b，如此可接受一或多信號以及由FMCA 202接收其它信號、資料符號及其它經處理之資訊。根據該等具體例，VMCA 204可對捲積碼使用維特比解碼、以及對並列銜接「渦輪」碼使用渦輪解碼來進行正向錯誤校正解碼。

20 根據本發明之具體例，如熟諳技藝人士至少基於此處提供之教示可瞭解，MCA可進行渦輪編碼、崔利斯(Trellis)編碼、以及如後文說明之李德-所羅門(Reed-Solomon) FEC編碼。

李德-所羅門MCA(RSMCA) 206可耦接至路由器210c



，如此可接收一或多信號，以及接收來自FMCA 202及/或VMCA 204之其它信號資料符號或其它處理後之資訊。根據具體例，RSMCA 206可進行李德-所羅門區塊碼之解碼或編碼。

5           通用目的MCA(GPMCA) 208可耦接至路由器210d，如此可接收一或多個信號以及接收來自MCA 202-206之其它信號資料符號或其它經處理之資訊。根據具體例，GPMCA 208可執行多個位元及符號導向之功能諸如(但非限制性)解除交插及整碼。

10           如本文說明MCA 202-208各自可鎖定目標於特定處理類別，且於其界定之操作集合以內可經規劃(組配)及重新規劃(重新組配)。

          本發明之另一具體例中，基於經微碼編碼加速器之實體層處理電路可包括一濾波器處理元件來處理一信號，至少一個解碼處理元件來解碼與校正信號的錯誤，以及一通用目的處理元件來處理該信號。各個處理元件可包括一或多個MCA。

          此外，根據本發明之具體例，通訊介面可採用來耦接處理元件至網路。補助處理元件可耦接至網路，也可組配來於通訊路徑傳輸信號。一或多具體例中，於藉實體層處理元件處理後，補助處理元件可接受信號。若干具體例中，通訊介面可包括至少一個資料路由器配接器。

          根據本發明之具體例，一或多控制單元可根據第一協定集合來導引處理元件之操作。此外，處理元件可耦接於

一網路，可包括一或多路由器。

本發明之具體例中，各個解碼處理元件可執行下列操作之至少一者：正向錯誤校正、李德-所羅門正向錯誤校正、渦輪解碼、崔利斯解碼、或維特比解碼。根據本發明之

5 具體例，於一或多個MCA內部之處理元件可包括一或多個控制單元，該控制單元可重新組配處理元件來根據一或多項協定集合操作(包括當有新的協定集合可利用時)。本發明之具體例中，此等協定集合包括於有線或無線、區域網路或廣域網路或光學網路中之至少一者之操作參數。

10 至於第2B圖，顯示用於實體層處理之基於微碼編碼加速器之方法之流程圖。根據本發明之具體例，該方法包括至少附圖所示操作，始於方塊250，及可前進至方塊252。

於方塊252，根據本發明之具體例，系統包括一或多個控制單元(CU)諸如(但非限於)有關系統200所述之該等控制

15 單元，來根據第一協定集合決定一或多個處理元件之操作。然後處理前進至方塊254。

於方塊254，濾波器處理元件可接收來自網路之信號。然後如方塊256所示，濾波器處理元件使用選自由數位濾波、適應性等化、重新取樣、解除展頻、及快速傅立葉轉換

20 組成之組群之至少一種濾波處理，來於濾波器處理元件處理信號。然後處理前進至方塊258。

於方塊258，至少一個解碼處理元件可解碼信號來解碼與校正信號的錯誤。根據本發明之具體例，至少一解碼處理元件各自可執行選自由正向錯誤校正、李德-所羅門正向

錯誤校正、渦輪解碼、崔利斯解碼、及維特比解碼組成之組群中之解碼操作。然後處理前進至方塊260。

於方塊260，通用目的處理元件可使用選自由解除交插、整碼、環狀冗餘核對、捲積編碼、李德-所羅門編碼、渦輪編碼、及崔利斯編碼組成之組群中之至少一項處理來處理信號。然後處理前進至方塊262。

於方塊262，補助處理元件當接收到處理後之信號時可傳輸該信號。本發明之一具體例中，通訊介面於本發明之一具體例可為至少一資料路由器配接器，該通訊介面可耦接處理元件至網路。

根據一具體例，各個MCA可實作為固定功能ASIC具有由各個MCA之控制邏輯電路及組態邏輯電路所提供之額外重新配置能力，將參照第3-5圖詳細說明如後。

參照第3圖，顯示根據本發明之具體例，濾波器處理元件如濾波器MCA(FMCA) 300之略圖。根據所示具體例，FMCA 300可包括可重新組配之控制單元301，其可包括一控制可程式規劃邏輯陣列(PLA) 302及一輸出詢查表。控制PLA 302可提供擊發佇列，以及產生FMCA 300之控制信號。控制PLA 302可耦接至FMCA 300之其它組成元件，如此可與下列之一或多者通訊：一記憶體304、一輸出詢查表(LUT) 306、一邏輯單元(LU) 308、一算術單元(AU或算術邏輯單元(ALU)) 310及一資料路由器配接器(DRA) 312。DRA 312可耦接至一路由器314，路由器314可於FMCA 300之內部或外部。

一或多記憶體304可儲存控制資訊及路由資訊。本發明之若干具體例中，記憶體304可組配多埠用於不同功能，該等功能諸如(但非限制性)儲存及取還資料及係數資訊。

輸出LUT 306可由控制PLA 302接收操作號碼。輸出  
5 LUT 306可查詢欲前傳至FMCA 300之其它組成元件之功能信號及控制信號。

LU 308可執行多項功能，該等功能諸如(但非限制性)擊發邏輯功能、前置加法器控制功能、解展頻器碼產生功能，以及與AU 310通訊來並聯操作。若干具體例中，AU 310  
10 可有內部並列。AU 310可執行多項算術功能，諸如(但非限制性)加法、乘法及其它累加功能。根據若干具體例，AU 310也可執行增強FFT操作、解除展頻操作、濾波操作及其它操作。一具體例中，AU 310之資料路徑可重新組配來如其它協定或新協定之要求而執行此等及額外功能或操作。

15 DRA 312可耦接其它組成元件之一或多者以及命令與組態匯流排(CCB) 316。CCB 316可耦接至命令與組態網眼(CCM)(圖中未顯示)。DRA 312可耦接路由器至其它MCA或其它組成元件組成之一或多網路。

參照第4圖，顯示根據本發明之具體例，通用目的處理  
20 元件400之略圖。該通用目的處理元件可包括一或多個MCA，可執行多項位元取向及符號取向之功能諸如(但非限制性)解除交插與整碼。

根據本發明之具體例，通用目的MCA可包括功能調度器及資料輸入/輸出裝置(IO) 402。IO 402可耦接至一或多個

控制單元404a-d。如熟諳技藝人士至少基於此處所示教示可瞭解，控制單元404可提供循環冗餘核對(CRC)、亂碼、捲積編碼、較低MAC(中間存取碼)狀態機器、封包位址濾波等功能。

- 5 CU 404可耦接至一般記憶體408及一或多個開關406。各個控制單元可包括(但非限制性)下列亞單元(圖中未顯示)：局部記憶體單元、多工器、位元/欄位處理單元(或詢查表)、位址產生單元或算術與邏輯單元。如熟諳技藝人士基於此處教示可知，一般記憶體408提供通用目的之共享記憶體
- 10 來存取封包標頭之語法剖析、詢查表、交插等。開關406可提供一或多控制單元404連結至一或多特殊功能單元(SU) 410a-d。

- 本發明之一具體例中，如熟諳技藝人士至少基於此處教示可知，一或多個邏輯單元(圖中未顯示)可於控制單元
- 15 404及/或特殊功能單元410實作來輔助符號解碼、歐幾里得距離計算、組合操作等。

根據本發明之具體例，特殊功能單元410可操作來提供固定點處理，可包括特殊多工器/累加器資料路徑單元(圖中未顯示)於各個特殊功能單元內部。

- 20 本發明之若干具體例中，可包括控制器或排序器412來協調處理元件400之資料處理操作。

參照第5圖，顯示根據本發明之一具體例，解碼處理元件500之略圖。處理元件(PE) 500包括一或多MCA。本發明之具體例中，處理元件500之MCA可包括資料路由器配接器

512。資料路由器配接器(DRA) 512可耦接至一控制器514及一輸入緩衝器記憶體單元506。另一具體例(圖中未顯示)，DRA 512可直接耦接至一或多個解碼單元508。

根據本發明之一或多具體例，DRA 512(可由控制器514  
5 控制)接收之資料/信號係路由至輸入緩衝器記憶體單元506。單元506可接收來自DRA 512之輸入資料。本發明之若干具體例中，單元506也可執行渦輪交插/解交插。

本發明之若干具體例中，記憶體504耦接至一或多個解碼單元508。根據本發明之具體例，解碼單元可執行維特比  
10 解碼操作、崔利斯解碼操作及/或渦輪解碼操作等。解碼單元508根據前文說明之各項組態，可提供多個操作單元諸如(但非限制性)載波迴轉器單元、延遲單元、速率匹配器單元、分支尺規(BM)產生器、距離計算器、BM組合器、BM記憶體單元、BM狀態機器來執行加法、比較、選擇、匹配、  
15 編碼、解碼、及/或同步化等功能。

本發明之若干具體例中，輸出緩衝器記憶體單元510  
可接收來自一或多解碼單元508之輸出資料，可前傳該輸出資料給DRA 512。本發明之若干具體例中，單元510可執行  
渦輪交插/解除交插。其它具體例中，可不存在有單元510  
20 ，輸出資料可直接接收於DRA 512。

本發明之若干具體例中，處理元件500可於DRA 512接收資料，經由單元506、一或多解碼單元508及單元510處理該輸入之資料，以及於DRA 512輸出輸出資料(經解碼/經編碼資料)給本發明之其它組成元件。如熟諳技藝人士至少基

於此處提供之教示可瞭解，控制器514可對處理元件500之其它單元進送/接收組態封包給DRA 512。

根據後文討論之操作環境，根據前述具體例，本發明之操作可於設計來執行此等操作之電路實作。此種裝置可  
5 包括一或多個經微碼編碼之加速器之可規劃處理元件。

本發明(亦即使用彈性加速器、經微碼編碼之加速器網路或其任何部分之實體層處理)可使用硬體、軟體或其組合而實作，且可於一或多運算系統或其它處理系統實作。實際上，一具體例中，本發明包含可執行此處所述功能之一  
10 或多電腦或運算系統。

此等電腦系統可於個人電腦(PC)、個人數位助理器(PDA)、蜂巢式電話或行動電話、呼叫器、公用電話、或此等裝置之若干組合實作。運算環境600例如顯示於第6圖。運算環境600包括一或多處理器諸如處理器604。處理器604  
15 可耦接至通訊基礎架構606(例如通訊匯流排、自動交換機系統、或網路)。前文說明之處理元件可以運算環境600實作，且至少可電耦接至運算環境600。

多個軟體具體例係以本範例電腦系統作說明。於研讀本說明後，相關業界之熟諳技藝人士顯然易知可使用其它  
20 電腦系統及/或電腦架構實作本發明來操作本發明之處理元件。

運算環境600可包括一顯示器介面602，其可前傳圖形、文字以及其它來自通訊基礎架構606(或來自一圖框緩衝器，圖中未顯示)之資料供於顯示器單元630顯示。

5 運算環境600也包括一主記憶體608較佳為隨機存取記憶體(RAM)，也包括一二次記憶體610。二次記憶體610例如可包括硬碟機612及/或活動式儲存驅動裝置614，活動式儲存驅動裝置614表示軟碟機、磁帶機、光碟機等(但非限制性)。活動式儲存驅動裝置614可以眾所周知之方式讀取自及/或寫入至活動式儲存單元618。活動式儲存單元618表示可由活動式儲存驅動裝置614讀或寫之軟碟、磁帶、光碟等。顯然易知，活動式儲存單元618可包括其中已經儲存電腦軟體及/或資料之電腦可使用之儲存媒體。

10 另一具體例中，二次記憶體610可包括其它類似裝置來允許電腦程式或其它指令載入電腦系統600。此等裝置例如包括活動式儲存單元622及介面620。例如包括(但非限制性)程式卡匣及卡匣介面(如視訊遊戲裝置所見)、活動式記憶體晶片(如EPROM或PROM)及相關插座，及/或其它允許軟體之資料由活動式儲存單元622傳送至運算環境600之活動式儲存單元622及介面620。

20 運算環境600也包括通訊介面624。通訊介面624允許軟體及資料介於運算環境600與外部裝置間傳送。通訊介面624例如包括(但非限制性)數據機、網路介面(如以太網路卡)、通訊埠、PCMCIA卡槽及卡及/或組配來根據一或多項通訊協定操作之收發器(或稱作接收器/發送器組合)等。透過通訊介面624傳送之軟體及資料係呈信號628形式，信號628例如為電子信號、電磁信號、光信號或其它可由通訊介面624所接收之信號。此等信號628可透過通訊路徑(亦即頻道



)626提供給通訊介面624。此頻道626可承載信號628，可使用電線或電纜、光纖、電話線、無線電話鏈路、射頻(RF)鏈路及/或其它通訊頻道實作。

於本文件，「電腦程式媒體」、「機器可讀取媒體」及/或「電腦可使用媒體」等詞概略用來表示媒體，例如但非限於活動式儲存驅動裝置614、安裝於硬碟機612之硬碟、及信號628。此等電腦程式媒體為提供軟體給運算環境600之裝置。

電腦程式(也稱作電腦控制邏輯電路)可儲存於主記憶體608及/或二次記憶體610。電腦程式也可透過通訊介面624接收。此等電腦程式當執行時讓運算環境600可執行如此處討論之本發明之特色。特別，電腦程式當執行時允許處理器604根據前述具體例執行本發明。如此，此等電腦程式表示運算環境600之控制器。

於可使用軟體實作本發明之具體例中，軟體可儲存於電腦程式產品，且例如使用活動式儲存驅動裝置614、硬碟機612或通訊介面624而載入運算環境600。控制邏輯程式(軟體)當藉處理器604執行時造成處理器604執行如此處所示之本發明之功能。

另一具體例中，於本發明之實體層處理之前或之後，接收信號之運算環境之各方面主要係部分於硬體實作，於硬體實作例如部分係使用硬體組成元件諸如經微碼編碼之加速器、數位信號處理器、或特殊應用積體電路(ASIC)。硬體狀態機器之實作俾執行此處所述各項功能，對熟諳技

藝人士顯然易知。如前文討論，本發明可使用硬體、軟體及軟體之任一種組合實作。

雖然前文已經說明本發明之各具體例，但須了解該等具體例僅供舉例說明之用而非限制性。相關業界之熟諳技藝人士顯然易知可未悖離本發明之精髓及範圍而就形式與細節上做出多項改變。此點對於未來將發展出之相關技藝之技術及術語而言特別為真。如此本發明絕非受前述任何具體實施例所限反而僅根據如下申請專利範圍及其相當範圍界定。

#### 10 【圖式簡單說明】

第1圖顯示根據本發明之一具體例，一種實體層處理系統之略圖；

第2A圖顯示根據本發明之一具體例，一種實體層處理系統之略圖，該圖顯示組成元件，可包括一或多個與路由器形成網路之經微碼編碼之加速器(MCA)；

第2B圖顯示根據本發明之一具體例，一種實體層處理系統之操作之流程圖；

第3圖顯示根據本發明之一具體例，一種濾波器處理元件之略圖；

第4圖顯示根據本發明之一具體例，一種通用目的處理元件之略圖；

第5圖顯示根據本發明之一具體例，一種解碼處理元件之略圖；以及

第6圖顯示根據本發明之一具體例之一種運算環境，該

運算環境可於一或多種裝置諸如但非限於通訊裝置實作。

**【主要元件符號說明】**

100...實體層處理系統	310...算術單元AU或算術邏輯 單元(ALU)
102...類比前端電路	
104...數位前端電路	312...資料路由器配接器 (DRA)
106...符號處理器	
108...數位後端電路	314...路由器
202-208...經微碼編碼之加速 器(MCA)	316...命令與組態匯流排 (CCB)
202...濾波器MCA(FMCA)	400...通用目的處理元件(PE)
204...維特比-渦輪MCA (VMCA)	402...功能調度器與資料輸出 入單元(I/O)
206...李德-所羅門 MCA(RSMCA)	404、404a-d...控制單元(CU)
208...通用目的MCA(GPMCA)	406...開關
210、210a-d...路由器	408...通用記憶體
250-264...方塊	410a-d...特殊功能單元(SU)
300...濾波器MCA(FMCA)	412...控制器或排序器
301...可組配之控制單元	500...解碼處理元件(PE)
302...控制可程式邏輯陣列 (PLA)	504...記憶體
304...記憶體	506...輸入緩衝器記憶體單元
306...輸出詢查表(LUT)	508...解碼單元
308...邏輯單元(LU)	510...輸入緩衝器記憶體單元
	512...資料路由器配接器 (DRA)

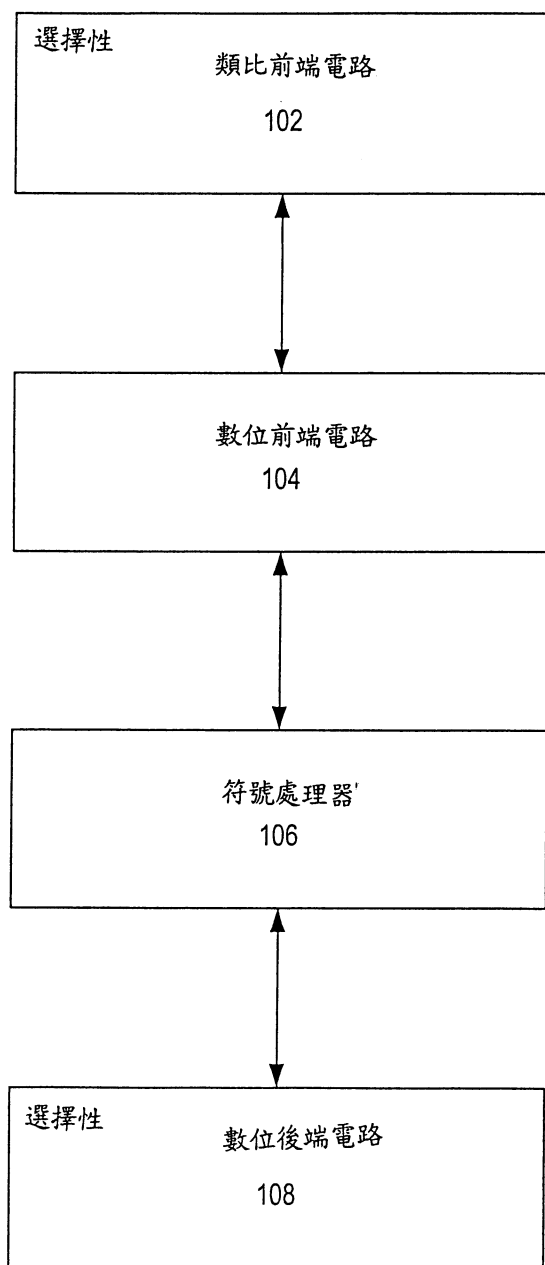
- |              |                 |
|--------------|-----------------|
| 514...控制器    | 614...活動式儲存驅動裝置 |
| 600...運算環境   | 618...活動式儲存單元   |
| 602...顯示器介面  | 620...介面        |
| 604...處理器    | 622...活動式儲存單元   |
| 606...通訊基礎架構 | 624...通訊介面      |
| 608...主記憶體   | 626...通訊路徑亦即頻道  |
| 610...二次記憶體  | 628...信號        |
| 612...硬碟機    | 630...顯示器單元     |

### 五、中文發明摘要：

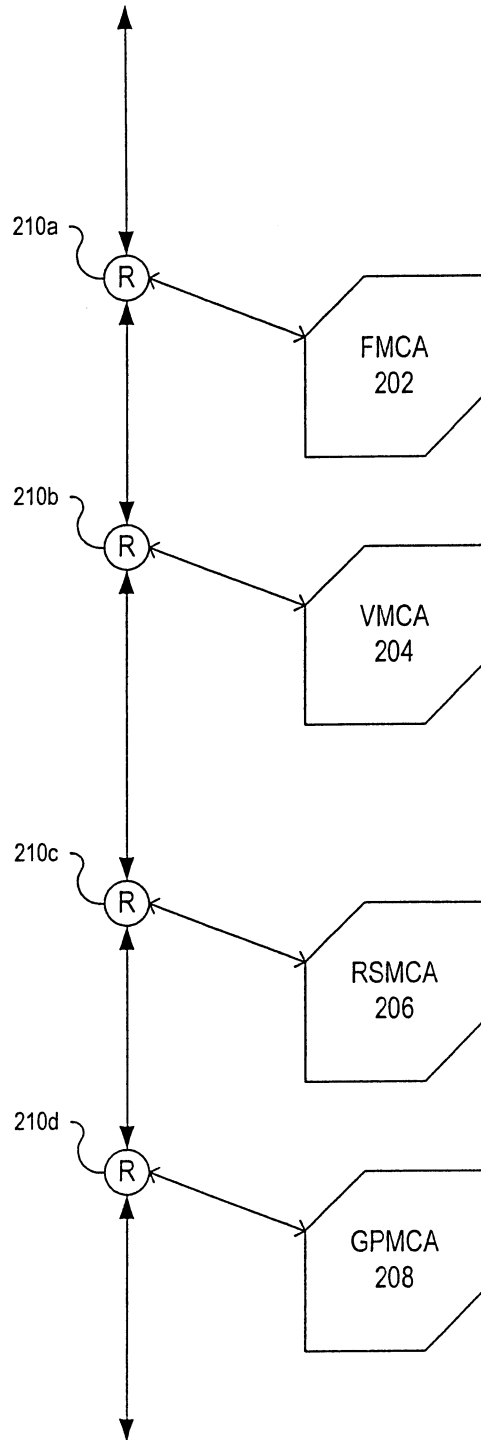
彈性經微碼編碼之加速器用於在通訊應用用途中執行實體層之處理。加速器可重新配置且可經規劃來結合新問市之新協定。

### 六、英文發明摘要：

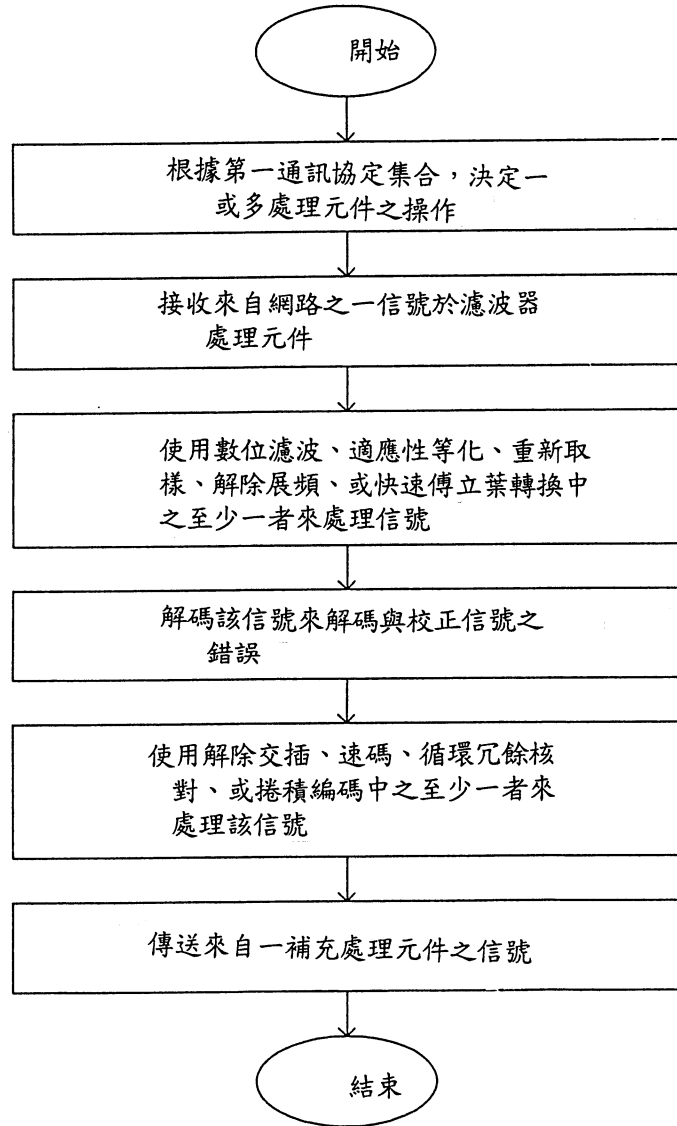
Flexible, micro-coded accelerators are applied to perform physical layer processing in communications applications. The accelerators are reconfigurable and may be programmed to incorporate new protocols as they are introduced.



第 1 圖

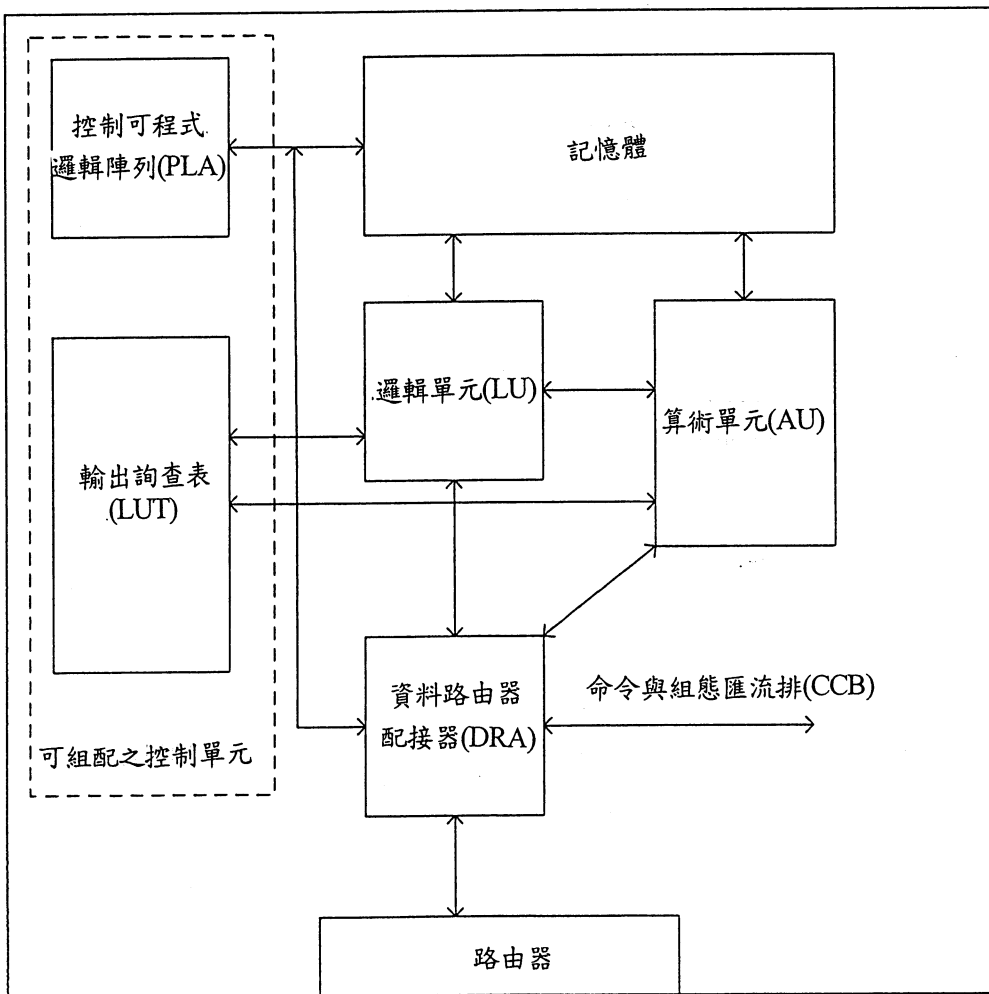


第 2A 圖

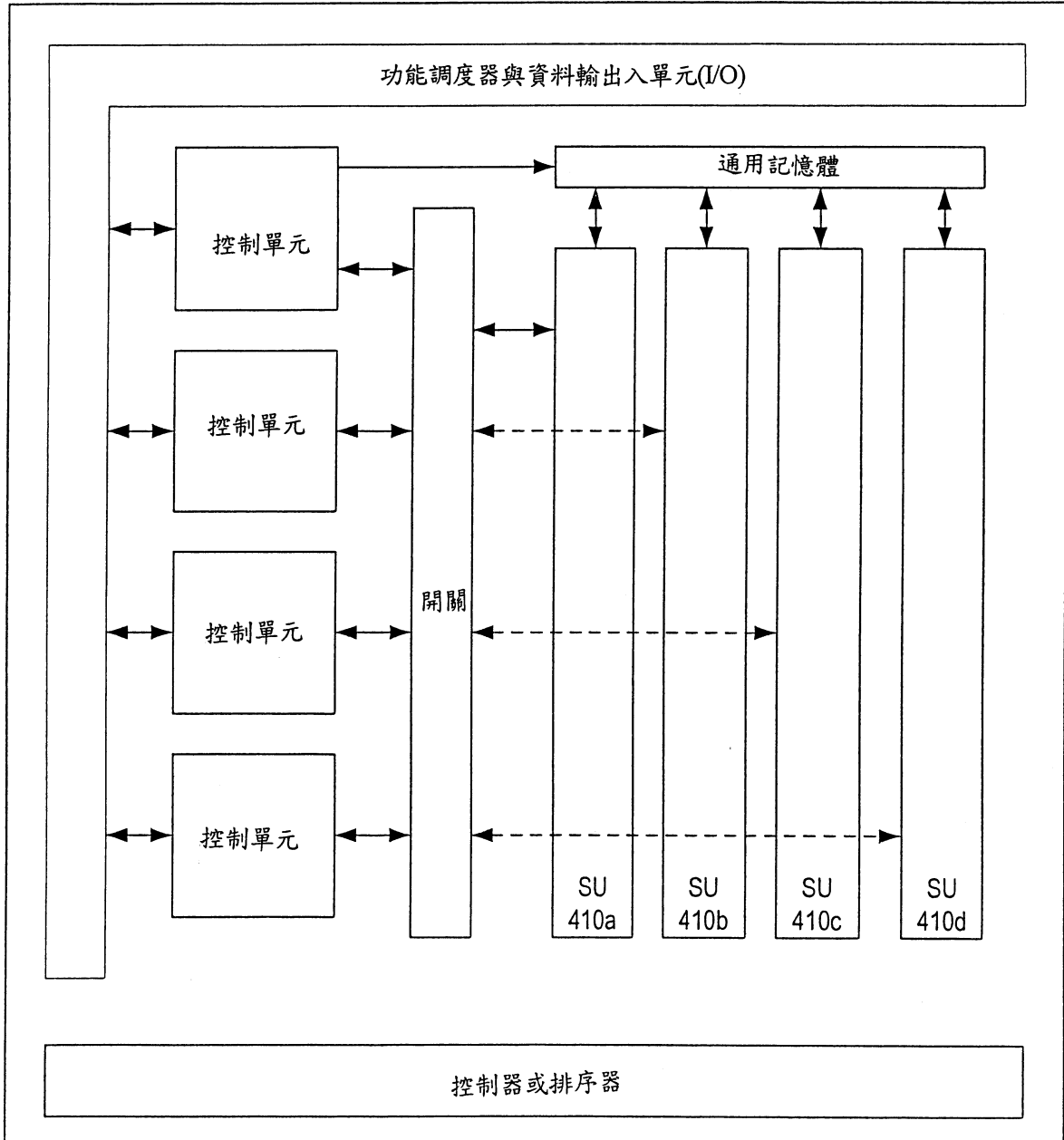


第 2B 圖

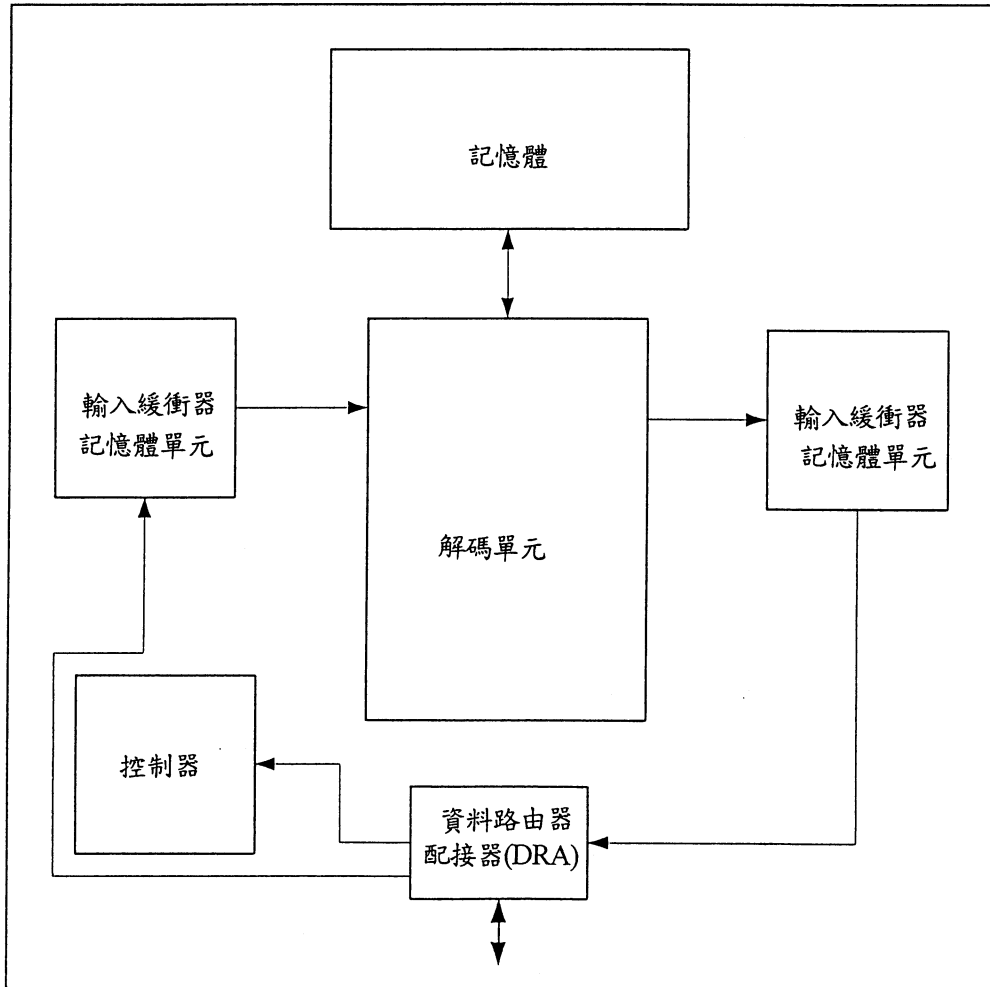




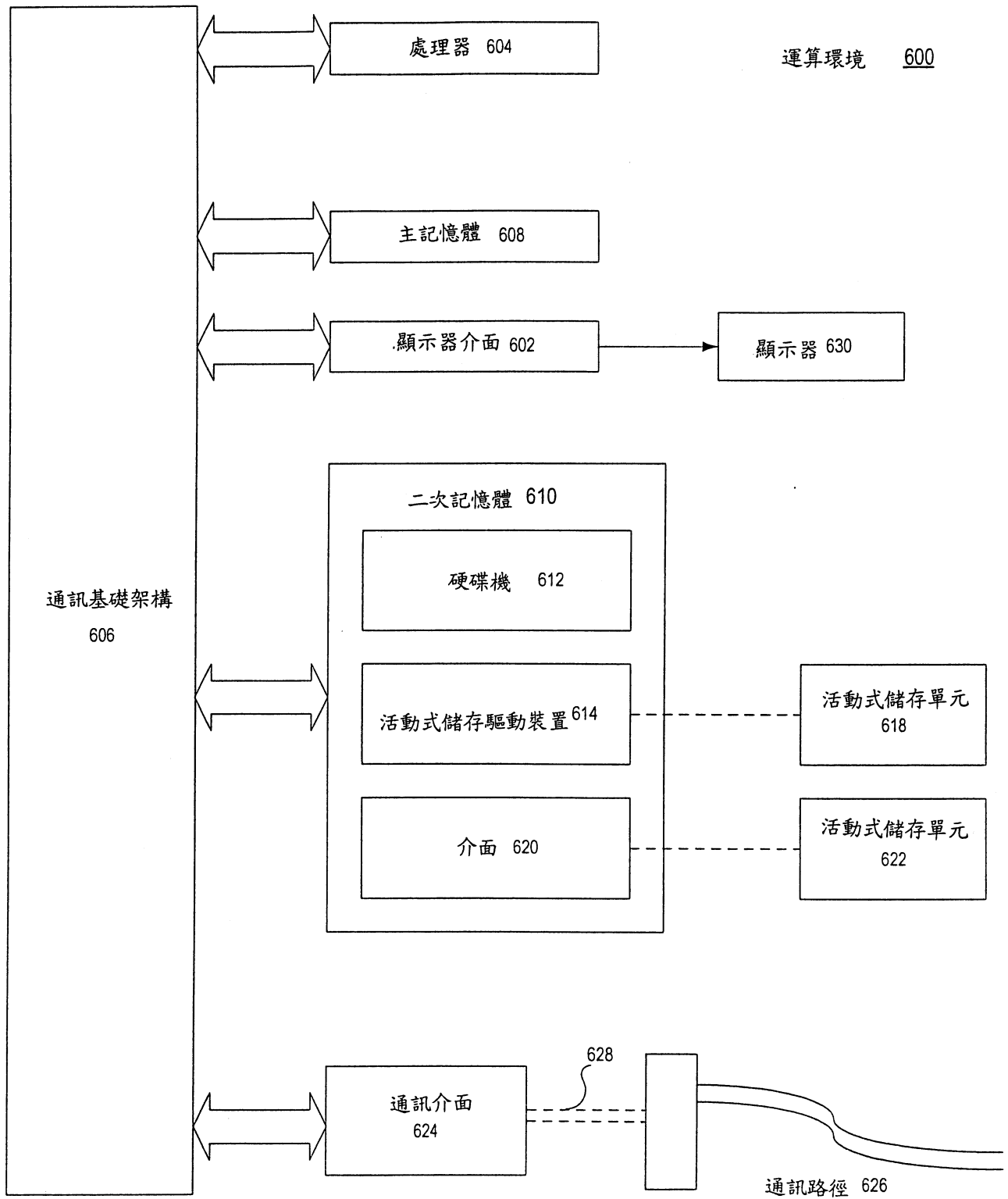
第 3 圖



第 4 圖



第 5 圖



第 6 圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 2B ) 圖。

(二)本代表圖之元件符號簡單說明：

250-264....方塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

第 94109584 號申請案

**發明專利說明書**

修正本

96.12.25.

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94109584

※ 申請日期：94.3.28

※IPC 分類：H04L 29/02 (2006.01)

**一、發明名稱：**(中文/英文)

用於以微編碼加速器為基礎之操作的電路與方法、及提供指令之機器可讀取媒體

Circuit and Method for Micro-Coded Accelerator Based Operations, and

Machine-Readable Medium That Provides Instructions

**二、申請人：**(共 1 人)**姓名或名稱：**(中文/英文)

英特爾公司 / Intel Corporation

**代表人：**(中文/英文)

塞門 大衛 / SIMON, David

**住居所或營業所地址：**(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

**國 籍：**(中文/英文)

美 國 / U.S.A.

**三、發明人：**(共 3 人)**姓 名：**(中文/英文)

1. 全 安東尼 / CHUN, Anthony

2. 特許 艾尼斯特 / TSUI, Ernest

3. 辛德 華爾德 / SNYDER, Walter

**國 籍：**(中文/英文)

美 國 / U.S.A.

## 十、申請專利範圍：

第94109584號申請案申請專利範圍修正本 96.12.25.

1. 一種用於以微編碼加速器為基礎之操作的電路，包含：

5 一濾波器處理元件，其係用於使用從由數位濾波、  
適應性等化、重新取樣、解除展頻、及快速傅立葉轉換  
組成之組群中選出之一項處理來處理一信號；

至少一解碼處理元件，其係用於解碼及校正該信號  
中之錯誤；

10 一通用目的處理元件，其係用來使用從由解除交插  
、整碼解密、循環冗餘核對、捲積編碼、李德-所羅門  
編碼(Reed-Solomon encoding)、渦輪編碼(turbo encoding)  
、及崔利斯編碼(Trellis encoding)組成之組群中選出之  
一項編碼處理來處理該信號；以及

15 一或多個控制單元，用來根據一第一協定集合而指  
揮該等處理元件之操作，

其中該等處理元件係耦接於一網路中。

20 2. 如申請專利範圍第1項之電路，其中該至少一解碼處理  
元件之解碼動作包括從由正向錯誤校正解碼、李德-所  
羅門正向錯誤校正解碼、渦輪解碼、崔利斯解碼、及維  
特比解碼(Viterbi decoding)組成之組群中選出之一項解  
碼處理。

3. 如申請專利範圍第1項之電路，其中該一或多個控制單  
元係於該濾波器處理元件中實作。

4. 如申請專利範圍第1項之電路，其中該一或多個控制單

元係於該解碼處理元件或該通用目的處理元件中實作。

5. 如申請專利範圍第1項之電路，其中該一或多個控制單元重新配置該等處理元件來根據一第二協定集合操作。
6. 如申請專利範圍第5項之電路，其中該第一協定集合及該第二協定集合中之任一者，包括供於從由有線網路、無線網路、區域網路、廣域網路、及光學網路組成之組群中選出之一網路內的操作使用之參數。
7. 如申請專利範圍第1項之電路，其中該網路進一步包括一或多個路由器。
- 10 8. 如申請專利範圍第1項之電路，該電路進一步包含：

耦接該等處理元件至該網路之一通訊介面；以及一補助處理元件，用來於一通訊路徑上發送該信號，該補助處理元件係藉該通訊介面而耦接至通訊基礎架構，其中該補助處理元件係接收由該等處理元件處理後之該信號。
- 15 9. 如申請專利範圍第8項之電路，其中該通訊介面包括至少一資料路由器配接器。
10. 一種用於以微編碼加速器為基礎之操作的方法，該方法包含下列步驟：

20 根據一第一協定集合來決定一或多個處理元件之操作；

於一濾波器處理元件接收來自一網路之一信號；

藉由使用從由數位濾波、適應性等化、重新取樣、解除展頻、及快速傅立葉轉換組成之組群中選出之一項



處理，來於該濾波器處理元件處理該信號；

經由至少一解碼處理元件解碼該信號，來解碼與校正該信號中之錯誤；以及

藉由使用從由解除交插、整碼解密、循環冗餘核對、捲積編碼、李德-所羅門編碼、渦輪編碼、及崔利斯編碼組成之組群中選出之一項編碼處理，藉一通用目的處理元件來處理該信號。

5

10

15

20

11. 如申請專利範圍第10項之方法，其中該至少一解碼處理元件之解碼動作包括從由正向錯誤校正解碼、李德-所羅門正向錯誤校正解碼、渦輪解碼、崔利斯解碼、及維特比解碼組成之組群中選出之一項解碼處理。

12. 如申請專利範圍第10項之方法，其中有一或多個控制單元係於該濾波器處理元件中實作。

13. 如申請專利範圍第10項之方法，其中有一或多個控制單元係於該解碼處理元件或該通用目的處理元件中實作。

14. 如申請專利範圍第10項之方法，其中有一或多個控制單元重新配置該等處理元件來根據一第二協定集合操作。

15. 如申請專利範圍第14項之方法，其中該第一協定集合及該第二協定集合中之任一者，包括供於從由有線網路、無線網路、區域網路、廣域網路、及光學網路組成之組群中選出之一網路內的操作使用之參數。

16. 如申請專利範圍第10項之方法，其中該網路進一步包括一或多個路由器。

17. 如申請專利範圍第10項之方法，其進一步包含下列步驟：

於該信號藉該等處理元件處理後，由一補助處理元件來於一通訊路徑上發送該信號，

其中一通訊介面耦接該等處理元件至該網路，以及其中該網路耦接該補助處理元件至該通訊介面。

5 18. 如申請專利範圍第17項之方法，其中該通訊介面包括至少一資料路由器配接器。

19. 一種提供指令之機器可讀取媒體，該等指令在由一處理元件處理時，造成該處理元件執行下列操作，包含下列以微編碼加速器為基礎之操作：

10 根據一第一協定集合來決定一或多個處理元件之操作；

於一濾波器處理元件接收來自一網路之一信號；

藉由使用從由數位濾波、適應性等化、重新取樣、解除展頻、及快速傅立葉轉換組成之組群中選出之一項  
15 處理，來於該濾波器處理元件處理該信號；

經由至少一解碼處理元件解碼該信號，來解碼與校正該信號中之錯誤；以及

藉由使用從由解除交插、整碼解密、循環冗餘核對、捲積編碼、李德-所羅門編碼、渦輪編碼、及崔利斯  
20 編碼組成之組群中選出之一項編碼處理，藉一通用目的處理元件來處理該信號。

20. 如申請專利範圍第19項之機器可讀取媒體，其中該至少一解碼處理元件之解碼動作包括從由正向錯誤校正解碼、李德-所羅門正向錯誤校正解碼、渦輪解碼、崔利

斯解碼、及維特比解碼組成之組群中選出之一項解碼處理。

21. 如申請專利範圍第19項之機器可讀取媒體，其中有一或多個控制單元係於該濾波器處理元件中實作。
- 5 22. 如申請專利範圍第19項之機器可讀取媒體，其中有一或多個控制單元係於該至少一解碼處理元件或該通用目的處理元件中實作。
23. 如申請專利範圍第19項之機器可讀取媒體，其中有一或多個控制單元重新配置該等處理元件來根據一第二協定集合操作。
- 10 24. 如申請專利範圍第23項之機器可讀取媒體，其中該第一協定集合及該第二協定集合中之任一者，包括供於從由有線網路、無線網路、區域網路、廣域網路、及光學網路組成之組群中選出之一網路內的操作使用之參數。
- 15 25. 如申請專利範圍第19項之機器可讀取媒體，其中該網路進一步包括一或多個路由器。
26. 如申請專利範圍第19項之機器可讀取媒體，其提供進一步指令，該等指令在由一處理元件執行時，造成該處理元件執行下述進一步操作：
  - 20 於該信號藉該等處理元件處理後，由一補助處理元件來於一通訊路徑上發送該信號，  
其中一通訊介面耦接該等處理元件至該網路，以及其中該網路耦接該補助處理元件至該通訊介面。
27. 如申請專利範圍第26項之機器可讀取媒體，其中該通訊

介面包括至少一資料路由器配接器。