

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 200410101680.2

[51] Int. Cl.

H01L 27/10 (2006.01)

H01L 21/82 (2006.01)

H01L 21/8239 (2006.01)

[45] 授权公告日 2008 年 5 月 7 日

[11] 授权公告号 CN 100386882C

[22] 申请日 2004.12.20

[21] 申请号 200410101680.2

[73] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区力行路 16 号

[72] 发明人 陈士弘 陈逸舟

[56] 参考文献

US2004/0113137A1 2004.6.17

US6795338B2 2004.9.21

CN1351379A 2002.5.29

US5933365A 1999.8.3

US2003/0035314A1 2003.2.20

US5536947A 1996.7.16

审查员 陶应磊

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 王学强

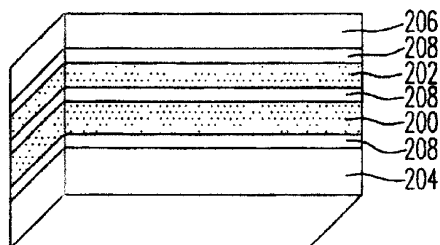
权利要求书 3 页 说明书 13 页 附图 5 页

[54] 发明名称

非易失性存储器及其操作方法

[57] 摘要

一种非易失性存储单元，其由一临界交换薄膜与一存储交换薄膜所构成。其中，存储交换薄膜为一存储单元，而临界交换薄膜为一导向单元。



1.一种非易失性存储单元，包括：

—第一相变化材料薄膜；

—第二相变化材料薄膜，其中，该第一相变化材料薄膜与该第二相变化材料薄膜的相变化特性不同，通过所施加电压大小的控制，以使该第一相变化材料薄膜为一存储单元，而使该第二相变化材料薄膜为一导向单元，且作为该导向单元的薄膜，当施加大于其启始电压的一电压时，会发生电压击穿，而当关闭该电压时，则会回复的原本的状态；以及

—第一电极层与一第二电极层，且该第一相变化材料薄膜及该第二相变化材料薄膜配置在该第一电极层与该第二电极层之间，其中该第一电极层与该第二电极层作用偏压至一对的该第一相变化材料薄膜与该第二相变化材料薄膜，以使该第一相变化材料薄膜能被所提供的偏压程序化。

2.如权利要求 1 所述的非易失性存储单元，其特征在于：该第二相变化材料薄膜及该第一相变化材料薄膜的材质包括一硫属化合物。

3.如权利要求 2 所述的非易失性存储单元，其特征在于：该硫属化合物包括锗锑碲合金、银铟锑碲合金或铝砷碲合金。

4.如权利要求 1 所述的非易失性存储单元，其特征在于：更包括一阻挡层，配置在该第一相变化材料薄膜与该第二相变化材料薄膜之间。

5.如权利要求 1 所述的非易失性存储单元，其特征在于：更包括一第

一阻挡层，配置在该第一相变化材料薄膜与该第一电极层之间，以及该第二相变化材料薄膜与该第二电极层之间。

6.如权利要求1或5的任一所述的非易失性存储单元，其特征在于：更包括一第二阻挡层，配置在该第一相变化材料薄膜及该第二相变化材料薄膜之间。

7.如权利要求1所述的非易失性存储单元，其特征在于：更包括一接触窗，配置在该第一相变化材料薄膜及该第二相变化材料薄膜之间。

8.如权利要求7所述的非易失性存储单元，其特征在于：更包括一阻挡层，配置在该接触窗与该第一相变化材料薄膜之间，以及该接触窗与该第二相变化材料薄膜之间。

9.如权利要求8所述的非易失性存储单元，其特征在于：更包括一第一阻挡层，配置在该第一相变化材料薄膜与该第一电极层之间，以及该第二相变化材料薄膜与该第二电极层之间。

10.如权利要求9所述的非易失性存储单元，其特征在于：更包括一第二阻挡层，配置在该接触窗与该第一相变化材料薄膜，以及该接触窗与该第二相变化材料薄膜之间。

11.一种非易失性存储器的操作方法，该非易失性存储器由多个非易失性存储单元、多个位元线与多个字元线彼此电性连接所构成，而且所述非易失性存储单元由一导向单元与一存储单元串联而成，且该导向单元与该存储单元由可相变化的材料所构成，该操作方法包括：

于所述非易失性存储单元中选定出一选定非易失性存储单元，并且于所述位元线与所述字元线中选定出对应该选定非易失性存储单元的一选定位元线与一选定字元线；以及

于该选定字元线上施加一电压，并且将该选定位元线的电压设定等于零，而其它所述位元线与所述字元线设定为浮置状态。

13.如权利要求 12 所述的非易失性存储器的操作方法，其特征在于：该操作方法适用于该非易失性存储器的程序化或读取。

14.一种非易失性存储器的操作方法，该非易失性存储器由多个非易失性存储单元、多个位元线与多个字元线彼此电性连接所构成，而且所述非易失性存储单元由一导向单元与一存储单元串联而成，且该导向单元与该存储单元由可相变化的材料所构成，该操作方法包括：

于所述非易失性存储单元中选定出一选定非易失性存储单元，并且于所述位元线与所述字元线中选定出对应该选定非易失性存储单元的一选定位元线与一选定字元线；以及

于该选定字元线上施加一第一电压，并且将该选定位元线的电压设定等于零，而且于其它所述位元线与所述字元线上分别施加一第二电压与一第三电压，其中该第二电压与该第三电压小于该第一电压。

15.如权利要求 14 所述的非易失性存储器的操作方法，其特征在于：该第一电压为  $V$ ，该第二电压与该第三电压为  $1/2V$ 。

16.如权利要求 14 所述的非易失性存储器的操作方法，其特征在于：该第一电压为  $V$ ，该第二电压为  $2/3V$ ，该第三电压为  $1/3V$ 。

17.如权利要求 14 所述的非易失性存储器的操作方法，其特征在于：该操作方法适用于该非易失性存储器的程序化或读取。

---

## 非易失性存储器及其操作方法

### 技术领域

本发明是有关于一种内存组件及其操作方法，且特别是有关于一种非易失性存储器(Non-Volatile Memory)及其操作方法。

### 现有技术

一般来说，非易失性存储器由多个导向(Steer)单元与多个存储单元所构成。其中，各个导向单元例如是金属氧化半导体(MOS)晶体管，用以控制各个存储单元。另一方面，由于硫属化合物(Chalcogenide)具有受热后会产生相变化(非晶态与结晶态之间的转换)的特性，因此可以作为存储单元之用。

公知以硫属化合物作为存储单元的硫属化合物存储单元，在高操作电流下，组件集成度受限于MOS晶体管的尺寸而无法有效提升。解决上述问题的方式之一，系以可承受大电流的双极结型晶体管(BJT)取代原本的MOS晶体管。但是，双极结型晶体管并非集成电路(IC)产业的主流，因此仍有相关的工艺技术有待克服。另一种方式则是以二极管取代原本的MOS晶体管，但是此二极管同样亦无法承受高电流密度，因此会使得存储单元微缩受到限制。

### 发明内容

有鉴于此，本发明的目的就是在提供一种非易失性存储单元，以缩小存储单元的尺寸，进而提升集成度。

本发明的再一目的是提供上述的非易失性存储器的操作方法，以解决公知操作电流受限的问题。

本发明提出一种非易失性存储单元，此非易失性存储单元由一临界交换薄膜与一存储交换薄膜所构成。其中，存储交换薄膜为一存储单元，而临界交换薄膜为一导向单元。

此外，上述的临界交换薄膜或存储交换薄膜的材质包括硫属(Chalcogenide)化合物，而此硫属化合物例如是锗锑碲合金(GeSbTe)、银铟锑碲合金(AgInSbTe)或铝砷碲合金(AlAsTe)。

另外，上述的非易失性存储单元更包括第一电极层与第二电极层，且临界交换薄膜及存储交换薄膜配置在此第一电极层与此第二电极层之间。

此外，上述的非易失性存储单元更包括接触窗配置在临界交换薄膜与存储交换薄膜之间。

另外，上述的非易失性存储单元更包括阻挡层，配置在临界交换薄膜与存储交换薄膜之间，或是存储交换薄膜与电极层之间，或是存储交换薄膜与接触窗之间。

本发明提出一种非易失性存储器的操作方法，此非易失性存储器由多个非易失性存储单元、多个位元线与多个字元线彼此电性连接所构成，而且这些非易失性存储单元由一导向单元与一存储单元串联而成，且此导向单元与存储单元由可相变化的材料所构成。此操作方法系先于这些非易失性存储单元中选定出一选定非易失性存储单元，并且于这些位元线与这些字元线中选定出对应此选定非易失性存储单元的一选定位元线与一选定字元线。接着，于选定字元线上施加一电压，并且将选定位元线的电压设定等于零，而其它的位元线与字元线设定为浮置状态。

此外，上述的非易失性存储器的操作方法适用于非易失性存储器的

程序化与读取。

本发明提出又一种非易失性存储器的操作方法，此非易失性存储器由多个非易失性存储单元、多个位元线与多个字元线彼此电性连接所构成，而且这些非易失性存储单元由一导向单元与一存储单元串联而成，且此导向单元与存储单元由可相变化的材料所构成。此操作方法系先于这些非易失性存储单元中选定出一选定非易失性存储单元，并且于这些位元线与这些字元线中选定出对应此选定非易失性存储单元之一选定位元线与一选定字元线。接着，于选定字元线上施加第一电压，并且将选定位元线的电压设定等于零，而且于其它位元线与字元线上分别施加第二电压与第三电压，其中第二电压与第三电压小于第一电压。

此外，上述的非易失性存储器的操作方法适用于非易失性存储器的程序化与读取。

由于本发明的非易失性存储单元由二层薄膜所构成，且此二膜层系分别作为导向单元与存储单元之用。此非易失性存储单元的尺寸可以缩小，从而组件集成度可以提升。而且，作为导向单元的可相变化的薄膜，相较公知的晶体管，在小尺寸下仍可承受高电流，因此可以有效解决存储单元微缩的问题。

为让本发明的上述和其它目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附图式，作详细说明如下。

#### 附图说明

图 1A 绘示为具有存储单元特性的可相变化的薄膜其电流与电压的关系图。

图 1B 绘示为具有导向单元特性的薄膜其电流与电压的关系图。

图 2 绘示为依照本发明的一较佳实施例的一种非易失性存储单元的立体剖面示意图。

图 3 绘示为依照本发明的一较佳实施例的另一种非易失性存储单元的立体剖面示意图。

图 4 绘示为依照本发明的一较佳实施例的一种存储单元数组的示意图。

图 5 绘示为图 4 中的单一存储单元的示意图。

图 6 绘示为一种利用浮置法，操作本发明的存储单元数组的示意图。

图 7 绘示为一种利用偏压法，操作本发明的存储单元数组的示意图。

图 8 绘示为一种利用  $V/2$  偏压法，操作本发明的存储单元数组的示意图。

图 9 绘示为一种利用  $V/3$  偏压法，操作本发明的存储单元数组的示意图。

#### 主要组件符号说明

200、202：可相变化的薄膜

204、206：电极层

208：阻挡层

210：接触窗

400：导向单元

402：存储单元

Q1~Q9、MC<sub>x</sub>、SMC：存储单元

WL<sub>n-1</sub>~WL<sub>n+1</sub>、WL<sub>x</sub>、SWL：字元线

BL<sub>n-1</sub>~BL<sub>n+1</sub>、BL<sub>x</sub>、SBL：位元线



$V_1 \sim V_4$ 、 $E_1 \sim E_2$ : 电压

### 具体实施方式

以下系以受热后会产生相变化(非晶态与结晶态之间的转换)的硫属化合物, 来说明本发明的可相变化的薄膜, 然非用以限定本发明, 其它具有类似性质的材料亦可应用于本发明的可相变化的薄膜中。

由于不同组成比例的硫属化合物会具有不同的 Ovonic 转换(Ovonic Switch)特性, 因此本发明即利用此不同的 Ovonic 转换特性, 来选择适合的硫属化合物薄膜, 作为存储单元或导向单元。

详细的说明是, 作为存储单元的硫属化合物系具有如图 1A 所示的电压与电流的关系曲线。当所施加的电压小于此硫属化合物的启始电压( $b$  所对应的电压)时, 其电压与电流的关系曲线如曲线  $a-b$  所示。当所施加的电压大于此硫属化合物的启始电压时, 此硫属化合物会由非结晶态变成结晶态, 从而阻值也随之下降, 因此其电压与电流的关系曲线如曲线  $b-c$  所示, 此时可将其视为「开启(On)」。当将上述电压(大于硫属化合物的启始电压)关闭时, 电流会沿着曲线  $c-a$  回复至零。此时, 硫属化合物仍为结晶态, 即仍为「开启」的状态。因此, 具有如图 1A 所示的电压与电流的关系曲线的硫属化合物可以以结晶与非结晶来代表「0」或「1」, 所以可以作为存储单元之用。

另外, 作为导向单元的硫属化合物系具有如图 1B 所示的电压与电流的关系曲线。当所施加的电压小于此硫属化合物的启始电压( $e$  所对应的电压)时, 其电压与电流的关系曲线如曲线  $d-e$  所示。当所施加的电压大于此硫属化合物的启始电压时, 此硫属化合物会电压击穿, 从而阻值也随之下降, 因此其电压与电流的关系曲线如曲线  $e-f$  所示, 此时可将其视

为「开启」。当将上述电压(大于硫属化合物的启始电压)关闭时, 电流会由曲线 f-e-d 回复至零。此时, 硫属化合物会回复成原来的非结晶态, 即可将其视为「关闭(Off)」。因此, 具有如图 1B 所示的电压与电流的关系曲线的硫属化合物类似于二极管, 可以作为导向组件之用。

以下系以表 1 作更进一步的说明。

表 1

材料	所需结晶时间	初始状态	第一脉冲 (脉冲宽度=10ns, 且温度大于熔点)	第二脉冲 (脉冲宽度 =100ns, 且温度介 于熔点与结晶温 度之间)
A	10 $\mu$ s	非结晶	非结晶	非结晶
B	50ns	非结晶	非结晶	结晶(阻值下降)

由表 1 可知, 材料 A 由于所需的结晶时间较长, 因此即使是以脉冲宽度较大的第二脉冲进行加热, 仍会回复原本的非结晶状态。因此, 材料 A 适用于导向单元。材料 B 由于所需的结晶时间较短, 因此当是以脉冲宽度较大的第二脉冲进行加热, 会开始结晶, 且当此第二脉冲消失后, 仍会继续保持结晶状态。因此, 材料 B 适用于存储单元。

在一较佳实施例中, 上述的硫属化合物例如是锗锑碲合金(GeSbTe)、银铟锑碲合金(AgInSbTe)或铝砷碲合金(AlAsTe), 且不同的合金比例系具有不同的 Ovonic 转换特性。例如, 铝砷碲合金 Al<sub>20</sub>As<sub>5</sub>Te<sub>75</sub> 其电压与电流

的关系曲线如图 1A 所示，因此可以作为存储单元；而不同组成的铝砷碲合金  $\text{Al}_{20}\text{As}_{15}\text{Te}_{65}$ 、 $\text{Al}_{20}\text{As}_{25}\text{Te}_{55}$ 、 $\text{Al}_{20}\text{As}_{35}\text{Te}_{45}$  其电压与电流的关系曲线如图 1B 所示，因此可以作为导向单元。

图 2 是绘示依照本发明一较佳实施例的一种非易失性存储单元的立体剖面示意图。

请参照图 2，本发明的非易失性存储单元由二硫属化合物薄膜 200、202 所构成，且硫属化合物薄膜 202 配置在硫属化合物薄膜 200 上。在一较佳实施例中，硫属化合物薄膜 200 例如是具有如图 1A 所示的电压与电流的关系曲线，因此可作为存储单元之用；而硫属化合物薄膜 202 例如是具有如图 1B 所示的电压与电流的关系曲线，因此可作为导向单元之用。在另一较佳实施例中，此二硫属化合物薄膜 200、202 亦可彼此交换，即硫属化合物薄膜 200 作为导向单元之用，而硫属化合物薄膜 202 作为存储单元之用。

在一较佳实施例中，本发明的非易失性存储单元除了上述二硫属化合物薄膜 200、202 之外，更包括上下两层电极层 204 与 206，且此二硫属化合物薄膜 200、202 配置在此二电极层 204 与 206 之间。

在另一较佳实施例中，本发明的非易失性存储单元更包括阻挡层 208，配置在此二硫属化合物薄膜 200、202 之间、硫属化合物薄膜 200 与电极层 204 之间、或是硫属化合物薄膜 202 与电极层 206 之间。其中，阻挡层 208 的材质例如是导电材料。

在又一较佳实施例中，本发明的非易失性存储单元更包括接触窗 210，配置在此二硫属化合物薄膜 200、202 之间(如图 3 所示)，且阻挡层 208 系配置在接触窗 210 与硫属化合物薄膜 200 及 202 之间。其中，接触

窗 210 的材质例如是导电材料。

由于本发明的非易失性存储单元由二层薄膜(例如: 硫属化合物薄膜)所构成, 且此二膜层系分别作为导向单元与存储单元之用。此非易失性存储单元的尺寸可以缩小, 从而组件集成度可以提升。

以下系说明上述非易失性存储单元的操作方法。其中, 由多个存储单元  $Q_1 \sim Q_9$ 、多个位元线  $BL_{n-1} \sim BL_{n+1}$  与多个字元线  $WL_{n-1} \sim WL_{n+1}$  彼此电性连接所构成的存储单元数组如图 4 所示。而且, 各个存储单元  $Q_1 \sim Q_9$  由一导向单元 400 与一存储单元 402 串联而成(如图 5 所示), 其中导向单元 400 与存储单元 402 由可相变化的材料所构成。特别是, 图 4 中的存储单元  $Q_1 \sim Q_9$  其剖面结构并不限于上述实施例所揭示的结构, 其只要导向单元 400 与存储单元 402 以串联方式电性连接且由可相变化的材料构成, 皆可采用下述的操作方法。

在本发明中, 适用于存储单元  $Q_1 \sim Q_9$  的操作方法例如是浮置法(Floating Method)与偏压法(Biased Method)其中之一, 此二操作方法系适于存储单元  $Q_1 \sim Q_9$  的程序化与读取。其详细说明如下。

#### [浮置法]

请参照图 6, 其绘示一存储单元数组的示意图。本发明的操作方法系先于多个存储单元中选定出一选定存储单元 SMC, 并且于多数条位元线与多数条字元线中选定出对应此选定存储单元 SMC 的选定位元线 SBL 与选定字元线 SWL。而其它未被选定的存储单元、位元线与字元线系分别以标号  $MC_x$ 、 $BL_x$  与  $WL_x$  表示。

接着, 于选定字元线 SWL 上施加一电压  $V_1$ , 并且将选定位元线 SBL

的电压设定等于零，而其它非选定位元线  $BL_x$  与字元线  $WL_x$  设定为浮置状态。此时，施加于选定存储单元  $SMC$  的电压为  $V_1$ ，而其它位于各个非选定位元线  $BL_x$  与非选定字元线  $WL_x$  的非选定存储单元  $MC_x$ ，仅会受到介于  $-V_1$  至  $V_1$  的范围的电压影响。如此将可以有效改善漏电流的问题。

以下系以表 2 说明利用浮置法，程序化选定存储单元  $SMC$ ，各个字元线与位元线所需施加的电压。

表 2

	程序化「1」	程序化「0」
选定位元线 $SBL$	0	0
非选定位元线 $BL_x$	浮置	浮置
选定字元线 $WL$	$V_{pl}$	$V_{ph}$
非选定字元线 $WL_x$	浮置	浮置

$V_{pl}$ : 较低的程序化电压( $V_1$ )

$V_{ph}$ : 较高的程序化电压( $V_1$ )

#### [偏压法]

请参照图 7，其绘示一存储单元数组的示意图。本发明的操作方法系先于多个存储单元中选定出一选定存储单元  $SMC$ ，并且于多数条位元线与多数条字元线中选定出对应此选定存储单元  $SMC$  的选定位元线  $SBL$  与选定字元线  $SWL$ 。而其它未被选定的存储单元、位元线与字元线系分别以标号  $MC_x$ 、 $BL_x$  与  $WL_x$  表示。

接着，于选定字元线 SWL 上施加电压  $V_2$ ，并且将选定位元线 SBL 的电压设定等于零，且其它非选定位元线  $BL_x$  与字元线  $WL_x$  上分别施加电压  $V_3$  与电压  $V_4$ 。其中，电压  $V_3$  与电压  $V_4$  小于电压  $V_2$ 。此时，施加于选定存储单元 SMC 的电压为  $V_2$ 。

以下系以表 3 说明利用偏压法，程序化选定存储单元 SMC，各个字元线与位元线所需施加的电压。

表 3

	程序化「1」	程序化「0」
选定位元线 SBL	0	0
非选定位元线 $BL_x$	$0 \leq V_3 \leq V_{pl}$	$0 \leq V_3 \leq V_{ph}$
选定字元线 WL	$V_{pl}$	$V_{ph}$
非选定字元线 $WL_x$	$0 \leq V_4 \leq V_{pl}$	$0 \leq V_4 \leq V_{ph}$

$V_{pl}$ : 较低的程序化电压( $V_2$ )

$V_{ph}$ : 较高的程序化电压( $V_2$ )

在一较佳实施例中，上述的偏压法例如是  $V/2$  偏压法。其系假设电压  $V_2$  为  $E_1$  时，则电压  $V_3$  与电压  $V_4$  系设定为  $E_1/2$  (如图 8 所示)。此时，施加于选定存储单元 SMC 的电压为  $E_1$ ，而其它位于选定位元线 SBL 与选定字元线 SWL 的非选定存储单元  $MC_x$ ，仅会受到  $E_1/2$  电压的影响。如此将可以有效改善漏电流的问题。

以下以表 4 说明利用  $V/2$  偏压法，程序化选定存储单元 SMC，各个

字元线与位元线所需施加的电压。

表 4

	程序化「1」	程序化「0」
选定位元线 SBL	0	0
非选定位元线 $BL_x$	$V_{pl}/2$	$V_{ph}/2$
选定字元线 WL	$V_{pl}$	$V_{ph}$
非选定字元线 $WL_x$	$V_{pl}/2$	$V_{ph}/2$

$V_{pl}$ : 较低的程序化电压( $E_1$ )

$V_{ph}$ : 较高的程序化电压( $E_1$ )

在另一较佳实施例中。上述的偏压法例如是 V/3 偏压法。其系假设电压  $V_2$  为  $E_2$  时，则电压  $V_3$  与电压  $V_4$  分别设定为  $2E_2/3$  与  $E_2/3V$ (如图 9 所示)。此时，施加于选定存储单元 SMC 的电压为  $E_2$ ，而其它位于选定位元线 SBL 与选定字元线 SWL 的非选定存储单元  $MC_x$ ，仅会受到  $E_2/3$  电压的影响。另外，其它位于非选定位元线  $BL_x$  与非选定字元线  $WL_x$  的非选定存储单元  $MC_x$ ，仅会受到  $-E_2/3$  电压的影响。如此将可以有效改善漏电流的问题。

以下系以表 5 说明利用 V/3 偏压法，程序化选定存储单元 SMC，各个字元线与位元线所需施加的电压。

表 5

	程序化「1」	程序化「0」
选定位元线 SBL	0	0
非选定位元线 $BL_x$	$2V_{pl}/3$	$2V_{ph}/3$
选定字元线 WL	$V_{pl}$	$V_{ph}$
非选定字元线 $WL_x$	$V_{pl}/3$	$V_{ph}/3$

$V_{pl}$ : 较低的程序化电压( $E_2$ )

$V_{ph}$ : 较高的程序化电压( $E_2$ )

由于本发明作为导向单元的薄膜，相较公知的晶体管，在小尺寸下仍可承受高电流，因此可以有效解决存储单元微缩受到限制的问题。

综上所述，本发明至少具有下面的优点：

1.由于本发明的非易失性存储单元由二层薄膜所构成，且此二膜层系分别作为导向单元与存储单元之用。此非易失性存储单元的尺寸可以缩小，从而组件集成度可以提升。

2.由于本发明以两层可相变化的薄膜分别作为导向单元与存储单元，因此相较于公知需将晶体管等导向单元与存储单元的工艺相互整合，本发明的工艺亦较为简单。

3.本发明的非易失性存储器可嵌入逻辑电路中，以形成系统单芯片(System on a chip, SOC)。另外，此非易失性存储器具有较大的程序化与读取的速度。而且，本发明的非易失性存储器其程序化电压(小于 5V)亦小于闪存(~10V)。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，



---

任何熟习此技术的人员，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视权利要求所界定的范围为准。

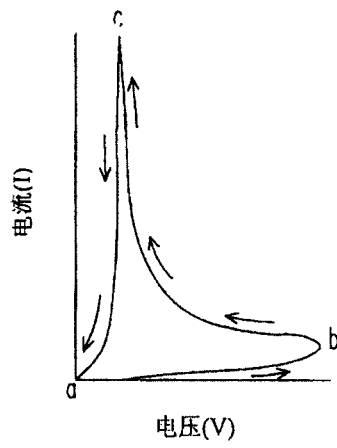


图 1A

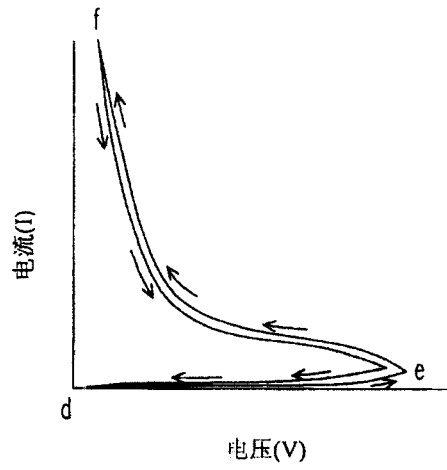


图 1B

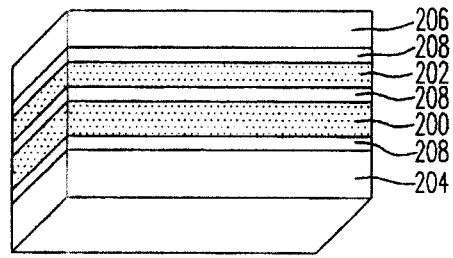


图 2

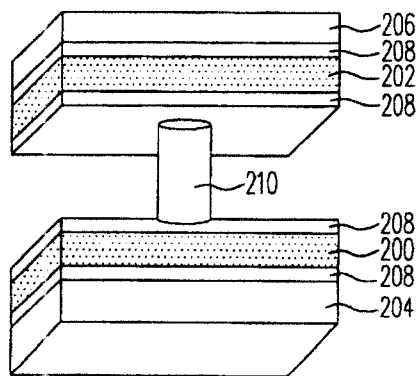


图 3

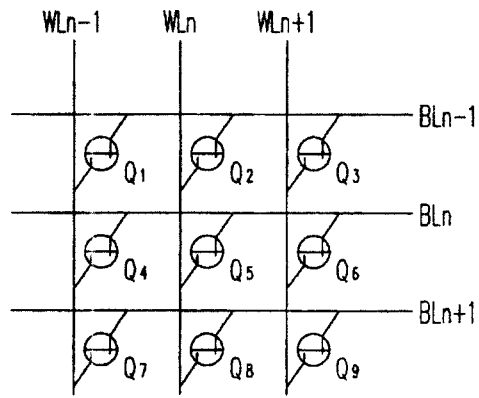


图 4

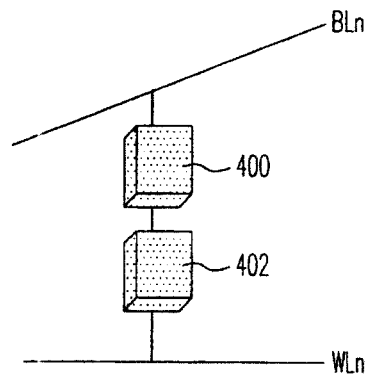


图 5

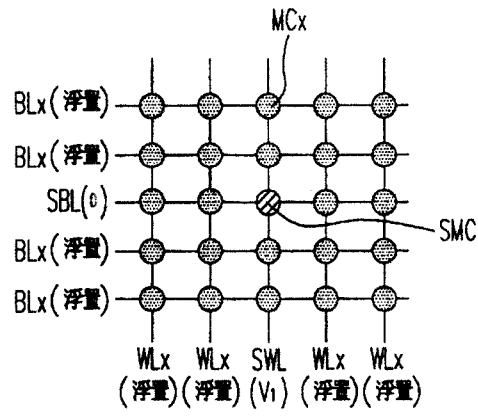


图 6

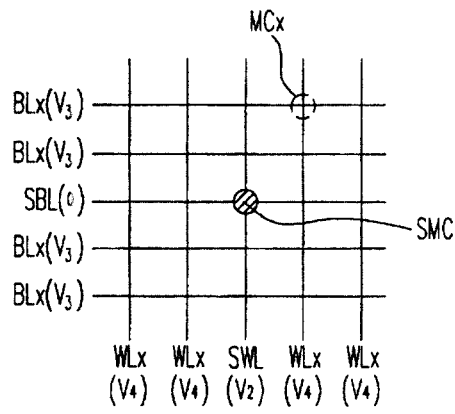


图 7

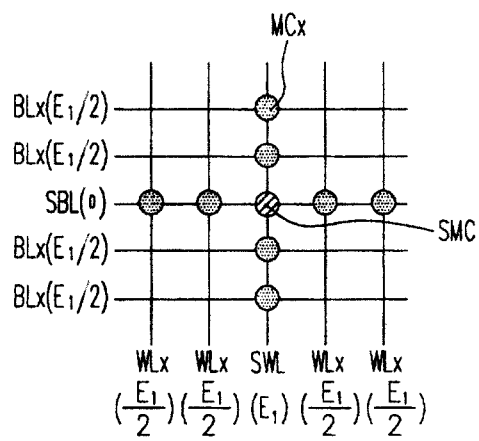


图 8

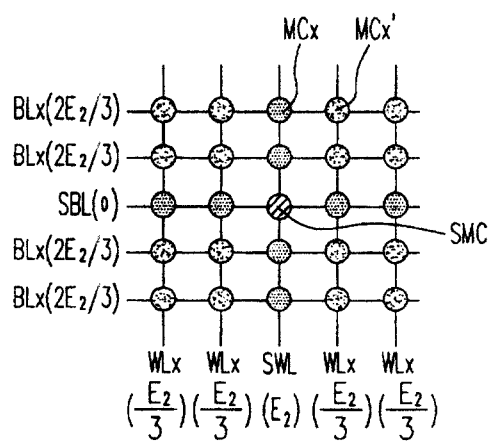


图 9