

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-283895
(P2010-283895A)

(43) 公開日 平成22年12月16日 (2010. 12. 16)

(51) Int.Cl. F I テーマコード (参考)
HO4N 7/01 (2006.01) HO4N 7/01 Z 5C063

審査請求 有 請求項の数 7 O L (全 24 頁)

(21) 出願番号 特願2010-213153 (P2010-213153)
 (22) 出願日 平成22年9月24日 (2010. 9. 24)
 (62) 分割の表示 特願2008-217329 (P2008-217329)
 の分割
 原出願日 平成20年8月26日 (2008. 8. 26)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 官崎 慎一郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

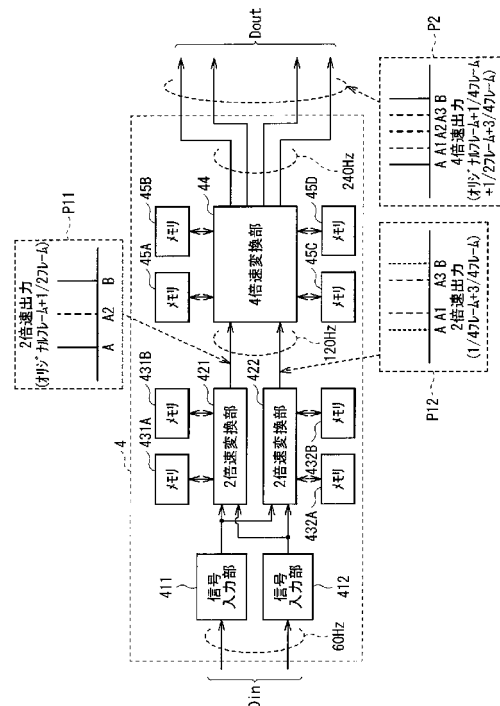
(54) 【発明の名称】 映像信号処理装置、画像表示装置および映像信号処理方法

(57) 【要約】

【課題】 製造コストを抑えつつ、入力映像信号に対する4倍速のフレームレート変換を行うことが可能な映像信号処理装置を提供する。

【解決手段】 映像信号Dinに対する2倍速のフレームレート変換を、2つの経路でそれぞれ別個に行ったのち、映像信号Dinに対する4倍速のフレームレート変換を行う。これにより、映像信号Dinに対して4倍速のフレームレート変換を直接行う場合と比べ、簡易な構成により4倍速のフレームレート変換が実現される。また、Hカウンタ442AおよびVカウンタ442Bの値に応じて、リードアドレスが随時切り替わるようにするのが好ましい。この場合、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような映像信号Doutの生成が可能となる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

オリジナルフレームからなる入力映像信号の、互いに隣り合う2つのオリジナルフレームの間に、動き補償を用いた補間処理により前記2つのオリジナルフレームから生成した第1ないし第3の補間フレームを追加挿入することによって、前記入力映像信号に対して4倍速のフレームレート変換を行い、前記オリジナルフレームと前記第1ないし第3の補間フレームとからなる出力映像信号を出力する4倍速変換部と、

前記出力映像信号に基づく表示映像における水平方向の画素位置をカウントする水平カウンタと、

前記表示映像における垂直方向の画素位置をカウントする垂直カウンタと、

10

前記水平カウンタおよび前記垂直カウンタの値に応じて、前記オリジナルフレームに対応する補間位置パラメータと、前記第1ないし第3の補間フレームに対応する補間位置パラメータとからなる4つの補間位置パラメータのうちの1つを選択すると共に、随時切り替えて前記4倍速変換部へ出力するパラメータ切替部と

を備えた映像信号処理装置。

【請求項 2】

前記パラメータ切替部は、

前記水平カウンタの値が所定の閾値未満のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.25, 0.5, 0.75の順で周期的に切り替わるように選択的に出力し、

20

前記水平カウンタの値が前記閾値以上のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.5の順で周期的に切り替わるように選択的に出力する

請求項1に記載の映像信号処理装置。

【請求項 3】

前記パラメータ切替部は、

前記水平カウンタの値が所定の第1閾値未満のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.25, 0.5, 0.75の順で周期的に切り替わるように選択的に出力し、

30

前記水平カウンタの値が前記第1閾値以上かつ所定の第2閾値未満のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.5の順で周期的に切り替わるように選択的に出力し、

前記水平カウンタの値が前記第2閾値以上のときには、前記垂直カウンタの値によらずに、前記補間位置パラメータの値として0を出力する

請求項1に記載の映像信号処理装置。

【請求項 4】

前記パラメータ切替部は、

前記水平カウンタの値が所定の閾値未満のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.5の順で周期的に切り替わるように選択的に出力し、

40

前記水平カウンタの値が前記閾値以上のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.25, 0.5, 0.75の順で周期的に切り替わるように選択的に出力する

請求項1に記載の映像信号処理装置。

【請求項 5】

前記パラメータ切替部は、

前記水平カウンタの値が所定の第1閾値未満のときには、前記垂直カウンタの値によらずに、前記補間位置パラメータの値として0を出力し、

前記水平カウンタの値が前記第1閾値以上かつ所定の第2閾値未満のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.5の順で周期

50

的に切り替わるように選択的に出力し、

前記水平カウンタの値が前記第 2 閾値以上のときには、前記垂直カウンタの値の増加に応じて、前記補間位置パラメータの値が、0, 0.25, 0.5, 0.75 の順で周期的に切り替わるように選択的に出力する

請求項 1 に記載の映像信号処理装置。

【請求項 6】

オリジナルフレームからなる入力映像信号の、互いに隣り合う 2 つのオリジナルフレームの間に、動き補償を用いた補間処理により前記 2 つのオリジナルフレームから生成した第 1 ないし第 3 の補間フレームを追加挿入することによって、前記入力映像信号に対して 4 倍速のフレームレート変換を行い、前記オリジナルフレームと前記第 1 ないし第 3 の補間フレームとからなる出力映像信号を出力する 4 倍速変換部と、

前記出力映像信号に基づく表示映像における水平方向の画素位置をカウントする水平カウンタと、

前記表示映像における垂直方向の画素位置をカウントする垂直カウンタと、

前記水平カウンタおよび前記垂直カウンタの値に応じて、前記オリジナルフレームに対応する補間位置パラメータと、前記第 1 ないし第 3 の補間フレームに対応する補間位置パラメータとからなる 4 つの補間位置パラメータのうちの一つを選択すると共に、随時切り替えて前記 4 倍速変換部へ出力するパラメータ切替部と、

前記 4 倍速変換部から出力される出力映像信号に基づいて映像表示を行う表示部とを備えた画像表示装置。

【請求項 7】

オリジナルフレームからなる入力映像信号の、互いに隣り合う 2 つのオリジナルフレームの間に、動き補償を用いた補間処理により前記 2 つのオリジナルフレームから生成した第 1 ないし第 3 の補間フレームを追加挿入することによって、前記入力映像信号に対して 4 倍速のフレームレート変換を行い、前記オリジナルフレームと前記第 1 ないし第 3 の補間フレームとからなる出力映像信号を出力し、

前記出力映像信号に基づく表示映像における水平方向の画素位置をカウントする水平カウンタの値と、前記表示映像における垂直方向の画素位置をカウントする垂直カウンタの値とに応じて、前記オリジナルフレームに対応する補間位置パラメータと、前記第 1 ないし第 3 の補間フレームに対応する補間位置パラメータとからなる 4 つの補間位置パラメータのうちの一つを選択すると共に随時切り替えて出力し、

選択出力した補間位置パラメータを、前記 4 倍速のフレームレート変換の際に用いる映像信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動き補償を用いて映像信号のフレームレート変換を行う映像信号処理装置および映像信号処理方法、ならびにそのような映像信号処理装置を備えた画像表示装置に関する。

【背景技術】

【0002】

テレビジョン受信機や DVD (Digital Versatile Disk) プレーヤー等における画質向上のための映像信号処理の一つに、動き補償を用いたフレームレート変換が存在する。

【0003】

このフレームレート変換の原理について、テレビジョン放送用のカメラで撮影された映像信号(以下、カメラ信号と呼ぶ)を例に挙げて、図 11 ~ 図 13 を用いて説明する。

【0004】

図 11 (A) は、NTSC (National Television System Committee) 方式のカメラ信号のオリジナルのフレーム A, B, C, D を示している。このカメラ信号のフレームレートを、60 Hz (ノーマル速) から 120 Hz (2 倍速) に変換する場合、図 11 (B)

10

20

30

40

50

に示したようになる。すなわち、隣り合うオリジナルフレーム（フレーム A およびフレーム B や、フレーム B およびフレーム C や、フレーム C およびフレーム D ）の間に、 $1/120$ sec のタイミングで 1 つずつ補間フレームが追加されるようになっている。

【0005】

また、このカメラ信号のフレームレートを、 60 Hz（ノーマル速）から 240 Hz（4 倍速）に変換する場合、図 12（A）、図 12（B）に示すようになる。すなわち、隣り合うオリジナルフレーム（フレーム A およびフレーム B や、フレーム B およびフレーム C や、フレーム C およびフレーム D ）の間に、 $1/240$ sec のタイミングで 3 つずつ補間フレームが追加されるようになっている。

【0006】

ここで、各補間フレームは、前後のオリジナルフレームの映像を補間することによって作成される。この補間は、各補間フレームでの映像の補間位置のパラメータと、前後のオリジナルフレーム間の動きベクトルとに基づいて行われる。具体的には、これらに基づいて補間フレームの画素値を計算するために用いる前後のオリジナルフレームの画素のアドレスを計算した後、それらのアドレスの画素値を、補間位置に応じて重み付けするという方法で行われるようになっている。

【0007】

こうしたフレームレート変換には、例えば図 13（A）～図 13（C）に示したように、カメラ信号における動きぼけを解消する効果や、フィルム信号におけるジャダー（映像の動きのがくつき）を削減する効果がある。具体的には、まず、図 13（A）に示した従来の映像（1 秒間に 60 コマ；ノーマル速）では、最初の映像 A と次の映像 B との差が大きいため、残像として目に残ってしまう。これに対し、図 13（B）に示した 2 倍速の映像（1 秒間に 120 コマ）では、映像 A、B 間（中間位置；補間位置 = 「0.5」）に 1 つの補間映像 A2 が挿入されて映像が 2 倍となるため、ノーマル速の映像と比べて残像感が低減される。さらに、図 13（C）に示した 4 倍速の映像（1 秒間に 240 コマ）では、映像 A、B 間（補間位置 = 「0.25」, 「0.5」, 「0.75」）に 3 つの補間映像 A1 ~ A3 が挿入され、映像が 4 倍となる。これにより、2 倍速の映像と比べてさらに残像感が低減され、残像感がほとんど目に残らないようになっている。

【0008】

なお、このようなフレームレート変換に関する技術としては、例えば特許文献 1 において提案されたものが挙げられる。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2003 - 189257 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、図 12、図 13 に示したような 4 倍速のフレームレート変換を行う際に、1 つの半導体チップ（LSI；Large Scale Integration）によって、ノーマル速（ 60 Hz）の入力映像信号に対して、4 倍速のフレームレート変換を直接行う場合、そのような半導体チップの製造コストが高くなってしまうことが考えられる。したがって、製造コストを抑えつつ、入力映像信号に対する 4 倍速のフレームレート変換を実現することが望まれる。

【0011】

また、図 11 ~ 図 13 に示したような 2 倍速や 4 倍速による表示映像と、ノーマル速の表示映像との間の表示画質の差（例えば、残像感の低減効果の差）を消費者に対して効果的に実感させて製品販売を促進させることを目的として、店頭などにおいて、いわゆるデモモードによる映像表示が行われる場合がある。

【0012】

10

20

30

40

50

具体的には、例えば2倍速のTVセットにおける、2倍速による表示映像とノーマル速の表示映像との表示画質の差を実感させるためのデモモードは、例えば図14(A)に示したようにして行われる。すなわち、まず、表示パネル(表示画面)170を、消費者から見て左側の画面(左画面)170Lと、消費者から見て右側の画面(右画面)170Rとに分割する。そして、左画面170Lを2倍速による表示映像とすると共に右画面170Rをノーマル速による表示映像として、動きテロップや水平のカメラパンなどによって、動きボケに対する効果の差(残像感の低減効果の差)を消費者に実感させるようになっている。この場合、右画面170Rでは、部分的に動き補償機能をオフとすることにより、部分的なノーマル速による表示映像を実現している。

【0013】

10

一方、図14(B)は、例えば4倍速のTVセットにおけるデモモードの一例を表したものである。このデモモードでは、左画面170Lを4倍速による表示映像とすると共に右画面170Rをノーマル速による表示映像として、動きテロップや水平のカメラパンなどによって、動きボケに対する4倍速の効果(残像感の低減効果)を消費者に実感させるようになっている。この場合も、右画面170Rでは、部分的に動き補償機能をオフとすることにより、部分的なノーマル速による表示映像を実現している。

【0014】

ところが、この図14(B)に示したデモモードでは、消費者は、4倍速による表示映像とノーマル速による表示映像との間の表示画質の差を確認することはできるものの、2倍速による表示映像と4倍速による表示映像と間の表示画質の差分を確認することはできない。したがって、このようなデモモードでは、従来から販売されている2倍速のTVセットに対する4倍速のTVセットの優位性を、消費者に十分にアピールすることができないことになる。

20

【0015】

本発明はかかる問題点に鑑みてなされたもので、その目的は、2倍速による表示映像と4倍速による表示映像との間の表示画質の差を効果的に実感させることが可能な出力映像信号を生成する映像信号処理装置、画像表示装置および映像信号処理方法を提供することにある。

【課題を解決するための手段】

【0016】

30

本発明の映像信号処理装置は、オリジナルフレームからなる入力映像信号の、互いに隣り合う2つのオリジナルフレームの間に、動き補償を用いた補間処理により2つのオリジナルフレームから生成した第1ないし第3の補間フレームを追加挿入することによって、入力映像信号に対して4倍速のフレームレート変換を行い、オリジナルフレームと第1ないし第3の補間フレームとからなる出力映像信号を出力する4倍速変換部と、出力映像信号に基づく表示映像における水平方向の画素位置をカウントする水平カウンタと、上記表示映像における垂直方向の画素位置をカウントする垂直カウンタと、これら水平カウンタおよび垂直カウンタの値に応じて、オリジナルフレームに対応する補間位置パラメータと、第1ないし第3の補間フレームに対応する補間位置パラメータとからなる4つの補間位置パラメータのうちの1つを選択すると共に、随時切り替えて上記4倍速変換部へ出力するパラメータ切替部とを備えたものである。

40

【0017】

本発明の画像表示装置は、上記映像信号処理装置と、上記4倍速変換部から出力される出力映像信号に基づいて映像表示を行う表示部とを備えたものである。

【0018】

本発明の映像信号処理方法は、オリジナルフレームからなる入力映像信号の、互いに隣り合う2つのオリジナルフレームの間に、動き補償を用いた補間処理により2つのオリジナルフレームから生成した第1ないし第3の補間フレームを追加挿入することによって、入力映像信号に対して4倍速のフレームレート変換を行い、オリジナルフレームと第1ないし第3の補間フレームとからなる出力映像信号を出力し、この出力映像信号に基づく表

50

示映像における水平方向の画素位置をカウントする水平カウンタの値と、上記表示映像における垂直方向の画素位置をカウントする垂直カウンタの値とに応じて、オリジナルフレームに対応する補間位置パラメータと、第1ないし第3の補間フレームに対応する補間位置パラメータとからなる4つの補間位置パラメータのうちの1つを選択すると共に随時切り替えて出力し、選択出力した補間位置パラメータを、上記4倍速のフレームレート変換の際に用いるようにしたものである。

【0019】

本発明の映像信号処理装置、画像表示装置および映像信号処理方法では、入力映像信号の互いに隣り合う2つのオリジナルフレームの間に、動き補償を用いた補間処理により2つのオリジナルフレームから生成した第1ないし第3の補間フレームが追加挿入されることにより入力映像信号に対して4倍速のフレームレート変換が行われ、オリジナルフレームと第1ないし第3の補間フレームとからなる出力映像信号が出力される。また、水平カウンタおよび垂直カウンタの値に応じて、オリジナルフレームに対応する補間位置パラメータと、第1ないし第3の補間フレームに対応する補間位置パラメータとからなる4つの補間位置パラメータのうちの1つが選択されると共に、随時切り替えて出力され、4倍速のフレームレート変換の際に用いられる。このようにして、水平カウンタおよび垂直カウンタの値に応じて、4つの補間位置パラメータのうちの1つが選択されると共に随時切り替えて出力されることにより、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような出力映像信号の生成が可能となる。

10

【発明の効果】

20

【0020】

本発明の映像信号処理装置、画像表示装置および映像信号処理方法によれば、入力映像信号に対して4倍速のフレームレート変換を行い、オリジナルフレームと第1ないし第3の補間フレームとからなる出力映像信号を出力すると共に、水平カウンタおよび垂直カウンタの値に応じて、4つの補間位置パラメータのうちの1つを選択して随時切り替えて出力するようにしたので、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような出力映像信号の生成が可能となる。よって、2倍速による表示映像と4倍速による表示映像との間の表示画質の差を効果的に実感させることが可能な出力映像信号を生成することができる。

【図面の簡単な説明】

30

【0021】

【図1】本発明の第1の実施の形態に係る画像表示装置の構成例を表すブロック図である。

【図2】第1の実施の形態に係る映像信号処理装置の構成例を表すブロック図である。

【図3】図2に示した4倍速変換部およびメモリの詳細動作を説明するためのブロック図である。

【図4】第1の実施の形態に係るデモモードの一例を説明するための図である。

【図5】図2に示した2倍速変換部および4倍速変換部による黒挿入処理の実現例を説明するためのブロック図である。

【図6】第2の実施の形態に係る映像信号処理装置の構成例を表すブロック図である。

40

【図7】図6に示したインタポレータでのアドレス計算の原理を説明するための図である。

【図8】図6に示したCPUが供給する補間位置パラメータについて説明するための図である。

【図9】第2の実施の形態に係るデモモードの一例を説明するための図である。

【図10】本発明が適用される映像信号処理装置の全部または一部分のハードウェア構成の一例を表すブロック図である。

【図11】カメラ信号のフレームレート変換(2倍速変換)の原理及び補間位置について説明するためのタイミング図である。

【図12】カメラ信号のフレームレート変換(4倍速変換)の原理及び補間位置について

50

説明するためのタイミング図である。

【図 1 3】ノーマル速、2 倍速および 4 倍速の映像と残像感との関係について説明するためのタイミング図である。

【図 1 4】2 倍速または 4 倍速の映像表示の際のデモモードの一例について説明するための図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (2 倍速および 4 倍速のフレームレート変換の組み合わせの例)
2. 第 2 の実施の形態 (4 倍速のフレームレート変換を直接行う場合の例)
3. 変形例

10

【0023】

< 1. 第 1 の実施の形態 >

[画像表示装置全体の構成例]

図 1 は、本発明の第 1 の実施の形態に係る画像表示装置 (液晶表示装置 7) の構成例を表すものである。この液晶表示装置 7 は、本発明の第 1 の実施の形態に係る映像信号処理装置 (映像信号処理装置 4) により映像信号処理がなされた後の映像信号に基づいて映像表示を行うものであり、ホールド型の表示装置である。具体的には、液晶表示装置 7 は、映像信号処理装置 4 と、液晶表示パネル 70 と、バックライト駆動部 71 と、バックライ

20

【0024】

映像信号処理装置 4 は、図示しないチューナ、デコーダ等での選局、デコード等の処理を経た映像信号 Din (デジタルコンポーネント信号 YUV) に対して後述する映像信号処理を行うことにより、映像信号 Dout を生成するものである。なお、この映像信号処理装置 4 の詳細構成および詳細動作については、後述する。

【0025】

バックライト 72 は、液晶表示パネル 70 に対して光を照射する光源であり、例えば C C F L (Cold Cathode Fluorescent Lamp) や発光ダイオード (LED: Light Emitting Diode) を含んで構成されている。

30

【0026】

液晶表示パネル 70 は、バックライト 72 からの照射光を、映像信号処理装置 4 から出力される映像信号 Dout に基づいて変調することにより、この映像信号 Dout に基づく映像表示を行うものである。この液晶表示パネル 70 は、透過型の液晶層 (図示せず) と、この液晶層を挟む一对の基板 (TFT 基板および対向電極基板; 図示せず) と、これら TFT 基板および対向電極基板における液晶層と反対側にそれぞれ積層された偏光板 (図示せず) とを含んで構成されている。

40

【0027】

データドライバ 75 は、液晶表示パネル 70 内の各画素電極へ映像信号に基づく駆動電圧を供給するものである。ゲートドライバ 74 は、液晶表示パネル 70 内の各画素電極を図示しない水平走査線に沿って線順次駆動するものである。タイミングコントローラ 73 は、映像信号処理装置 4 から供給される映像信号 Dout に基づき、データドライバ 75 およびゲートドライバ 74 を制御するものである。バックライト駆動部 71 は、映像信号処理装置 4 へ供給される映像信号 Din に基づき、バックライト 72 の点灯および消灯の動作を制御する (バックライト 72 の点灯駆動を行う) ものである。

【0028】

[映像信号処理装置の構成例]

次に、図 2 および図 3 を参照して、映像信号処理装置 4 の詳細構成について説明する。

50

図 2 は、この映像信号処理装置 4 のブロック構成を表したものである。

【 0 0 2 9 】

映像信号処理装置 4 は、映像信号 Din に対してフレームレート変換処理を行うことにより、4 倍速の映像信号である映像信号 Dout を生成するものである。この映像信号処理装置 4 は、2 つの信号入力部 4 1 1 , 4 1 2 と、2 つの 2 倍速変換部 4 2 1 , 4 2 2 と、2 対のメモリ 4 3 1 A , 4 3 1 B およびメモリ 4 3 2 A , 4 3 2 B と、1 つの 4 倍速変換部 4 4 と、4 つのメモリ 4 5 A ~ 4 5 D とを有している。

【 0 0 3 0 】

信号入力部 4 1 1 , 4 1 2 は、映像信号 Din (例えば、60 Hz の映像信号) を入力し、2 倍速変換部 4 2 1 , 4 2 2 へ供給するものである。

10

【 0 0 3 1 】

2 倍速変換部 4 2 1 (第 1 の 2 倍速変換部) は、2 つのメモリ 4 3 1 A , 4 3 1 B と共に、信号入力部 4 1 1 , 4 1 2 から供給される映像信号 Din に対して、動き補償を用いて 2 倍速のフレームレート変換を行うものである。具体的には、図中の符号 P 1 1 で示したように、オリジナルフレームに対応する映像信号 Din において、時間軸に沿って互いに隣り合うオリジナルフレーム A , B の間に、動き補償を用いてオリジナルフレーム A , B の映像を補間した補間フレーム A 2 (第 1 の補間フレーム) を追加することによって、2 倍速のフレームレート変換を行うようになっている。ここで、この補間フレーム A 2 は、オリジナルフレーム A , B 間において、補間位置が「0.5」である 1/2 補間フレームである。これにより、図中の符号 P 1 1 で示したように、オリジナルフレーム A および補間フレーム A 2 に対応する映像信号 (例えば、120 Hz の映像信号) が、4 倍速変換部 4 4 へそれぞれ出力されるようになっている。

20

【 0 0 3 2 】

2 倍速変換部 4 2 2 (第 2 の 2 倍速変換部) も同様に、2 つのメモリ 4 3 2 A , 4 3 2 B と共に、信号入力部 4 1 1 , 4 1 2 から供給される映像信号 Din に対して、動き補償を用いて 2 倍速のフレームレート変換を行うものである。具体的には、図中の符号 P 1 2 で示したように、オリジナルフレームに対応する映像信号 Din において、時間軸に沿って互いに隣り合うオリジナルフレーム A , B の間に、動き補償を用いてオリジナルフレーム A , B の映像を補間した補間フレーム A 1 (第 2 の補間フレーム) および補間フレーム A 3 (第 3 の補間フレーム) を追加することによって、2 倍速のフレームレート変換を行うようになっている。ここで、補間フレーム A 1 は、オリジナルフレーム A , B 間において、補間位置が「0.25」である 1/4 補間フレームである。また、補間フレーム A 3 は、オリジナルフレーム A , B 間において、補間位置が「0.75」である 3/4 補間フレームである。これにより、図中の符号 P 1 2 で示したように、補間フレーム A 1 , A 3 に対応する映像信号 (例えば、120 Hz の映像信号) が、4 倍速変換部 4 4 へそれぞれ出力されるようになっている。

30

【 0 0 3 3 】

4 倍速変換部 4 4 は、4 つのメモリ 4 5 A ~ 4 5 D (記憶部) と共に、2 倍速変換部 4 2 1 , 4 2 2 から供給されるオリジナルフレーム A および補間フレーム A 1 ~ A 3 に対応する映像信号に基づいて、動き補償を用いて映像信号 Din に対する 4 倍速のフレームレート変換を行うものである。具体的には、メモリ 4 5 A ~ 4 5 D は、オリジナルフレーム A に対応する映像信号 Din と、補間フレーム A 1 ~ A 3 に対応する補間映像信号 (第 1 ないし第 3 の補間映像信号) とを、それぞれ記憶するようになっている。そして、4 倍速変換部 4 4 は、メモリ 4 5 A ~ 4 5 D に記憶されている映像信号 Din と上記補間映像信号とを 4 倍速で順次読み出すことにより、映像信号 Din に対する 4 倍速のフレームレート変換を行うようになっている。これにより、図中の P 2 で示したように、オリジナルフレーム A に対応する映像信号 Din と、補間フレーム A 1 ~ A 3 に対応する補間映像信号とからなる映像信号 Dout (例えば、240 Hz の映像信号) が出力されるようになっている。

40

【 0 0 3 4 】

また、この 4 倍速変換部 4 4 は、例えば図 3 に示したように、入力 IF (インタフェー

50

ス)部441と、メモリコントローラ442と、データ分割部443と、出力IF(インタフェース)部444とを有している。

【0035】

入力IF部441は、2倍速変換部421,422から供給されるオリジナルフレームAおよび補間フレームA1~A3に対応する映像信号を入力して、メモリコントローラ442へ供給するものである。また、出力IF部444は、後述するデータ分割部443から供給される映像信号を入力すると共に、その映像信号を映像信号Doutとして出力するものである。

【0036】

メモリコントローラ442は、図3に示したように、4つのメモリ45A~45Dに対してデータ(映像信号)のアドレス(リードアドレスおよびライトアドレス)を供給すると共に、これらメモリ45A~45Dとの間でデータの入出力を行うものである。このメモリコントローラ442は、Hカウンタ442Aと、Vカウンタ442Bと、リードアドレス生成部442Cを含んで構成されている。

【0037】

Hカウンタ442Aは、映像信号Doutに基づく映像表示の際の有効表示画面(液晶表示パネル70上の有効表示画面)における水平方向(H方向)の画素数をカウントするものである。ここでは、このHカウンタ442Aによるカウント値は、図3に示したように、メモリ45A~45Dのサイズ(フレームメモリのサイズ)が(1920ピクセル×1080ライン)であるため、0~1919となる。

【0038】

Vカウンタ442Bは、上記有効表示画面における垂直方向(V方向)の画素数に対応するフレーム数をカウントするものである。ここでは、このVカウンタ442Bによるカウント値は、図3に示したように、オリジナルフレームAと補間フレームA1~A3(1/4フレームA1、1/2フレームA2および3/4フレームA3)とに対応する、0~3となる。

【0039】

リードアドレス生成部442Cは、Hカウンタ442AおよびVカウンタ442Bの値に応じて、メモリ45A~45Dから、オリジナルフレームAと補間フレームA1~A3とに対応する映像信号をそれぞれ読み出す際のリードアドレスを生成するものである。

【0040】

ここで、図3に示したように、メモリ45Aには、オリジナルフレームAに対応する映像信号Dinが記録されるようになっている。また、メモリ45Bには、1/2フレームA2に対応する補間映像信号が記録され、メモリ45Cには、1/4フレームA1に対応する補間映像信号が記録され、メモリ45Dには、3/4フレームA3に対応する補間映像信号が記録されるようになっている。すなわち、オリジナルフレームAと補間フレームA1~A3との4つのフレームが別々のメモリに格納され、ランダムに読み出しすることができる状態となっている。なお、詳細は後述するが、本実施の形態では、Hカウンタ442AおよびVカウンタ442Bの値に応じて、リードアドレス生成部442Cにより生成されるリードアドレスが、随時切り替わるようになっている。

【0041】

データ分割部443は、メモリコントローラ442から供給されるオリジナルフレームAと補間フレームA1~A3とに対応する映像信号を、例えばタイミングコントローラ73内の複数のコントローラごとに分割するものである。

【0042】

[動作説明]

次に、図1~図4を参照して、本実施の形態の液晶表示装置7の作用および効果について説明する。

【0043】

この液晶表示装置7では、図1に示したように、外部から供給された映像信号Dinが、

10

20

30

40

50

映像信号処理装置 4 においてフレームレート変換され、映像信号 D out が生成される。そしてこの映像信号 D out は、タイミングコントローラ 7 3 を介してデータドライバ 7 5 へ供給される。データドライバ 7 5 では、映像信号 D out に対する D / A 変換が施され、アナログ信号である映像信号が生成される。そしてこの映像信号に基づき、ゲートドライバ 7 4 およびデータドライバ 7 5 から出力される液晶表示パネル 7 0 内の各画素への駆動電圧によって、画素ごとに表示駆動動作がなされる。

【 0 0 4 4 】

すると、各画素では、バックライト 7 2 からの照明光が液晶表示パネル 7 0 において変調され、表示光として出力される。これにより、映像信号 D in に基づく映像表示が、液晶表示装置 7 において行われる。

10

【 0 0 4 5 】

この際、映像信号処理装置 4 では、図 2 に示したように、2 倍速変換部 4 2 1 およびメモリ 4 3 1 A , 4 3 1 B において、映像信号 D in に対して動き補償を用いた 2 倍速のフレームレート変換が行われ、オリジナルフレーム A および補間フレーム A 2 に対応する映像信号が、4 倍速変換部 4 4 へそれぞれ出力される。また、2 倍速変換部 4 2 2 およびメモリ 4 3 2 A , 4 3 2 B において、映像信号 D in に対して動き補償を用いた 2 倍速のフレームレート変換が行われ、補間フレーム A 1 , A 3 に対応する映像信号が、4 倍速変換部 4 4 へそれぞれ出力される。そして、オリジナルフレーム A に対応する映像信号 D in と補間フレーム A 1 ~ A 3 に対応する補間映像信号とが、それぞれメモリ 4 5 A ~ 4 5 D に記憶されると共に、4 倍速変換部 4 4 によって、これらの映像信号が 4 倍速で順次読み出される。これにより、4 倍速変換部 4 4 およびメモリ 4 5 A ~ 4 5 D において、映像信号 D in に対する動き補償を用いた 4 倍速のフレームレート変換が行われ、オリジナルフレーム A に対応する映像信号 D in と補間フレーム A 1 ~ A 3 に対応する補間映像信号とからなる映像信号 D out が生成される。

20

【 0 0 4 6 】

このようにして、映像信号 D in に対する 2 倍速のフレームレート変換が 2 つの経路でそれぞれ別個に行われたのち、この映像信号 D in に対する 4 倍速のフレームレート変換が行われることにより、映像信号 D in に対して 4 倍速のフレームレート変換を直接行う場合（例えば、後述する第 2 の実施の形態の映像信号処理装置 5 ）と比べ、簡易な構成により 4 倍速のフレームレート変換が実現される。

30

【 0 0 4 7 】

また、このとき、4 倍速変換部 4 4 およびメモリ 4 5 A ~ 4 5 D では、図 3 に示したように、オリジナルフレーム A と補間フレーム A 1 ~ A 3 との 4 つのフレームが別々のメモリに格納され、ランダムに読み出しすることができる状態となっている。そして、H カウンタ 4 4 2 A および V カウンタ 4 4 2 B の値に応じて、リードアドレス生成部 4 4 2 C により生成されるリードアドレスが、随時切り替わるようになっている。

【 0 0 4 8 】

これにより、本実施の形態では、例えば図 4 (A) ~ 図 4 (C) に示したように、4 倍速による表示映像と 2 倍速の表示映像との表示画質の差を実感させるためのデモモード（4 倍速による表示映像と 2 倍速による表示映像との同時表示のデモ画面）が実現される。なお、ここでは、ノーマル速の例として、6 0 H z または 5 0 H z の映像信号を、2 倍速の例として、1 2 0 H z または 1 0 0 H z の映像信号を、4 倍速の例として、2 4 0 H z または 2 0 0 H z の映像信号を挙げている。

40

【 0 0 4 9 】

具体的には、まず、例えば図 4 (A) に示したデモモードでは、液晶表示パネル（表示画面）7 0 が、消費者から見て左側の画面（左画面）7 0 L と、消費者から見て右側の画面（右画面）7 0 R とに分割されている。そして、左画面 7 0 L では 4 倍速による映像表示が行われると共に、右画面 7 0 R では 2 倍速による映像表示が行われ、動きテロップや水平のカメラパンなどが表示される。

【 0 0 5 0 】

50

このとき、リードアドレス生成部 442C は、例えば図 4 (C) 中の左側の表に示したような順序で、オリジナルフレーム A および補間フレーム A1 ~ A3 に対応する映像信号が周期的に読み出されるように、リードアドレスを生成する。具体的には、Hカウンタ 442A の値が所定の閾値 (960) 未満のとき (0 ~ 959 ; 左画面 70L) には、Vカウンタ 442B の値 (フレーム数) の増加に応じて、オリジナルフレーム A、1/4 フレーム A1、1/2 フレーム A2 および 3/4 フレーム A3 に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する (A A1 A2 A3)。一方、Hカウンタ 442A の値が上記閾値 (960) 以上のとき (960 ~ 1919 ; 右画面 70R) には、Vカウンタ 442B の値 (フレーム数) の増加に応じて、オリジナルフレーム A および 1/2 フレーム A2 に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する (A A A2 A2)。このようにして、1/4 フレームの位置および 3/4 フレームの位置において読み出される補間フレームの映像信号が、左画面 70L と右画面 70R とで切り替わることにより、4 倍速による表示映像と 2 倍速による表示映像との同時表示のデモ画面が実現される。

10

20

30

40

50

【0051】

また、例えば図 4 (B) に示したデモモードでは、液晶表示パネル (表示画面) 70 が、左画面 70L と、中央画面 70C と、右画面 70R とに分割されている。そして、左画面 70L では 4 倍速による映像表示が行われ、中央画面 70C では 2 倍速による映像表示が行われ、右画面 70R ではノーマル速による映像表示が行われ、動きテロップや水平のカメラパンなどが表示される。

【0052】

このとき、リードアドレス生成部 442C は、例えば図 4 (C) 中の右側の表に示したような順序で、オリジナルフレーム A および補間フレーム A1 ~ A3 に対応する映像信号が周期的に読み出されるように、リードアドレスを生成する。具体的には、Hカウンタ 442A の値が所定の第 1 閾値 (640) 未満のとき (0 ~ 639 ; 左画面 70L) には、Vカウンタ 442B の値 (フレーム数) の増加に応じて、オリジナルフレーム A、1/4 フレーム A1、1/2 フレーム A2 および 3/4 フレーム A3 に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する (A A1 A2 A3)。また、Hカウンタ 442A の値が上記第 1 閾値 (640) 以上かつ所定の第 2 閾値 (1280) 未満のとき (640 ~ 1279 ; 中央画面 70C) には、Vカウンタ 442B の値 (フレーム数) の増加に応じて、オリジナルフレーム A および 1/2 フレーム A2 に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する (A A A2 A2)。また、Hカウンタ 442A の値が上記第 2 閾値 (1280) 以上のとき (1280 ~ 1919 ; 右画面 70R) には、Vカウンタ 442B の値 (フレーム数) によらずに、オリジナルフレーム A に対応する映像信号 Din のみが読み出されるように、リードアドレスを生成する (A A A A)。このようにして、1/4、1/2、3/4 フレームの位置において読み出される補間フレームの映像信号が、左画面 70L、中央画面 70C および右画面 70R で切り替わることにより、4 倍速による表示映像と、2 倍速による表示映像と、ノーマル速による表示映像との同時表示のデモ画面が実現される。

【0053】

このように、本実施の形態では、図 4 (A)、(B) に示したように、Hカウンタ 442A および Vカウンタ 442B の値に応じてリードアドレスが随時切り替わることにより、図 14 (B) に示したデモモード (比較例) とは異なり、表示画面内において、2 倍速による表示映像と 4 倍速による表示映像とが同時に表示されるような映像信号 Dout の生成が可能となる。

【0054】

以上のように本実施の形態では、映像信号 Din に対する 2 倍速のフレームレート変換を 2 つの経路でそれぞれ別個に行ったのち、この映像信号 Din に対する 4 倍速のフレームレート変換を行うようにしたので、映像信号 Din に対して 4 倍速のフレームレート変換を直

接行う場合と比べ、簡易な構成により4倍速のフレームレート変換が実現される。よって、製造コストを抑えつつ、映像信号Dinに対する4倍速のフレームレート変換を行うことが可能となる。また、映像信号Dinに対して4倍速のフレームレート変換を直接行う場合と比べ、消費電力を抑えることも可能となる。

【0055】

また、Hカウンタ442AおよびVカウンタ442Bの値に応じて、リードアドレスが随時切り替わるようにしたので、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような映像信号Doutの生成が可能となる。よって、2倍速による表示映像と4倍速による表示映像との間の表示画質の差を効果的に実感させることが可能な出力映像信号を生成することができる。これにより、テロップや動きのある画面によって、店頭において、消費者に4倍速と2倍速との違いを実感してもらうことができ、4倍速のTVセットの販売促進に繋げることが可能となる。

【0056】

なお、本実施の形態の映像信号処理装置4では、例えば図5に示したように、2倍速変換部421, 422のうち的一方(ここでは、2倍速変換部422)が、黒表示に対応する映像信号(補間映像信号)を出力することにより、映像信号Doutにおいて黒挿入処理がなされるようにしてもよい。具体的には、ここでは、2倍速変換部421が、オリジナルフレームAおよび補間フレームA2に対応する通常表示の映像信号をそれぞれ出力している。そして、2倍速変換部422が、補間フレームA1, A3に対応する黒表示の映像信号をそれぞれ出力している。このように構成した場合、4倍速に対応する映像信号Dout(例えば、240Hzの映像信号)における黒挿入処理が実現され、ホールド型の表示パネルである液晶表示パネル70における映像表示の際のホールドボケを改善させることが可能となる。また、120Hzでの黒挿入処理の場合と比べ、フリッカを見えづらくすることも可能となる。

【0057】

< 2. 第2の実施の形態 >

[映像信号処理装置の構成例]

次に、本発明の第2の実施の形態について説明する。なお、上記第1の実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。本実施の形態では、メモリに格納された各フレーム信号を、一度に4倍速のスピードでPrev(1フレーム前のフレーム信号)およびSucc(現在のフレーム信号)を同時に読み出すと共に、後段でインタポレーション(Interpolation)を行い、4倍速の映像信号を生成するようになっている。すなわち、第1の実施の形態とは異なり、映像信号Dinに対して4倍速のフレームレート変換を直接行うようになっている。

【0058】

図6は、本実施の形態に係る映像信号処理装置(映像信号処理装置5)の構成例をブロック図で表したものである。映像信号処理装置5は、テレビジョン受信機(液晶表示装置7に対応)に内蔵されているものであり、図示しないチューナ, デコーダ等での選局, デコード等の処理を経た映像信号Din(デジタルコンポーネント信号YUV)が供給されるようになっている。なお、本発明の第2の実施の形態に係る映像信号処理方法は、本実施の形態の映像信号処理装置5によって具現化されるため、以下併せて説明する。

【0059】

映像信号処理装置5は、前処理部51と、メモリコントローラ52と、メモリ53と、動きベクトル検出部54と、補間部(4倍速変換部)55と、CPU(Central Processing Unit)56と、デコーダ57と、赤外線受光ユニット58と、補間位置パラメータ切替部59(パラメータ切替部)とを有している。この映像信号処理装置5は、映像信号Dinにおいて、時間軸に沿って互いに隣り合うオリジナルフレームA, Bの間に、動き補償を用いて補間フレームA1~A3をそれぞれ追加することにより、映像信号Dinに対して4倍速のフレームレート変換を行うものである。そして、これにより、オリジナルフレームAに対応する映像信号Dinと補間フレームA1~A3に対応する補間映像信号とからな

る映像信号 D out が生成されるようになっている。

【 0 0 6 0 】

映像信号処理装置 5 に供給されたデジタルコンポーネント信号 Y U V は、前処理部 5 1 に入力するとともに、メモリコントローラ 5 2 を介してメモリ 5 3 に順次書き込まれる。

【 0 0 6 1 】

前処理部 5 1 では、デジタルコンポーネント信号 Y U V から輝度信号 Y を分離する処理が行われる。前処理部 5 1 で分離された輝度信号 Y も、メモリコントローラ 5 2 を介してメモリ 5 3 に順次書き込まれる。

【 0 0 6 2 】

メモリ 5 3 に書き込まれた輝度信号 Y は、メモリコントローラ 5 2 によって順次読み出されて（同じオリジナルフレームが 2 回または 3 回繰り返されるフィルム信号の場合には、同じオリジナルフレームは 1 回だけ読み出されて）、動きベクトル検出部 5 4 に送られる。動きベクトル検出部 5 4 では、現在のフレームの輝度信号 Y とその前後のフレームの輝度信号 Y とを用いて、ブロックマッチングによる動きベクトル検出処理が行われる。

10

【 0 0 6 3 】

動きベクトル検出部 5 4 で検出された各フレームの動きベクトル $m v$ は、メモリコントローラ 5 2 を介してメモリ 5 3 に書き込まれた後、メモリ 5 3 から読み出されて、次のフレームの動きベクトル検出での参照用に再び動きベクトル検出部 5 4 に送られる。

【 0 0 6 4 】

また、メモリコントローラ 5 2 は、メモリ 5 3 に書き込んだデジタルコンポーネント信号 Y U V を、4 倍速で、互いに 1 フレーム分ずつずらして 4 系統分読み出す（同じオリジナルフレームが 2 回または 3 回繰り返されるフィルム信号の場合には、同じオリジナルフレームは 1 回だけ読み出す）。さらに、メモリコントローラ 5 2 は、この 2 つのフレームの間の動きを表す動きベクトル $m v$ を、4 倍速で読み出す。こうして読み出された 4 系統のデジタルコンポーネント信号 4 Y U V と動きベクトル $m v$ とは、補間部 5 5 に送られる。

20

【 0 0 6 5 】

補間部 5 5 には、4 系統（2 系統 × 2）分のサーチレンジメモリ 5 5 1, 5 5 2 と、インタポレータ 5 5 3 とが設けられている。メモリコントローラ 5 2 からの 4 系統のデジタルコンポーネント信号 4 Y U V は、サーチレンジメモリ 5 5 1, 5 5 2 に 2 系統ずつ書き込まれる。メモリコントローラ 5 2 からの動きベクトル $m v$ は、インタポレータ 5 5 3 に入力する。

30

【 0 0 6 6 】

また、CPU 5 6 からは、デモモード切替信号 Demo_mode と、補間フレームでの映像の補間位置を示す補間位置パラメータ Relpos_C_0 ~ Relpos_C_3 とが、シリアルバスである I²C バス 5 0 と、シリアル信号をパラレル変換するデコーダ 5 7 とを介して、補間位置パラメータ切替部 5 9 へ供給される。なお、補間位置パラメータ Relpos の詳細については、後述する。

【 0 0 6 7 】

補間位置パラメータ切替部 5 9 は、H カウンタ 5 9 1 と、V カウンタ 5 9 2 と、S W（スイッチ）5 9 3 とを有している。

40

【 0 0 6 8 】

H カウンタ 5 9 1 は、映像信号 D out に基づく映像表示の際の有効表示画面（液晶表示パネル 7 0 上の有効表示画面）における水平方向（H 方向）の画素数をカウントするものである。ここでは、この H カウンタ 5 9 1 によるカウント値は、第 1 の実施の形態の H カウンタ 4 4 2 A と同様に、0 ~ 1 9 1 9 であるとする。

【 0 0 6 9 】

V カウンタ 5 9 2 は、上記有効表示画面における垂直方向（V 方向）の画素数に対応するフレーム数をカウントするものである。ここでは、この V カウンタ 5 9 2 によるカウント値は、第 1 の実施の形態の V カウンタ 4 4 2 B と同様に、0 ~ 3 であるとする。

50

【 0 0 7 0 】

S W 5 9 3 は、Hカウンタ 5 9 1 および Vカウンタ 5 9 2 の値に応じて、オリジナルフレーム A に対応する補間位置パラメータ (Relpos_C_0) と、補間フレーム A 1 ~ A 3 に対応する補間位置パラメータ (Relpos_C_1 ~ Relpos_C_3) とからなる 4 つの補間位置パラメータ (Relpos_C_0 ~ Relpos_C_3) のうち、1 つを選択して出力するものである。また、このような補間位置パラメータの選択は、デモモード切替信号 Demo__mode の値に応じて、随時切り換えることが可能となっている。このようにして選択された補間位置パラメータは、補間位置パラメータ Relpos として、補間部 5 5 内のインタポレータ 5 5 3 へ出力されるようになっている。なお、デモモード切替信号 Demo__mode の値は、例えばリモートコントローラ 5 0 0 によって、赤外線受光ユニット 5 8 を介して設定することができるようになっている。

10

【 0 0 7 1 】

インタポレータ 5 5 3 は、動きベクトル $m v$ と、補間位置パラメータ切替部 5 9 から供給される補間位置パラメータ Relpos とに基づいて、所定のアドレス計算を行うものである。具体的には、これら動きベクトル $m v$ および補間位置パラメータ Relpos に基づいて、補間フレームの画素値を計算するために用いるサーチレンジメモリ 5 5 1, 5 5 2 内のオリジナルフレームの画素のアドレスを計算するようになっている。なお、メモリコントローラ 5 2 とインタポレータ 5 5 3 との間に、検出された動きベクトル $m v$ からより正確なベクトルを求めるモジュール (図示せず) を設けるようにしてもよい。

20

【 0 0 7 2 】

ここで、図 7 は、インタポレータ 5 5 3 によるアドレス計算の原理を概念的に表したものである。

【 0 0 7 3 】

図 7 において、 $n - 1$ は、サーチレンジメモリ 5 5 1, 5 5 2 内に書き込まれた 1 フレーム分ずれた 2 つのオリジナルフレームのうち、時間的に早いほうのオリジナルフレームの各画素のアドレス (画面上での x 方向及び y 方向の位置) を縦軸方向に表している。また、 n は、この 2 つのオリジナルフレームのうち、時間的に遅いほうのオリジナルフレームの各画素のアドレスを縦軸方向に表している。

【 0 0 7 4 】

i は、補間フレームの各画素のアドレスを縦軸方向に表している。横軸は時間であり、オリジナルフレーム $n - 1$, n の間での補間フレーム i のタイミング (ここでは、一例として、図 1 2 (B) での 3 つの補間フレームのうちの中央の補間フレームに相当するタイミング) を表している。また、Relpos は、補間フレーム i の作成のために供給された補間位置パラメータである。

30

【 0 0 7 5 】

$m v(x,y)int$ は、補間フレーム i のうち各画素のうち、現在作成しようとしている画素 (基準画素と呼ぶ) のアドレス (x , y) についてのオリジナルフレーム $n - 1$, n 間の動きベクトル $m v$ である。zeroPelPrev (x , y) は、オリジナルフレーム $n - 1$ での基準アドレス (x , y) の画素の値である。また、zeroPelSucc (x , y) は、オリジナルフレーム n での基準アドレス (x , y) の画素の値である。

40

【 0 0 7 6 】

インタポレータ 5 5 3 は、この基準アドレス (x , y) と、動きベクトル $m v(x,y)int$ の x 方向成分 $m v X$ と、動きベクトル $m v(x,y)int$ の y 方向成分 $m v Y$ と、補間位置パラメータ Relpos とに基づいて、画素のアドレスを求めるようになっている。具体的には、これらに基づいて、下記の計算式 (1) により、基準アドレス (x , y) の画素値を計算するために用いるオリジナルフレーム $n - 1$, n の画素のアドレスを求めるようになっている。

【 0 0 7 7 】

【数 1】

$$\begin{aligned}
 & \text{オリジナルフレーム } n-1 \text{ の画素のアドレス} \\
 & = (x + m v X \cdot \text{Relpos}, y + m v Y \cdot \text{Relpos}) \\
 & \text{オリジナルフレーム } n \text{ の画素のアドレス} \\
 & = (x - m v X \cdot (1 - \text{Relpos}), y - m v Y \cdot (1 - \text{Relpos})) \quad \dots (1)
 \end{aligned}$$

【0078】

また、インタポレータ 553 は、こうして求めたアドレスをサーチレンジメモリ 551 , 552 に送って、これらのアドレスの画素値 prev , succ を読み出すようになっている。そして、これらの画素値 prev , succ と補間位置パラメータ Relpos とを用いて、下記の計算式 (2) により、補間フレーム i の基準アドレス (x , y) の画素値 Out の計算を行うようになっている。

【0079】

【数 2】

$$\text{Out} = \text{prev} \cdot (1 - \text{Relpos}) + \text{succ} \cdot \text{Relpos} \quad \dots (2)$$

10

20

【0080】

こうした計算を、補間フレーム i の各画素について順次行う (基準アドレスの値 (x , y) を順次更新して行う) ことにより、補間フレーム i が作成されるようになっている。

【0081】

次に、CPU 56 から供給される補間位置パラメータ Relpos_C_0 ~ Relpos_C_3 について説明する。図 8 は、CPU 56 が供給する補間位置パラメータ Relpos_C_0 ~ Relpos_C_3 と、補間位置の設定値との関係を表したものである。

【0082】

図 8 に示したように、補間位置パラメータ Relpos_C_0 に対応する補間位置の設定値は、「0」(オリジナルフレーム A に対応) である。また、補間位置パラメータ Relpos_C_1 ~ Relpos_C_3 に対応する補間位置の設定値は、それぞれ、「0.25」, 「0.5」, 「0.75」(補間フレーム A 1 ~ A 3 に対応) である。

30

【0083】

[動作説明]

次に、図 6 ~ 図 9 を参照して、本実施の形態の映像信号処理装置 5 を備えた画像表示装置 (第 1 の実施の形態の液晶表示装置 7 に対応) の作用および効果について説明する。なお、画像表示装置全体の基本動作については、第 1 の実施の形態と同様であるため、説明を省略する。

【0084】

本実施の形態の映像信号処理装置 5 では、図 6 に示したように、映像信号 Din において、時間軸に沿って互いに隣り合うオリジナルフレーム A , B の間に、動き補償を用いて補間フレーム A 1 ~ A 3 がそれぞれ追加されることにより、映像信号 Din に対して 4 倍速のフレームレート変換が行われる。これにより、オリジナルフレーム A に対応する映像信号 Din と補間フレーム A 1 ~ A 3 に対応する補間映像信号とからなる映像信号 Dout が生成される。

40

【0085】

この際、補間位置パラメータ切替部 59 では、図 7 および図 8 に示したように、H カウンタ 591 および V カウンタ 592 の値に応じて、オリジナルフレーム A に対応する補間位置パラメータ (Relpos_C_0) と、補間フレーム A 1 ~ A 3 に対応する補間位置パラメータ (Relpos_C_1 ~ Relpos_C_3) とからなる 4 つの補間位置パラメータ (Relpos_C_0 ~ Relp

50

os_C_3)のうちの1つが選択されると共に随時切り替えて出力され、4倍速のフレームレート変換の際に用いられる。

【0086】

これにより、本実施の形態においても、例えば図9(A)~図9(C)に示したように、4倍速による表示映像と2倍速の表示映像との表示画質の差を実感させるためのデモモード(4倍速による表示映像と2倍速による表示映像との同時表示のデモ画面)が実現される。なお、ここでは、第1の実施の形態と同様に、ノーマル速の例として、60Hzまたは50Hzの映像信号を、2倍速の例として、120Hzまたは100Hzの映像信号を、4倍速の例として、240Hzまたは200Hzの映像信号を挙げている。

【0087】

具体的には、まず、例えば図9(A)に示したデモモードでは、液晶表示パネル(表示画面)70が、左画面70Lと右画面70Rとに分割されている。そして、左画面70Lでは4倍速による映像表示が行われると共に、右画面70Rでは2倍速による映像表示が行われ、動きテロップや水平のカメラパンなどが表示される。

【0088】

このとき、補間位置パラメータ切替部59は、例えば図9(C)中の左側の表に示したような順序で、補間位置パラメータRelpos_C_0~Relpos_C_3が周期的に切り替わるように、選択的に出力する。具体的には、Hカウンタ591の値が所定の閾値(960)未満のとき(0~959;左画面70L)には、Vカウンタ592の値(フレーム数)の増加に応じて、補間位置パラメータRelposの値が、「0」、「0.25」、「0.5」、「0.75」の順で周期的に切り替わるように、選択的に出力する(「0」、「0.25」、「0.5」、「0.75」)。一方、Hカウンタ591の値が上記閾値(960)以上のとき(960~1919;右画面70R)には、Vカウンタ592の値(フレーム数)の増加に応じて、補間位置パラメータRelposの値が、「0」、「0.5」の順で周期的に切り替わるように、選択的に出力する(「0」、「0」、「0.5」、「0.5」)。このようにして、Vカウンタ592の値=1,3のときの補間パラメータの値が、左画面70Lと右画面70Rとで切り替わることにより、4倍速による表示映像と2倍速による表示映像との同時表示のデモ画面が実現される。

【0089】

また、例えば図9(B)に示したデモモードでは、液晶表示パネル(表示画面)70が、左画面70Lと、中央画面70Cと、右画面70Rとに分割されている。そして、左画面70Lでは4倍速による映像表示が行われ、中央画面70Cでは2倍速による映像表示が行われ、右画面70Rではノーマル速による映像表示が行われ、動きテロップや水平のカメラパンなどが表示される。

【0090】

このとき、補間位置パラメータ切替部59は、例えば図9(C)中の右側の表に示したような順序で、補間位置パラメータRelpos_C_0~Relpos_C_3が周期的に切り替わるように、選択的に出力する。具体的には、Hカウンタ591の値が所定の第1閾値(640)未満のとき(0~639;左画面70L)には、Vカウンタ592の値(フレーム数)の増加に応じて、補間位置パラメータRelposの値が、「0」、「0.25」、「0.5」、「0.75」の順で周期的に切り替わるように、選択的に出力する(「0」、「0.25」、「0.5」、「0.75」)。また、Hカウンタ591の値が上記第1閾値(640)以上かつ所定の第2閾値(1280)未満のとき(640~1279;中央画面70C)には、Vカウンタ592の値(フレーム数)の増加に応じて、補間位置パラメータRelposの値が、「0」、「0.5」の順で周期的に切り替わるように、選択的に出力する(「0」、「0」、「0.5」、「0.5」)。また、Hカウンタ591の値が上記第2閾値(1280)以上のとき(1280~1919;右画面70R)には、Vカウンタ592の値(フレーム数)によらずに、補間位置パラメータRelposの値を「0」として出力する(「0」、「0」、「0」、「0」)。このようにして、Vカウンタ592の値=1~3のときの補間パラメータの値が、左画面70L、中央画面70Cおよび右画面70Rで切り

10

20

30

40

50

替わることにより、4倍速による表示映像と、2倍速による表示映像と、ノーマル速による表示映像との同時表示のデモ画面が実現される。

【0091】

このように、本実施の形態においても、図9(A)、(B)に示したように、Hカウンタ591およびVカウンタ592の値に応じて、4つの補間位置パラメータ(Relpos_C_0~Relpos_C_3)のうちの1つが選択されると共に随時切り替えて出力されることにより、第1の実施の形態と同様に、図14(B)に示したデモモード(比較例)とは異なり、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような映像信号Doutの生成が可能となる。

【0092】

以上のように本実施の形態では、映像信号Dinに対して4倍速のフレームレート変換を行い、映像信号Dinと補間映像信号とからなる映像信号Doutを出力すると共に、Hカウンタ591およびVカウンタ592の値に応じて、4つの補間位置パラメータ(Relpos_C_0~Relpos_C_3)のうちの1つを選択して随時切り替えて出力するようにしたので、表示画面内において、2倍速による表示映像と4倍速による表示映像とが同時に表示されるような映像信号Doutの生成が可能となる。よって、第1の実施の形態と同様に、2倍速による表示映像と4倍速による表示映像との間の表示画質の差を効果的に実感させることが可能な映像信号Doutを生成することができる。これにより、第1の実施の形態と同様に、テロップや動きのある画面によって、店頭において、消費者に4倍速と2倍速との違いを実感してもらうことができ、4倍速のTVセットの販売促進に繋げることが可能となる。

【0093】

また、映像信号Dinに対して4倍速のフレームレート変換を直接行うようにしたので、第1の実施の形態と比べてチップ面積を小さくすることができ、装置の小型化を図ることも可能となる。

【0094】

<3.変形例>

以上、第1および第2の実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、種々の変形が可能である。

【0095】

例えば、上記第1の実施の形態に示したデモモード(図4(A))において、逆に、左画面70Lにおいて2倍速の映像表示が行われると共に、右画面70Rにおいて4倍速の映像表示が行われるようにしてもよい。この場合、リードアドレス生成部442Cは、Hカウンタ442Aの値が所定の閾値(960)未満のとき(0~959;左画面70L)には、Vカウンタ442Bの値(フレーム数)の増加に応じて、オリジナルフレームAおよび1/2フレームA2に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する(A A A2 A2)。一方、Hカウンタ442Aの値が上記閾値(960)以上のとき(960~1919;右画面70R)には、Vカウンタ442Bの値(フレーム数)の増加に応じて、オリジナルフレームA、1/4フレームA1、1/2フレームA2および3/4フレームA3に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する(A A1 A2 A3)。

【0096】

また、上記第1の実施の形態に示したデモモード(図4(B))において、逆に、左画面70Lにおいて2倍速の映像表示が行われると共に、右画面70Rにおいて4倍速の映像表示が行われるようにしてもよい。この場合、リードアドレス生成部442Cは、Hカウンタ442Aの値が所定の第1閾値(640)未満のとき(0~639;左画面70L)には、Vカウンタ442Bの値(フレーム数)によらずに、オリジナルフレームAに対応する映像信号Dinのみが読み出されるように、リードアドレスを生成する(A A A A)。一方、Hカウンタ442Aの値が上記第2閾値(1280)以上のとき(1280~1919;右画面70R)には、Vカウンタ442Bの値(フレーム数)の増加に

10

20

30

40

50

じて、オリジナルフレーム A、1/4フレーム A 1、1/2フレーム A 2 および 3/4 フレーム A 3 に対応する映像信号がこの順で周期的に読み出されるように、リードアドレスを生成する (A A 1 A 2 A 3)。

【0097】

また、上記第2の実施の形態に示したデモモード (図9 (A)) において、逆に、左画面 70 L において2倍速の映像表示が行われると共に、右画面 70 R において4倍速の映像表示が行われるようにしてもよい。この場合、補間位置パラメータ切替部 59 は、Hカウンタ 591 の値が所定の閾値 (960) 未満のとき (0 ~ 959 ; 左画面 70 L) には、Vカウンタ 592 の値 (フレーム数) の増加に応じて、補間位置パラメータ Relpos の値が、「0」, 「0.5」の順で周期的に切り替わるように、選択的に出力する (「0」
「0」 「0.5」 「0.5」)。一方、Hカウンタ 591 の値が上記閾値 (960) 以上のとき (960 ~ 1919 ; 右画面 70 R) には、Vカウンタ 592 の値 (フレーム数) の増加に応じて、補間位置パラメータ Relpos の値が、「0」, 「0.25」, 「0.5」, 「0.75」の順で周期的に切り替わるように、選択的に出力する (「0」 「0.25」 「0.5」 「0.75」)。

10

【0098】

また、上記第2の実施の形態に示したデモモード (図9 (B)) において、逆に、左画面 70 L において2倍速の映像表示が行われると共に、右画面 70 R において4倍速の映像表示が行われるようにしてもよい。この場合、補間位置パラメータ切替部 59 は、Hカウンタ 591 の値が所定の第1閾値 (640) 未満のとき (0 ~ 639 ; 左画面 70 L) には、Vカウンタ 592 の値 (フレーム数) によらずに、補間位置パラメータ Relpos の値を「0」として出力する (「0」 「0」 「0」 「0」)。また、Hカウンタ 591 の値が上記第2閾値 (1280) 以上のとき (1280 ~ 1919 ; 右画面 70 R) には、Vカウンタ 592 の値 (フレーム数) の増加に応じて、補間位置パラメータ Relpos の値が、「0」, 「0.25」, 「0.5」, 「0.75」の順で周期的に切り替わるように、選択的に出力する (「0」 「0.25」 「0.5」 「0.75」)。

20

【0099】

また、上記実施の形態では、液晶表示パネル (表示画面) 70 を、左画面 70 L および右画面 70 R に分割するか、あるいは左画面 70 L、中央画面 70 C および右画面 70 R に分割する場合について説明したが、デモモードの際の表示画面 70 の分割方法は、これらの場合には限られない。すなわち、上記実施の形態のように、表示画面 70 を左右方向 (水平方向) に分割する場合には限られず、例えば、表示画面 70 を上下方向 (垂直方向) に分割したり、斜め方向に分割したりするようにしてもよい。これらの場合においても、表示画面内において、2倍速による表示映像と4倍速による表示映像とを同時に表示させることが可能である。ここで、例えば、表示画面 70 を、上画面 70 U および下画面 70 D に分割するか、あるいは上画面 70 U、中央画面 70 C および下画面 70 D に分割する場合 (上下方向 (垂直方向) に分割する場合) には、具体的には、以下のようにすればよい。すなわち、上記第1の実施の形態では、水平ライン数の値 (水平ラインの位置) と所定の閾値との大小関係に応じて、リードアドレス生成部 442 C により生成されるリードアドレスが、随時切り替わるようにすればよい。また、上記第2の実施の形態では、水平ライン数の値 (水平ラインの位置) と所定の閾値との大小関係に応じて、補間位置パラメータ切替部 59 が、4つの補間位置パラメータ (Relpos_C_0 ~ Relpos_C_3) のうちの1つを選択して随時切り替えて出力するようにすればよい。

30

40

【0100】

また、上記実施の形態では、画像表示装置の一例として液晶表示装置を挙げて説明したが、本発明の映像信号処理装置は、液晶表示装置以外の画像表示装置 (例えば、有機 EL 表示装置など) にも適用することが可能である。

【0101】

さらに、上記実施の形態で説明した一連の処理 (或いはそのうちの一部分の処理) は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもで

50

きる。

【0102】

この場合、上記実施の形態で説明した映像信号処理装置4、5、バックライト駆動部71およびタイミングコントローラ73の全体若しくはその一部分は、例えば、図10に示されるようなコンピュータで構成することができる。

【0103】

図10において、CPU(Central Processing Unit)101は、ROM(Read Only Memory)102に記録されているプログラム、または記憶部108からRAM(Random Access Memory)103にロードされたプログラムに従って各種の処理を実行する。RAM103にはまた、CPU101が各種の処理を実行する上において必要なデータなども適宜記憶される。

10

【0104】

CPU101、ROM102およびRAM103は、バス104を介して相互に接続されている。このバス104にはまた、入出力インタフェース105も接続されている。

【0105】

入出力インタフェース105には、キーボード、マウスなどよりなる入力部106、ディスプレイなどよりなる出力部107、ハードディスクなどより構成される記憶部108、および、モデム、ターミナルアダプタなどより構成される通信部109が接続されている。通信部109は、インターネットを含むネットワークを介して他の装置との通信処理を行う。

20

【0106】

入出力インタフェース105にはまた、必要に応じてドライブ110が接続され、磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどよりなるリムーバブルメディア111が適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部108にインストールされる。

【0107】

一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、ネットワークや記録媒体からインストールされる。

30

【0108】

このようなプログラムを含む記録媒体は、図10に示されるように、装置本体とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク(フロッピディスクを含む)、光ディスク(CD-ROM(Compact Disk-Read Only Memory)、DVDを含む)、光磁気ディスク(MD(Mini-Disk)を含む)、もしくは半導体メモリなどよりなるリムーバブルメディア(パッケージメディア)111により構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されているROM102や、記憶部108に含まれるハードディスクなどで構成される。

40

【0109】

なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、その順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0110】

また、上述したように、本明細書において、システムとは、複数の処理装置や処理部により構成される装置全体を表すものである。

【0111】

また、上記実施の形態および変形例で説明した構成等は、これまでに説明したものの他、任意の組み合わせとすることが可能である。

【符号の説明】

50

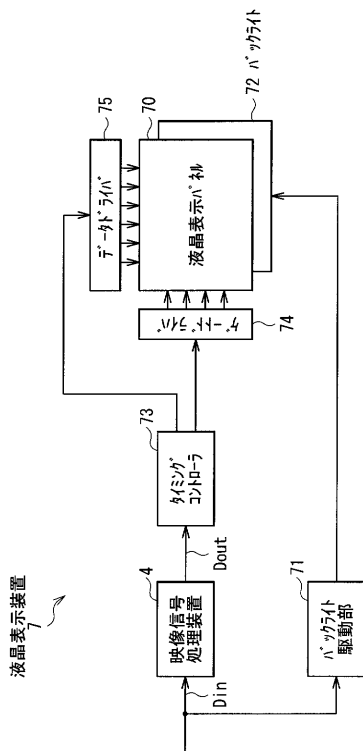
【 0 1 1 2 】

4, 5...映像信号処理装置、411, 412...信号入力部、421, 422...2倍速変換部、431A, 431B, 432A, 432B...メモリ、44...4倍速変換部、441...入力IF部、442...メモリコントローラ、442A...Hカウンタ、442B...Vカウンタ、442C...リードアドレス生成部、443...データ分割部、444...出力IF部、45A~45D...メモリ、50...I²Cバス、500...リモートコントローラ、51...前処理部、52...メモリコントローラ、53...メモリ、54...動きベクトル検出部、55...補間部(4倍速変換部)、551, 552...サーチレンジメモリ、553...インタポレータ、56...CPU、57...デコーダ、58...赤外線受光ユニット、59...補間位置パラメータ切替部、591...Hカウンタ、592...Vカウンタ、593...SW(スイッチ)、7...液晶表示装置、70...液晶表示パネル、70L...左画面、70C...中央画面、70R...右画面、71...バックライト駆動部、72...バックライト、73...タイミングコントローラ、74...ゲートドライバ、75...データドライバ、101...CPU、102...ROM、103...RAM、104...バス、105...入出力インタフェース、106...入力部、107...出力部、108...記憶部、109...通信部、110...ドライブ、111...リムーバブルメディア、Din, Dout...映像信号、A, B...オリジナルフレーム、A1~A3...補間フレーム(1/4フレーム、1/2フレーム、3/4フレーム)、YUV...デジタルコンポーネント信号、4YUV...4系統のデジタルコンポーネント信号、Y...輝度信号、mv...動きベクトル、Demo_mode...デモモード切替信号、Relpos_C_0~Relpos_C_3, Relpos...補間位置パラメータ、prev, succ...画素値。

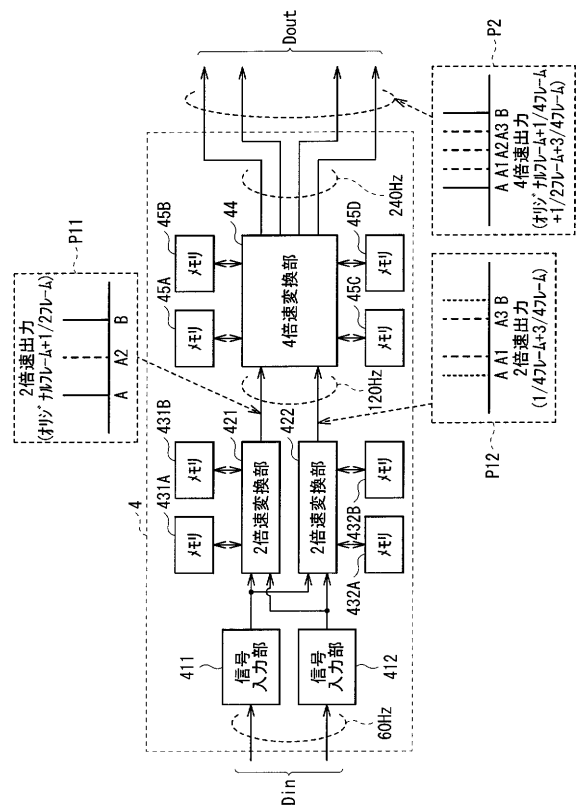
10

20

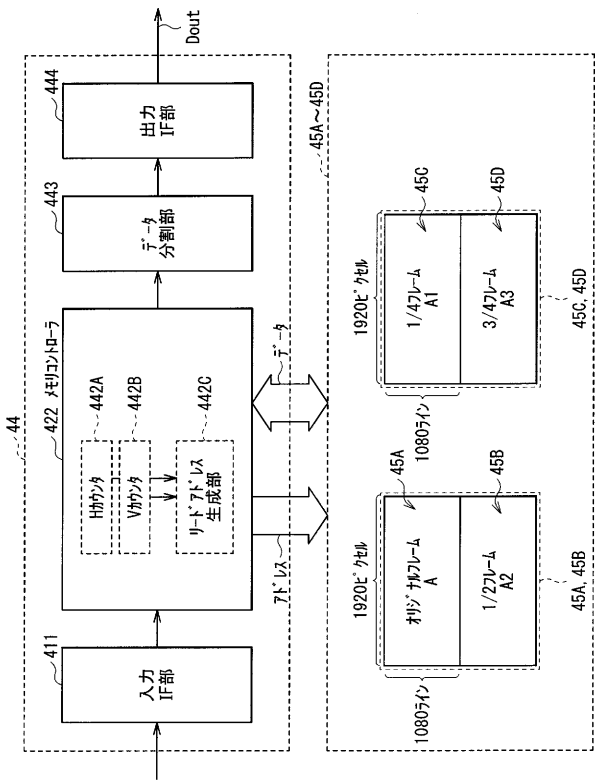
【 図 1 】



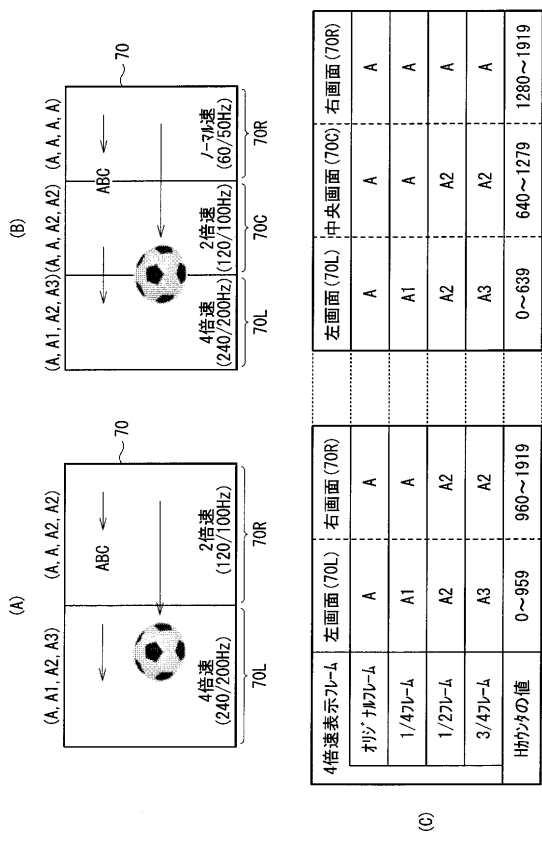
【 図 2 】



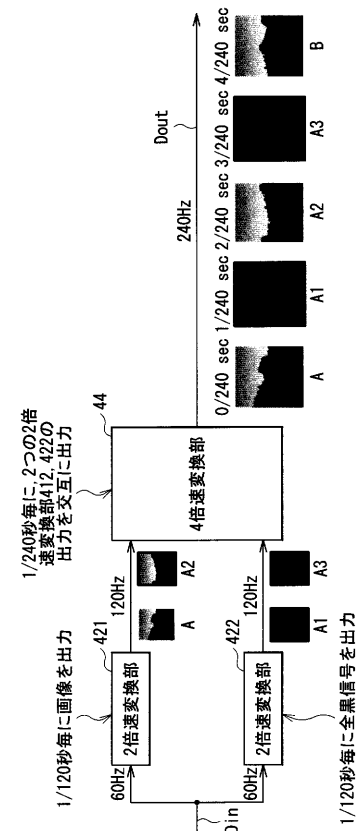
【 図 3 】



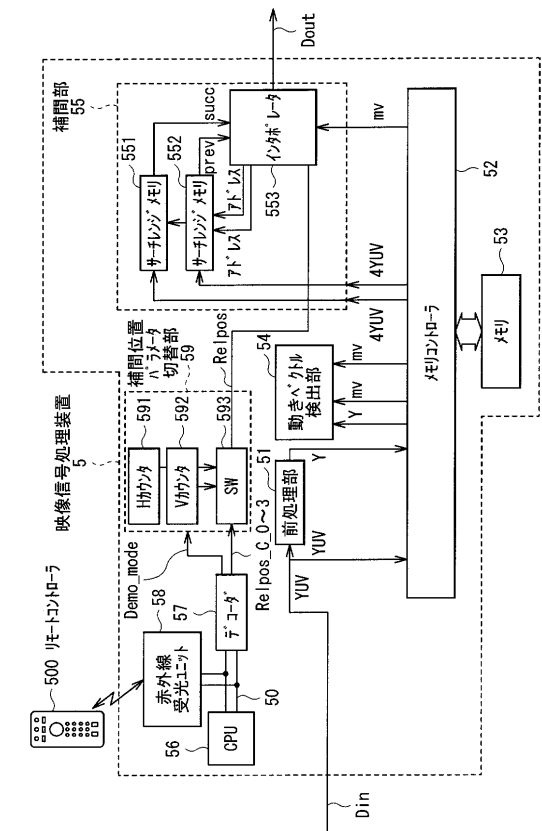
【 図 4 】



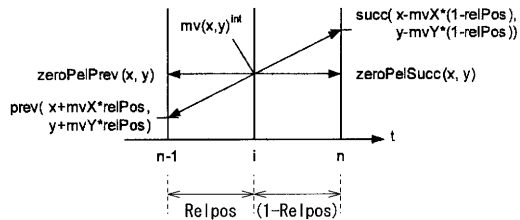
【 図 5 】



【 図 6 】



【図7】



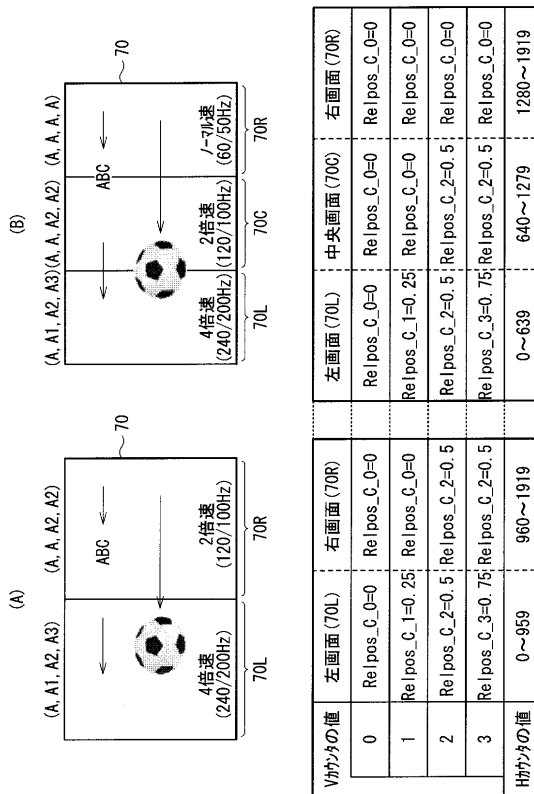
インタポレータでのアドレス計算の原理

【図8】

Out_phase	0	1	2	3
Camera	Relpos_C_0 [5:0]	Relpos_C_1 [5:0]	Relpos_C_2 [5:0]	Relpos_C_3 [5:0]
設定値	0	0.25	0.5	0.75

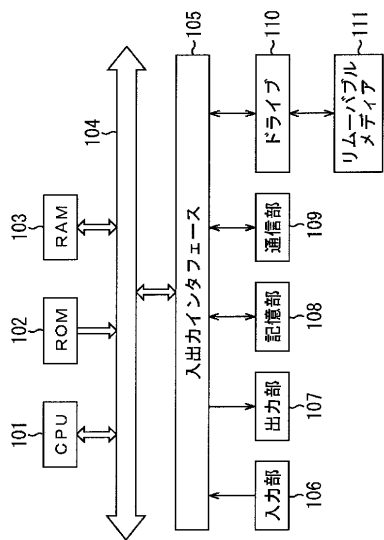
各フレームの補間位置パラメータ

【図9】

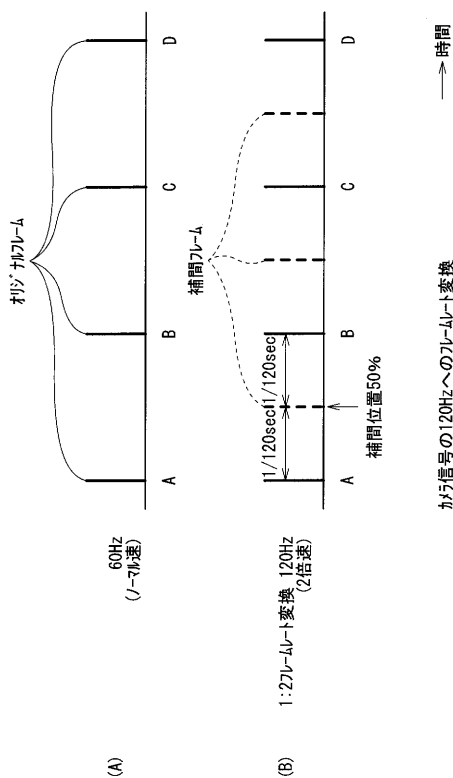


(C)

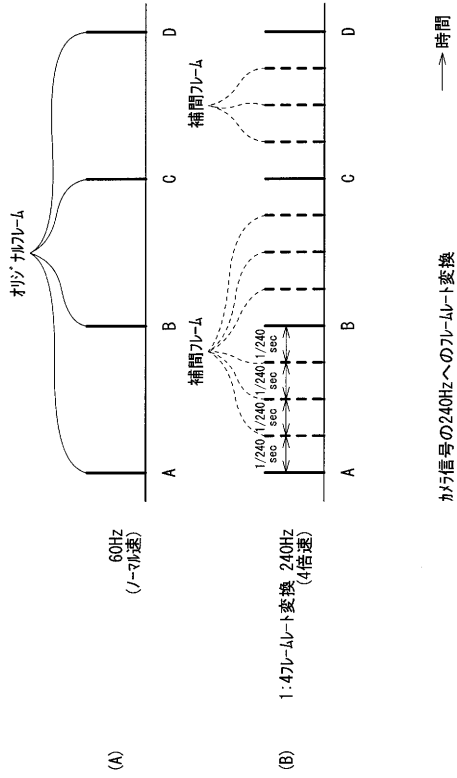
【図10】



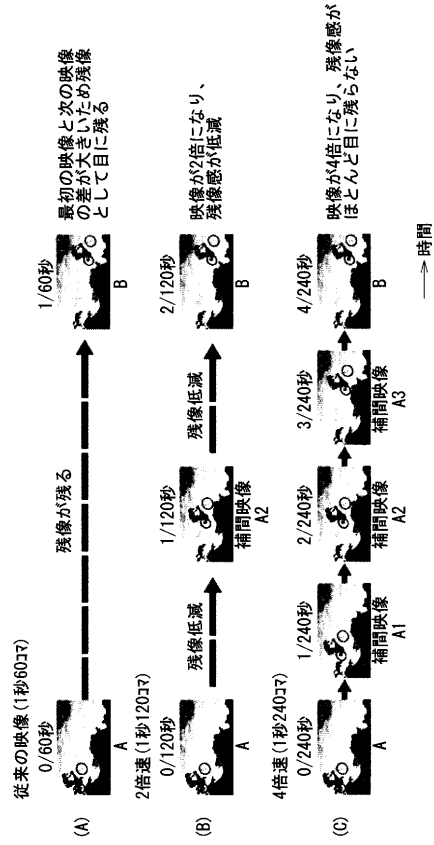
【図11】



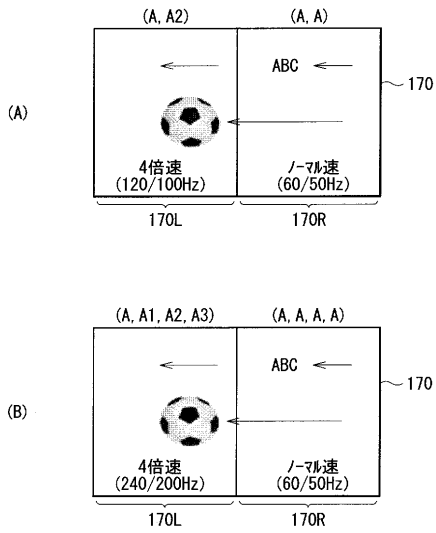
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(72)発明者 藤澤 知市

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 5C063 BA10 BA12 CA05 CA07