



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월28일
(11) 등록번호 10-2317584
(24) 등록일자 2021년10월20일

(51) 국제특허분류(Int. Cl.)
G11C 11/413 (2006.01) G11C 11/412 (2006.01)
(52) CPC특허분류
G11C 11/413 (2013.01)
G11C 11/412 (2013.01)
(21) 출원번호 10-2019-0126428
(22) 출원일자 2019년10월11일
심사청구일자 2019년10월11일
(65) 공개번호 10-2020-0042423
(43) 공개일자 2020년04월23일
(30) 우선권주장
62/744,951 2018년10월12일 미국(US)
16/594,779 2019년10월07일 미국(US)
(56) 선행기술조사문헌
KR1020160046155 A

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
양 하오-이
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
이 쉐형
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

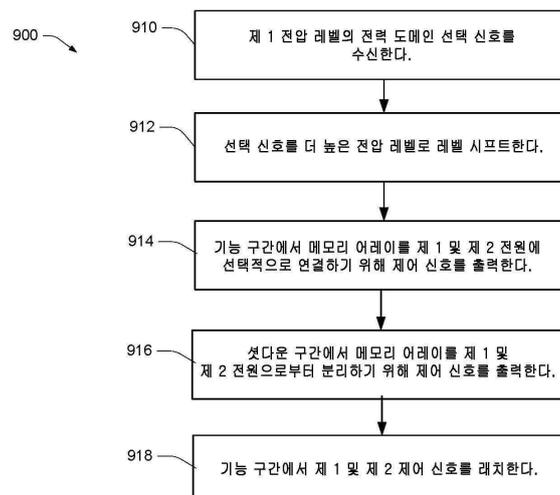
심사관 : 손윤식

(54) 발명의 명칭 메모리 디바이스에서의 전력 스위치 제어

(57) 요약

전력 스위치 제어 회로는 메모리 어레이에 전력을 공급하도록 구성된 공급 레일을 포함한다. 제 1 헤더 스위치는 공급 레일을 제 1 전력 도메인에 대응하는 제 1 전원에 연결한다. 제 2 헤더 스위치는 공급 레일을 제 2 전력 도메인에 대응하는 제 2 전원에 연결한다. 제어 회로는 선택 신호 및 셋다운 신호를 수신하고, 선택 신호 및 셋다운 신호에 응답하여, 제 1 및 제 2 헤더 스위치를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하도록 구성된다. 제어 신호는 선택 신호에 상관없이 셋다운 신호에 응답하여 제 1 및 제 2 헤더 스위치 양자 모두를 제 1 및 제 2 전원으로부터 분리하기 위해 제 1 및 제 2 헤더 스위치에 제어 신호를 출력하도록 구성된다.

대표도 - 도11



(72) 발명자

양 췌-린

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

수 유-하오

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

전력 스위치 제어 회로에 있어서,

메모리 어레이에 전력을 공급하도록 구성된 공급 레일;

상기 공급 레일을 제 1 전력 도메인에 대응하는 제 1 전원에 연결하기 위한 제 1 헤더 스위치;

상기 공급 레일을 제 2 전력 도메인에 대응하는 제 2 전원에 연결하기 위한 제 2 헤더 스위치;

선택 신호 및 셧다운(shutdown) 신호를 수신하고, 상기 선택 신호 및 상기 셧다운 신호에 응답하여 상기 제 1 및 제 2 헤더 스위치를 각각 상기 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성된 제어 회로 - 상기 제어 회로는 상기 선택 신호에 상관없이 상기 셧다운 신호에 응답하여 상기 제 1 및 제 2 헤더 스위치 양자 모두를 상기 제 1 및 제 2 전원으로부터 분리(disconnect) 하기 위해 상기 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성됨 - ; 및

상기 선택 신호를 수신하고, 이에 응답하여 상기 제어 신호를 출력하도록 구성된 제 1 래치 회로

를 포함하는, 전력 스위치 제어 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 전력 도메인에서 상기 선택 신호 및 상기 셧다운 신호를 수신하고 제 3 전력 도메인에서 상기 선택 신호 및 상기 셧다운 신호를 출력하도록 구성된 레벨 시프터

를 더 포함하는, 전력 스위치 제어 회로.

청구항 3

제 1 항에 있어서,

상기 선택 신호에 응답하여 상기 공급 레일을 상기 제 1 전원에 순차적으로(sequentially) 연결하도록 구성된 복수의 상기 제 1 헤더 스위치; 및

상기 선택 신호에 응답하여 상기 공급 레일을 상기 제 2 전원에 순차적으로 연결하도록 각각 구성된 복수의 상기 제 2 헤더 스위치

를 더 포함하는, 전력 스위치 제어 회로.

청구항 4

제 1 항에 있어서,

상기 제어 신호는 상기 제 1 및 제 2 헤더 스위치를 각각 제어하기 위한 제 1 및 제 2 제어 신호를 포함하고,

상기 제 1 래치 회로는 상기 선택 신호에 응답하여 상기 제 1 및 제 2 제어 신호를 출력하도록 구성되며,

상기 전력 스위치 제어 회로는 상기 셧다운 신호에 응답하여 상기 제 1 래치 회로에 의해 출력된 상기 제 1 또는 제 2 제어 신호 중 하나를 수정하도록 구성되는 것인, 전력 스위치 제어 회로.

청구항 5

제 4 항에 있어서,

상기 제 1 제어 신호를 생성하도록 구성된 제 1 브랜치(branch);

상기 제 2 제어 신호를 생성하도록 구성된 제 2 브랜치; 및

상기 제 1 제어 신호가 상기 제 2 브랜치의 제 1 피드백 입력으로 피드백되고, 상기 제 2 제어 신호가 상기 제 1 브랜치의 제 1 피드백 입력으로 피드백되는 제 1 피드백 루프

를 더 포함하는, 전력 스위치 제어 회로.

청구항 6

제 5 항에 있어서,

상기 제 1 제어 신호가 상기 제 1 브랜치의 제 2 피드백 입력으로 피드백되고, 상기 제 2 제어 신호가 상기 제 2 브랜치의 제 2 피드백 입력으로 피드백되는 제 2 피드백 루프

를 더 포함하는, 전력 스위치 제어 회로.

청구항 7

제 6 항에 있어서,

상기 제 1 래치 회로는,

상기 제 1 브랜치에서 제 1 입력, 제 2 입력 및 출력을 갖는 제 1 NOR 게이트 - 상기 제 1 입력은 상기 선택 신호의 보수(complement)를 수신하도록 구성되고, 상기 출력은 상기 제 1 제어 신호를 출력하도록 구성됨 - ;

상기 제 1 브랜치의 제 1 및 제 2 피드백 입력, 및 상기 제 1 NOR 게이트의 제 2 입력에 연결된 출력을 갖는 제 1 AND 게이트;

상기 제 2 브랜치에서 제 1 입력, 제 2 입력 및 출력을 갖는 제 2 NOR 게이트 - 상기 제 1 입력은 상기 선택 신호를 수신하도록 구성되며, 상기 출력은 상기 제 2 제어 신호를 출력하도록 구성됨 - ; 및

상기 제 2 브랜치의 상기 제 1 및 제 2 피드백 입력, 및 상기 제 2 NOR 게이트의 상기 제 2 입력에 연결된 출력을 갖는 제 2 AND 게이트

를 포함하는 것인, 전력 스위치 제어 회로.

청구항 8

제 4 항에 있어서,

상기 셋다운 신호는 셋다운 모드에 대응하는 제 1 상태 및 기능 모드에 대응하는 제 2 상태를 포함하고, 상기 전력 스위치 제어 회로는,

상기 제 1 래치 회로로부터 상기 제 1 및 제 2 제어 신호를 수신하는 제 2 래치 회로 - 상기 제 2 래치 회로는 상기 셋다운 모드에서 상기 셋다운 신호에 응답하여 상기 선택 신호를 래치하고, 상기 기능 모드에서 상기 제 1 및 제 2 제어 신호에 응답하여 상기 선택 신호를 래치하도록 구성됨-

를 더 포함하는, 전력 스위치 제어 회로.

청구항 9

메모리 디바이스에 있어서,

제 1 전력 도메인 또는 제 2 전력 도메인에서 동작하도록 구성된 비트셀 어레이;

상기 비트셀 어레이에 연결된 워드라인 드라이버;

상기 비트셀 어레이에 연결된 입력/출력 회로;

상기 비트셀 어레이에 연결된 공급 레일;

상기 공급 레일을 상기 제 1 전력 도메인에 대응하는 제 1 전원에 연결하기 위한 제 1 헤더 스위치;

상기 공급 레일을 상기 제 2 전력 도메인에 대응하는 제 2 전원에 연결하기 위한 제 2 헤더 스위치;

선택 신호 및 셧다운 신호를 수신하도록 구성된 제어 회로를 포함하고,
 상기 제어 회로는,

상기 선택 신호 및 상기 셧다운 신호에 응답하여, 상기 제 1 및 제 2 헤더 스위치를 각각 상기 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성된 제 1 래치 회로, 및

상기 제어 신호를 수신하고, 상기 셧다운 신호에 응답하여 상기 선택 신호를 래치하도록 구성된 제 2 래치 회로를 포함하는 것인, 메모리 디바이스.

청구항 10

방법에 있어서,

제 1 전압 레벨에서 전력 도메인 선택 신호를 수신하는 단계;

상기 전력 도메인 선택 신호를 더 높은 전압 레벨로 레벨 시프트하는 단계;

기능 구간 동안 상기 제 1 전압 레벨의 상기 전력 도메인 선택 신호에 응답하여, 메모리 어레이를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 상기 더 높은 전압 레벨의 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하는 단계;

셧다운 구간 동안 상기 메모리 어레이를 상기 제 1 및 제 2 전원 양자 모두로부터 분리하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계; 및

상기 기능 구간 동안 상기 제어 신호를 래치하는 단계

를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 그 전체가 여기에 참조로서 통합되는, 발명의 명칭 "Power Switch Control in a Memory Device"으로 2018년 10월 12일자로 출원된 미국 가출원 제62/744,951호에 우선권을 주장한다.

배경 기술

[0003] 정적 랜덤 액세스 메모리(static random access memory; SRAM) 디바이스와 같은 일부 알려진 메모리 디바이스는 전력 스위치 제어 설계를 포함한다. 전형적인 SRAM 메모리 디바이스는 메모리 셀 어레이를 가진다. 각각의 메모리 셀은 상위 기준 전위와 하위 기준 전위(전형적으로 접지) 사이에 접속된 6개의 트랜지스터를 사용하여, 저장될 정보에 의해 2개의 저장 노드 중 하나가 점유되고 상보(complementary) 정보가 다른 저장 노드에 저장되게 한다. 일부 SRAM 배열은 저전압 도메인에서 메모리 로직을 작동시키는 반면, 메모리 어레이는 고전압 도메인에서 작동된다. 또한, 전력 소비를 줄이기 위해 다양한 기술이 채용될 수 있다. 예를 들어, 메모리 디바이스의 일부는 슬립(sleep) 또는 셧다운(shutdown) 모드 동안 턴 오프될 수 있다. 스위칭 절차가 신중하게 제어되지 않으면 문제가 발생할 수 있다. 예를 들어, 전원이 일정 시구간 동안, 특히 다수의 스위칭 사이클 후에 함께 단락되는 것이 허용되는 경우 헤더 스위치가 스트레스를 받을 수 있다. 또한, 헤더 스위치 사이의 직류(direct current; DC) 누설로 인해, 내부 헤더 스위치만 턴 오프될 때 셧다운 모드에서 셧다운 누설이 크게 발생할 수 있다.

도면의 간단한 설명

[0004] 본 개시의 양상은 첨부 도면과 함께 관독될 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 산업상 표준 시행에 따라 다양한 피쳐들이 일정한 비율로 그려지지 않았음이 주목된다. 실제, 다양한 피쳐들의 치수는 설명의

명료함을 위해 임의로 확대 또는 축소될 수 있다.

도 1은 일부 실시예에 따른 메모리 디바이스의 예를 예시하는 블록도이다.

도 2는 일부 실시예에 따른 도 1의 메모리 디바이스의 전력 스위치 제어 회로의 예를 예시하는 회로도이다.

도 3은 일부 실시예에 따른 도 4의 회로의 파형을 예시하는 타이밍도이다.

도 4는 일부 실시예에 따른 도 2의 전력 스위치 제어 회로의 제 1 래치 회로를 예시하는 회로도이다.

도 5는 일부 실시예에 따른 도 2의 전력 스위치 제어 회로의 제 2 래치 회로를 예시하는 회로도이다.

도 6은 일부 실시예에 따른 도 7의 회로의 파형을 예시하는 타이밍도이다.

도 7은 일부 실시예에 따른 도 2의 전력 스위치 제어 회로의 제 1 래치 회로의 또다른 예를 예시하는 회로도이다.

도 8은 일부 실시예에 따른 도 9의 회로의 파형을 예시하는 타이밍도이다.

도 9는 일부 실시예에 따른 도 2의 전력 스위치 제어 회로의 제 1 래치 회로의 또다른 예를 예시하는 회로도이다.

도 10은 일부 실시예에 따른 도 2의 전력 스위치 제어 회로의 제 1 래치 회로의 또다른 예를 예시하는 회로도이다.

도 11은 일부 실시예에 따른 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0005] 이하 개시는 제공되는 본 발명내용의 상이한 피쳐들을 구현하기 위한 많은 상이한 실시예들 또는 예시들을 제공한다. 본 개시를 간략화하기 위해서 컴포넌트 및 배열의 구체적인 예시들이 이하에 설명된다. 물론, 이들은 단지 예시를 위한 것이며 한정을 의도하는 것은 아니다. 예를 들어, 이후의 상세설명에서 제2 피쳐상의 또는 그 위의 제1 피쳐의 형성은 제1 및 제2 피쳐들이 직접적으로 접촉하여 형성되는 실시예를 포함할 수 있으며, 또한 제1 및 제2 피쳐들이 직접적으로 접촉하지 않을 수 있도록 추가적인 피쳐들이 제1 및 제2 피쳐들 사이에서 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 개시는 다양한 예시들에서 참조 부호들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 간략화 및 명료화를 위한 것이고, 그 자체가 개시된 다양한 실시예들 및/또는 구성들 사이의 관계를 설명하는 것은 아니다.

[0006] 또한, 도면들에서 도시된 하나의 요소 또는 피쳐에 대한 다른 요소(들) 또는 피쳐(들)의 관계를 설명하기 위해 "아래", "밑", "하위", "위", "상위" 등과 같은 공간 상대적 용어들이 설명의 용이성을 위해 본 명세서에서 이용될 수 있다. 공간 상대적 용어들은 도면들에서 도시된 배향 외에 이용 또는 동작 중에 있는 디바이스의 상이한 배향들을 포함하도록 의도된 것이다. 장치는 다르게 배향(90도 회전 또는 다른 배향)될 수 있고, 여기서 사용되는 공간 상대적인 기술어는 마찬가지로 적절하게 해석될 수 있다.

[0007] 전자 디바이스는 2개의 상이한 외부 전원에 의해 선택적으로 전력이 공급되는 부분을 가질 수 있다. 정적 랜덤 액세스 메모리(static random access memory; SRAM) 디바이스와 같은(그러나, 이에 한정되지는 않음) 메모리 디바이스는 그러한 전자 디바이스의 예이다.

[0008] 도 1은 일부 실시예에 따른 SRAM 메모리 디바이스(10)와 같은 예시적인 전자 디바이스를 도시한다. 도 1에 도시된 바와 같이, 예시적인 SRAM 디바이스(10)는 적어도 입력/출력(IO)부(182), 제어 회로(181), 비트셀 어레이(183), 워드라인(WL) 드라이버(184) 및 전력 스위치(185)를 포함할 수 있다. SRAM 디바이스(10)는 도 1에 도시되지 않은 다른 컴포넌트를 포함할 수 있다. 예시적인 실시예에서, SRAM 디바이스(10)는 집적 회로(integrated circuit; IC) 칩의 일부일 수 있다.

[0009] IO부(182) 및 제어부(181) 양자 모두는 내부 전압 공급(VDD)을 이용하여[즉, 내부 전력 도메인(VDD)에서] 동작한다. 비트셀 어레이(183)는 제 1 또는 제 2 전력 도메인에서 선택적으로 동작하며, 제 1 전력 도메인은 제 1 전원 전압(VDD)에 대응하고, 제 2 전력 도메인은 제 2 전원 전압(VDDM)에 대응한다. 워드라인 드라이버부(184)는 구동 신호를 제공하고 제 1 및 제 2 전력 도메인(VDD 및 VDDM) 양자 모두에서 동작하는 것으로 간주될 수 있다.

[0010] 전력 스위치부(185)는 VDD와 VDDM 사이를 스위칭하기 위해 비트셀 어레이(183)의 주변부를 따라 제공된다. 전

력 스위치부(185)는 전력 스위치 제어 회로(100)를 포함한다. 일부 실시예에서, 전력 스위치 제어 회로(100)는 제어부(181)에 포함된다. 전력 스위치부(185)는 전체 메모리 매크에 걸쳐 분산된 메인 전력 스위치(186)를 더 포함한다. 일부 실시예에서, 메인 전력 스위치(186)의 인스턴스는 비트셀 어레이(183)의 주변부 전체를 따라 포함되고, 예를 들어 제 1 인스턴스(instance)(186a), 중간 인스턴스(186b) 및 마지막 인스턴스(186c)뿐만 아니라, 186a와 186b 사이의 인스턴스들 및 186b와 186c 사이의 인스턴스들을 포함한다.

[0011] 메인 전력 스위치(186)의 각각의 인스턴스는 내부 공급 레일(189)을 포함한다. 내부 공급 레일(189)은 PMOS 헤더 스위치(164)를 통해 VDD 전원에 접속되고 PMOS 헤더 스위치(150)를 통해 VDDM 전원에 접속된다. VDD 헤더 스위치(164)는 신호(ON_GD)로부터 인버터(188)로부터 제공되는 제어 신호(ON_GDB)에 응답한다. 신호(ON_GD)는 VDD를 선택하는데 사용된다. VDDM 헤더 스위치(150)는 신호(ON_GM)로부터 인버터(187)로부터 제공되는 신호(ON_GMB)에 응답한다. 신호(ON_GM)는 VDDM을 선택하는데 사용된다. 신호(ON_GD 및 ON_GM)는 스위치 제어 신호이며 메인 전력 스위치(186)의 각 인스턴스에 제공된다.

[0012] 일부 예들에서, 회로에 전원이 켜질 때, 많은 트랜지스터들이 동시에 턴 온된다. 예를 들어, 셋다운 또는 슬립 모드로부터 회로가 동작을 위해 웨이크업(wakeup time)되기 때문에 회로 전원 켜짐은 회로 웨이크업이라고도 한다. 웨이크업 동안 많은 트랜지스터들이 턴 온되면, 많은 양의 전류가 트랜지스터에 의해 사용되는 대응 전력 노드를 통해 흐르고 웨이크업 피크 전류라는 전류 스파이크가 발생할 수 있다. 설계 사양 내에 있도록 회로의 웨이크업 피크 전류를 줄이면 회로의 웨이크업 시간이 증가한다. 예를 들어, 접근법에 있어서, 웨이크업 회로는 일련의 웨이크업 단계를 포함한다. 각 웨이크업 단계는 체인 방식으로 연결된 PMOS 스위치를 포함한다. 각 PMOS 스위치에 웨이크업 신호가 순차적으로 공급되어 체인 연결된 PMOS 스위치를 순차적인 방식으로 하나씩 턴 온시킨다. 각 PMOS 스위치를 순차적으로 턴 온함으로써, 웨이크업 피크 전류가 감소한다. 웨이크업 동안의 스위칭 동작으로 인한 노이즈가 스위치 제어에 영향을 줄 수 있다.

[0013] 도 2는 본 개시의 양태에 따른 전력 스위치 제어 회로(100)의 예를 도시한다. 도 2에 도시된 바와 같이, 점선의 좌측에 있는 디바이스들은 제 1 전력 도메인(102)에 있고, 점선의 우측에 있는 디바이스들은 제 3 전력 도메인(104)에 있다. 도시된 예에서, 제 1 전력 도메인(102)은 VDD 전원 전압을 수신하도록 구성된 VDD 도메인이고, 제 3 전력 도메인(104)은 더 높은 VMAX2 전원 전압을 수신하도록 구성된 VMAX2 전력 도메인이다. 다르게 말하면, 제 3 전력 도메인(즉, VMAX2 전원 전압)(104)은 전력 스위치 제어 회로(100)를 동작시키기 위한 것이다. 제 1 전력 도메인(즉, VDD 전원 전압)(102) 및 제 2 전력 도메인(즉, VDDM 전원 전압)은 비트셀 어레이(183)를 동작시키기 위한 것이다. 일부 실시예에서, VMAX2 전원 전압은 VDDM 전원 전압보다 높을 수 있다. 일부 실시예에서, VMAX2 전원 전압은 VDDM 전원 전압과 동등할 수 있다. 일부 실시예에서, VMAX2 전원 전압은 VDDM 전원 전압보다 낮을 수 있다. 전력 스위치 제어 회로(100)는 턴 온 신호(AON_SELSRM_IN), 준비 신호(VDD_RDYB) 및 셋다운 신호(SD)에 응답하여 VDD 헤더 스위치(164) 및 VDDM 헤더 스위치(150)를 제어하도록 구성된다. 신호(AON_SELSRM_IN)는 VDD 또는 VDDM 전력 도메인 중 어느 하나를 선택하도록 어서트(assert)되며 신호(SD)는 셋다운 모드를 나타낸다.

[0014] 일반적으로, 전력 스위치 제어 회로(100)는 디바이스(10)가 셋다운 모드(즉, SD = 1)에 있을 때 VDD 헤더 스위치(164) 및 VDDM 헤더 스위치(150) 양자 모두가 턴 오프되도록 구성된다. 또한, 회로(100)는 노이즈가 회로의 제어 신호에 영향을 미치는 이벤트 요인에서도 VDD 헤더 스위치(164) 및 VDDM 헤더 스위치(150) 양자 모두를 래치 오프하도록 구성된다. 예를 들어, 도 1과 관련하여 위에서 언급된 바와 같이, 전력 스위치(186)는 전체 메모리 매크로에 걸쳐 분산될 수 있으며, 그 결과 신호 피드백 라인과 같은 다양한 전력 스위치를 제어하기 위한 비교적 긴 제어 신호 라인이 생성된다. 이러한 긴 신호 라인은 신호 손실과, 그에 따른 제어 신호들의 일부에서의 발진(oscillation)을 초래할 수 있다. 아래에서 더 상세하게 논의되는 바와 같이, 일부 개시된 실시예는 전력 스위치 제어 회로(100)를 보다 강하게 만들고, 다양한 신호 변동에 덜 취약하게 함으로써 이와 같은 문제를 해결할 수 있다.

[0015] 일반적으로, 전력 스위치 제어 회로(100)는 무엇보다도 2개의 래치를 포함한다. 제 1, 또는 상태 래치(118)는 기능 모드(즉, 논-셋다운 상태) 동안 "메이크-비포-브레이크(make-before-break)" 기능을 용이하게 하고 웨이크업 동안 SD 신호가 전이될 때 VDD 및 VDDM 헤더 스위치(164, 150) 양자 모두가 동시에 턴 온되는 것을 방지한다. 내부 VDD 도메인(102)에서, 제 1 셋다운 신호(SD)는 레벨 시프터(112)에 의해 내부 VDD 도메인(102)으로부터 VMAX2 도메인(104)과 같은 더 높은 전압 레벨로 레벨 시프트되어, 제 2 셋다운 신호(SD_VMAX2)를 생성한다. 신호(SD_VMAX2)는 인버터(114)에 제공되어, 제 2 셋다운 신호 바(SDB_VMAX2)를 생성한다. 한편, 내부 VDD 도메인(102)에서, 턴 온 신호(ON_SELSRM_IN)는 레벨 시프터(116)에 의해 내부 VDD 도메인(102)으로부터

VMAX2 도메인(104)의 신호(SEL_VMAX2)로 레벨 시프트된다.

- [0016] 레벨 시프터(116)의 출력[즉, 신호(SEL_VMAX2)]은 상태 래치(118)의 셋(set) 입력(120)에 제공된다. 레벨 시프터(116)의 출력은 또한 인버터(136)에 제공되고, 인버터(136)의 출력은 상태 래치(118)의 리셋(reset) 입력(122)에 제공된다. 상태 래치는 각각 글로벌 VDD 및 VDDM 선택 신호(ON_GD 및 ON_GM)를 출력한다. 신호(ON_GM)는 신호(SDB_VMAX2)와 함께 상태 래치(118)의 제 1 출력(128)으로부터 NAND 게이트(138)로 제공된다. NAND 게이트(138)의 출력은 인버터(140, 142, 144, 146)를 포함하는 복수의 인버터에 제공되어, VDDM 헤더 스위치(들)(150)으로의 NAND 게이트(138)의 출력의 지연된 신호를 생성한다. 노드(148)에서, 피드백 신호(ON_GMB)는 상태 래치(118)의 제 1 피드백 입력(124)으로 다시 제공된다. 노드(148)에서의 신호(ON_GMB)는 또한 VDDM 헤더 스위치(150)의 게이트에 제공된다. 즉, NAND 게이트(138)의 출력의 지연된 신호는 VDDM 헤더 스위치(150)의 게이트에 제공된다. 이 예에서, VDDM 헤더 스위치(150)는 PMOS 트랜지스터이다. VDDM 헤더 스위치(150)의 소스는 전원(VDDM)에 접속되는 반면, VDDM 헤더 스위치(150)의 드레인은 내부 공급 레일(189)에 접속된다. 위에서 언급된 바와 같이, 일부 실시예들에서, 전력 스위치(186)는 전체 메모리 매크로에 걸쳐 분산된다. 이에 따라, 복수의 VDDM 헤더 스위치(150)가 메모리 매크로 걸쳐 분산되어 인버터에 의해 지연된 ON_GM 제어 신호가 순차적으로 VDDM 헤더 스위치(150)에 제공될 수 있다.
- [0017] 첫다운 구간 동안, 신호(SD)와, 그에 따라 신호(SD_VMAX2)는 로직 하이(1)인 반면, 신호(SDB_VMAX2)는 로직 로우(0)이다. 따라서, 첫다운 구간 동안, NAND 게이트(138)의 출력은 상태 래치(118)의 출력의 값에 상관없이 로직 하이(1)이다. 따라서, VDDM 헤더 스위치(150)의 게이트에 제공되는 신호는 로직 하이(1)이다. 따라서, 첫다운 구간 동안, VDDM 헤더 스위치(150)는 항상 턴 오프된다.
- [0018] 한편, 신호(ON_GD)는 신호(SDB_VMAX2)와 함께 상태 래치(118)의 제 2 출력(130)으로부터 NAND 게이트(152)로 제공된다. NAND 게이트(152)의 출력은 인버터(154, 156, 158, 160)를 포함한 복수의 인버터에 제공되어, VDD 스위치[예를 들어, VDD 헤더 스위치(164)]를 제어하는데 사용되는 NAND 게이트(152)의 출력의 지연된 신호를 생성한다. 상기 언급된 바와 같이, 일부 실시예에서, 전력 스위치(186)는 전체 메모리 매크로에 걸쳐 분산된다. 따라서, 복수의 VDD 헤더 스위치(164)가 메모리 매크로에 걸쳐 분산될 수 있고, 인버터에 의해 지연된 바와 같은 제어 신호(ON_GD)는 순차적 제어를 위해 VDD 헤더 스위치(164)에 순차적으로 제공될 수 있다.
- [0019] 노드(162)에서, 신호(ON_GDB)는 상태 래치(118)의 제 2 피드백 입력(126)으로 피드백된다. 노드(162)에서의 신호(ON_GDB)는 또한 VDD 헤더 스위치(164)의 게이트에 제공된다. 다르게 말하면, NAND 게이트(152)의 출력의 지연된 신호는 VDD 헤더 스위치(들)(164)의 게이트에 제공된다. 이 예에서, VDD 헤더 스위치(164)는 PMOS 트랜지스터이다. VDD 헤더 스위치(164)의 소스는 전원(VDD)에 연결되고, VDD 헤더 스위치(164)의 드레인은 내부 공급 레일(189)에 연결된다. 내부 공급 레일(189)은 비트셀 어레이(183)에 전력을 공급하는데 사용된다.
- [0020] 상기 언급된 바와 같이, 첫다운 구간 동안, 신호(SD_VMAX2)는 로직 하이(1)인 반면, 신호(SDB_VMAX2)는 로직 로우(0)이다. 따라서, 첫다운 구간 동안, NAND 게이트(152)의 출력은 상태 래치(118)의 제 2 출력(130)의 값에 상관없이 로직 하이(1)이다. 따라서, VDD 헤더 스위치(164)의 게이트에 제공되는 신호는 로직 하이(1)이다. 따라서, 첫다운 구간 동안, VDD 헤더 스위치(164)는 항상 턴 오프된다. 결과적으로, 첫다운 구간 동안, 전력 스위치 제어 회로(100)는 선택 신호(AON_SELSRM_IN)에 상관없이, VDDM 헤더 스위치(150) 및 VDD 헤더 스위치(164) 양자 모두가 신호(SD)에 응답하여 턴 오프되도록 구성된다. 헤더 스위치(150 및 164) 양자 모두를 첫다운함으로써, 헤더 스위치(150)와 헤더 스위치(164) 사이의 DC 누설이 감소될 수 있다. 헤더 스위치(150 및 164) 양자 모두뿐만 아니라 다른 헤더 스위치들을 첫다운함으로써, 전체 첫다운 누설이 감소된다. 또한, 노드(162 및 148)에서의 신호는 피드백 입력(126 및 124)으로 피드백되어 입력을 헤더 스위치(164, 150)에 래치하고, 이들 헤더 스위치가 첫다운 모드 동안 오프 상태를 유지하게 한다.
- [0021] 출력 래치(166)는 4개의 입력: 제 1 입력(168); 제 2 입력(170); 제 3 입력(172); 및 제 4 입력(174)을 가진다. 신호(ON_GMB) 노드(148)로부터 출력 래치(166)의 제 1 입력(168)으로 피드백된다. 신호(ON_GDB)는 노드(162)로부터 출력 래치(166)의 제 2 입력(170)으로 피드백된다. 상태 래치(118)의 제 3 출력(132)은 신호(ON_GD)를 출력 래치(166)의 제 3 입력(172)에 제공한다. 상태 래치(118)의 제 4 출력(134)은 신호(ON_GM)를 출력 래치(166)의 제 4 입력(174)에 제공한다. 신호(AON_SELSRM_OUT)는 출력 래치(166)의 출력(176)에서 출력 래치(166)에 의해 생성된다. 신호(AON_SELSRM_OUT)는 내부 VDD 도메인(102)에 있음을 주목해야 한다. 이하 더 상세히 논의되는 바와 같이, 출력 래치(166)는, 첫다운 동안 헤더 스위치(164, 150)를 오프 상태로 유지하도록 신호(ON_GDB 및 ON_GMB)의 상태가 래치되고, 기능 모드에서 ON_GDB 및 ON_GMB가 출력 래치 상태를 제어하도록 구성된다.

- [0022] 도 3은 일부 예에 따른 타이밍도를 예시한다. 타이밍도(200)는 도 4 및 도 5를 참조하여 이하 개시될 것이다. 도 3의 타이밍도에서 알 수 있는 바와 같이, 신호(SD)는 초기에 로직 로우(0)이다. 시간 t1(201)에서, 신호(SD)는 로직 하이(1)가 되고, 이는 전력 스위치 제어 회로(100)가 셧다운 구간(100)에 있음을 의미한다. 시간 t3(203)에서, 신호(SD)는 로직 로우(0)가 되고, 이는 전력 스위치 제어 회로(100)의 셧다운 구간이 종료됨을 의미한다. 일 실시예에서, 신호(AON_SELSTRM_IN)는 셧다운 구간[즉, 시간 t1(201)에서 시간 t3(203)까지] 또는 셧다운 웨이크업 구간[즉, 시간 t3(203) 이후의 짧은 구간] 동안 토글(toggle)을 허용하지 않는다. 도 3의 예에서, 신호(AON_SELSTRM_IN)는 셧다운 구간이 종료된 후의 시간 t5(205)까지 지속적으로 로직 로우(0)이다. 시각 t5(205)에서 신호(AON_SELSTRM_IN)는 로직 하이(1)가 된다. 신호(AON_SELSTRM_IN)가 로직 로우(0)[예를 들어, 시간 t5(205) 이전]인 경우, 신호(ON_GDB)는 로직 로우(0)[예를 들어, 시각 t2(202) 이전]로 추정되는 반면에, 신호(ON_GMB)는 로직 하이(1)[예를 들어, 시간 t6(206) 이전]로 추정되며, 이는 VDDM 헤더 스위치(150)가 턴 오프된 반면 VDD 헤더 스위치(164)가 턴 온되기 때문에 VDD의 선택 및 VDDM의 선택 해제(deselection)를 나타낸다. 신호(AON_SELSTRM_IN)가 로직 하이(1)[예를 들어, 시간 t5(205) 이후]인 경우, 신호(ON_GDB)는 로직 하이(1)[예를 들어, 시각 t2(207) 이후]로 추정되는 반면에, 신호(ON_GMB)는 로직 로우(0)[예를 들어, 시간 t6(206) 이후]로 추정되며, 이는 VDD 헤더 스위치(164)가 턴 오프된 반면 VDDM 헤더 스위치(150)가 턴 온되기 때문에 VDDM의 선택 및 VDD의 선택 해제를 나타낸다.
- [0023] 상술된 바와 같이, 셧다운 구간 동안[즉, 시간 t2(202)에서 시간 t4(204)까지], 신호(SD)에 의해 VDDM 헤더 스위치(150) 및 VDD 헤더 스위치(164) 양자 모두가 턴 오프된다. 신호(AON_SELSTRM_OUT)는 신호(SD)의 토글에 응답하지 않는다. 대신에, 신호(AON_SELSTRM_OUT)는 시간 t5(205)에서 신호(AON_SELSTRM_IN)의 변화에 시간 t8(208)에서 지연하여 응답한다. 또한, 신호(ON_GDB)가 시간 t4(204)에서 로직 로우(0)가 되면, 신호(ON_GMB)는 시간 t6(206) 이전에 로직 하이(1)를 유지한다. 따라서, 시각 t3(203)에서 신호(SD)의 하강은 두 도메인(즉, VDD 및 VDDM) 사이에서 전력 단락을 트리거하지 않는다. 타이밍도(200)는 도 4 및 도 5를 참조하여 이하 더 개시될 것이다.
- [0024] 도 4는 도 2의 전력 스위치 제어 회로(100)의 상태 래치(118)의 실시예를 도시한다. 이 실시예에서, 전력 스위치 제어 회로(100)의 상태 래치(118)는 AND 게이트(302), NOR 게이트(304), 인버터(306), AND 게이트(308), NOR 게이트(310) 및 NOR 게이트(312)를 포함한다.
- [0025] 교차 연결된 NOR 게이트(304) 및 NOR 게이트(310)는 SR 래치로서 기능한다. 구체적으로, 레벨 시프터(116)의 출력[즉, 신호(SEL_VMAX2)]은 상태 래치(118)의 셋 입력(120)에서 NOR 게이트(304)에 제공된다. AND 게이트(302)의 출력은 또한 NOR 게이트(304)에 제공된다. NOR 게이트(304)의 출력은 인버터(306)에 제공된다. 상태 래치(118)의 제 1 출력(128)에서의 인버터(306)의 출력은 신호(ON_GM)이다. 신호(ON_GM)는 또한 AND 게이트(302)의 입력으로 다시 제공된다. 노드(162)에서의 신호(ON_GDB)는 AND 게이트(302)의 다른 입력[즉, 상태 래치(118)의 제 2 피드백 입력(126)]에 제공된다.
- [0026] 한편, 인버터(136)의 출력은 상태 래치(118)의 리셋 입력(122)에서 NOR 게이트(310)에 제공된다. AND 게이트(308)의 출력은 또한 NOR 게이트(310)에 제공된다. NOR 게이트(310)의 출력은 신호(VDD_RDYB)와 함께 NOR 게이트(312)에 제공된다. 상태 래치(118)의 제 2 출력(130)에서의 NOR 게이트(312)의 출력은 신호(ON_GD)이다. 신호(ON_GD)는 또한 AND 게이트(308)의 입력으로 다시 제공된다. 노드(148)에서 신호(ON_GMB)는 AND 게이트(308)의 다른 입력[즉, 상태 래치(118)의 제 1 피드백 입력(124)]에 제공된다.
- [0027] 제 1 피드백 루프(178)는 노드(162)로부터 AND 게이트(302)로 신호(ON_GDB)를 피드백하고 노드(148)로부터 AND 게이트(308)로 신호(ON_GMB)를 피드백함으로써 형성된다. 따라서, 제 1 루프(178)에서, 상태 루프(118)의 상부 레그(leg)에 의해 생성된 VDD 헤더(164)에 대한 제어 신호(ON_GDB)는 상태 루프(118)의 하부 레그에 피드백되어 VDDM 헤더(150)에 대한 제어 신호(ON_GMB)를 생성한다. 또한, 제 1 루프(178)에서, 상태 루프(118)의 하부 레그에 의해 생성된 VDDM 헤더(150)에 대한 제어 신호(ON_GMB)는 상태 루프(118)의 상부 레그에 피드백되어 VDD 헤더(164)에 대한 제어 신호(ON_GDB)를 생성한다.
- [0028] 따라서, 전력 스위치 제어 회로(100)가 기능 모드(즉, SD = 0)에 있을 때, 제 1 루프(178)는 전력 헤더(164, 150)가 기능 모드 동안 동시에 오프되지 않는, 상술된 메이크-비포-브레이크 기능을 수행한다. 교차 연결된 NOR 게이트(304, 310)에 대한 각각의 입력을 생성하는 AND 게이트(302, 308)는 래치가 ON-GMB 및 ON_GDB 제어 신호에 대해 로직 하이 출력을 동시에 출력하는 것을 방지한다.
- [0029] 도 3에 도시된 바와 같이, 셧다운 구간 동안, 상술된 바와 같이, 신호(ON_GMB)는 지속적으로 로직 하이(1)이고, 신호(ON_GDB)는 또한 지속적으로 로직 하이(1)이다. 따라서, AND 게이트(302)의 하나의 입력[즉, 상태 래치

(118)의 제 2 피드백 입력(126)]은 지속적으로 로직 하이(1)이므로, AND 게이트(302)의 출력은 AND 게이트(302)의 다른 입력[즉, 신호(ON_GM)]과 동일하다. 신호(ON_GM)는 레벨 시프터(116)의 출력[즉, 신호(SEL_VMAX2)]과 함께 NOR 게이트(304)로 다시 제공된다. 마찬가지로, AND 게이트(308)의 하나의 입력[즉, 상태 래치(118)의 제 1 피드백 입력(124)]은 지속적으로 로직 하이(1)이므로, AND 게이트(308)의 출력은 AND 게이트(308)의 다른 입력[즉, 신호(ON_GD)]과 동일하다. 신호(ON_GD)는 인버터(124)의 출력과 함께 NOR 게이트(310)로 다시 제공된다. 다시 말해서, 셋다운 구간 동안, 제 2 루프(314)는 제 1 루프(178)를 차단하여, 셋다운 웨이크업(즉, SD의 로직 하이로부터 로직 로우로의 전이) 이후에 신호(ON_GDB) 및 신호(ON_GMB)로부터의 전력 노이즈를 방지한다.

[0030] 도 5는 도 2의 전력 스위치 제어 회로(100)의 출력 래치(166)의 실시예를 예시한다. 이 실시예에서, 전력 스위치 제어 회로(100)의 출력 래치(166)는 인버터(402), NOR 게이트(404), NOR 게이트(406), 인버터(408), NOR 게이트(410), NOR 게이트(412) 및 인버터(414)를 포함한다. 구체적으로, 신호(ON_GDB)는 인버터(402)에 제공된다. 신호(ON_GD)인 인버터(402)의 출력은 신호(ON_GD)와 함께 NOR 게이트(404)에 제공된다. NOR 게이트(404)의 출력[즉, 신호(GDD_PS)]은 NOR 게이트(406) 및 NOR 게이트(412)로 구성된 플립-플롭의 리셋 입력에 제공된다. 한편, 신호(ON_GMB)는 인버터(408)에 제공된다. 신호(ON_GM)인 인버터(408)의 출력은 신호(ON_GM)와 함께 NOR 게이트(410)에 제공된다. NOR 게이트(410)의 출력[즉, 신호(GDM_PS)]은 NOR 게이트(406) 및 NOR 게이트(412)로 구성된 플립-플롭의 셋 입력에 제공된다. NOR 게이트(406) 및 NOR 게이트(412)로 구성된 플립-플롭의 출력은 인버터(414)에 제공된다. 인버터(414)의 출력은 내부 VDD 도메인(102)의 신호(SON_SELSRM_OUT)이다.

[0031] 기능 모드 동안, 신호(ON_GDB) 및 신호(ON_GMB)는 출력 래치(166)의 상태를 제어한다. 다르게 말하면, 출력 래치(166)는 신호(ON_GDB 및 ON_GMB)에 응답하여 선택 신호(AON_SELSRM_IN)를 신호(AON_SELSRM_OUT)로서 래치한다. 상술된 바와 같이, 셋다운 구간 동안, 신호(ON_GDB) 및 신호(ON_GMB)는 모두 로직 하이(1)이다. 따라서, 인버터(402)의 출력 및 인버터(408)의 출력은 모두 로직 로우(0)이다. NOR 게이트(404)의 출력은 신호(ON_GDB)이고, NOR 게이트(410)의 출력은 신호(ON_GMB)이다. 따라서, 출력 래치(166)는 셋다운 구간 동안 그 상태를 유지한다. 다르게 말하면, 셋다운 구간 동안 신호(AON_SELSRM_IN)의 상태가 변하더라도 셋다운 구간 동안 신호(AON_SELSRM_OUT)의 상태는 변하지 않는다.

[0032] 도 2의 또다른 예시적인 전력 스위치 제어 회로(100)는 도 6의 타이밍도(500) 및 도 7의 회로도(500)와 관련하여 이하 설명된다. 도 6의 타이밍도에서 알 수 있는 바와 같이, 신호(SD)는 초기에 로직 로우(0)이다. 시간 t1(501)에서, 신호(SD)는 로직 하이(1)가 되고, 이는 전력 스위치 제어 회로(100)가 셋다운 구간에 있음을 의미한다. 시간 t3(503)에서, 신호(SD)는 로직 로우(0)가 되고, 이는 전력 스위치 제어 회로(100)의 셋다운 구간이 종료됨을 의미한다. 일 실시예에서, 신호(AON_SELSRM_IN)는 셋다운 구간[즉, 시간 t1(501)에서 시간 t3(503)까지] 또는 셋다운 웨이크업 구간[즉, 시간 t3(503) 이후의 짧은 구간] 동안 토글을 허용한다. 예를 들어, 신호(AON_SELSRM_IN)는 시간 t11(511)에서 로직 로우(0)에서 로직 하이(1)로, 시간 t12(512)에서 로직 하이(1)에서 로직 로우(0)로, 시간 t13(513)에서 로직 로우(0)에서 로직 하이(1)로, 시간 t14(514)에서 로직 하이(1)에서 로직 로우(0)로 토글한다. 신호(AON_SELSRM_IN)는 셋다운 구간 또는 셋다운 웨이크업 구간 동안 다른 패턴으로 토글될 수 있음에 유의해야 한다. 시간 t5(505)에서 신호(AON_SELSRAM_IN)는 로직 하이(1)가 된다. 셋다운 웨이크업 이전의 신호(AON_SELRAM_IN)의 최종 상태(로직 로우)는 시간 t1(501)에서 셋다운 구간이 시작되기 전의 상태(로직 로우)와 동일하다. 신호(AON_SELSRAM_IN)가 로직 로우(0)인 경우[예를 들어, 시간 t11(511) 이전], 신호(ON_GDB)는 로직 로우(0)[예를 들어, 시간 t2(502) 이전]로 추정되는 반면에, 신호(ON_GMB)는 로직 하이(1)[예를 들어, 시간 t6(506) 이전]로 추정되며, 이는 VDDM 헤더 스위치(150)가 턴 오프된 반면 VDD 헤더 스위치(164)가 턴 온되기 때문에 VDD의 선택 및 VDDM의 선택 해제를 나타낸다. 신호(AON_SELSRAM_IN)가 로직 하이(1)[예를 들어, 시간 t5(505) 이후]인 경우, 신호(ON_GDB)는 로직 하이(1)[예를 들어, 시간 t2(507) 이후]로 추정되는 반면에, 신호(ON_GMB)는 로직 로우(0)[예를 들어, 시간 t6(506) 이후]로 추정되며, 이는 VDD 헤더 스위치(164)가 턴 오프된 반면 VDDM 헤더 스위치(150)가 턴 온되기 때문에 VDDM의 선택 및 VDD의 선택 해제를 나타낸다.

[0033] 상술된 바와 같이, 셋다운 구간 동안[즉, 시간 t2(502)에서 시간 t4(504)까지], 신호(SD)에 의해 VDDM 헤더 스위치(150) 및 VDD 헤더 스위치(164) 양자 모두 턴 오프된다. 신호(AON_SELSRM_OUT)는 신호(SD)의 토글에 응답하지 않는다. 대신에, 신호(AON_SELSRM_OUT)는 시간 t5(505)에서 신호(AON_SELSRM_IN)의 변화에 시간 t8(508)에서 지연하여 응답한다. 추가적으로, 신호(ON_GDB)가 시간 t4(504)에서 로직 로우(0)가 되면, 신호(ON_GMB)는 시간 t6(506) 이전에 로직 하이(1)를 유지한다. 따라서, 시간 t3(503)에서 신호(SD)의 하강은 두 도메인

(즉, VDD 및 VDDM) 사이에서 전력 단락을 트리거하지 않는다. 타이밍도(500)의 구현은 도 7을 참조하여 이하 개시될 것이다.

- [0034] 도 7은 도 6의 타이밍도(500)와 관련된 도 2의 전력 스위치 제어 회로(100)의 상태 래치(118)의 실시예를 도시한다. 도 7의 상태 래치(118)는 도 4에 도시된 실시예와 유사한 AND 게이트(302), NOR 게이트(304), 인버터(306), AND 게이트(308), NOR 게이트(310) 및 NOR 게이트(312)를 포함한다. 도 7에서, AND 게이트(601) 및 AND 게이트(607)가 더 포함된다.
- [0035] 교차 연결된 NOR 게이트(304) 및 NOR 게이트(310)는 상태 래치(118)의 플립 플롭으로서 기능한다. 구체적으로, 레벨 시프터(116)의 출력[즉, 신호(SEL_VMAX2)]은 신호(SDB_VMAX2)와 함께 AND 게이트(601)에 제공된다. AND 게이트(601)의 출력은 상태 래치(118)의 셋 입력(120)에서 NOR 게이트(304)에 제공된다. AND 게이트(302)의 출력이 또한 NOR 게이트(304)에 제공된다. NOR 게이트(304)의 출력은 인버터(306)에 제공된다. 상태 래치(118)의 제 1 출력(128)에서의 인버터(306)의 출력은 신호(ON_GM)이다. 신호(ON_GM)는 또한 AND 게이트(302)의 입력으로 다시 제공된다. 노드(162)에서의 신호(ON_GDB)는 AND 게이트(302)의 다른 입력[즉, 상태 래치(118)의 제 2 피드백 입력(126)]에 제공된다.
- [0036] 한편, 인버터(136)의 출력은 상태 래치(118)의 리셋 입력(122)에서 신호(SDB_VMAX2)와 함께 NOR 게이트(310)에 제공된다. AND 게이트(308)의 출력은 또한 NOR 게이트(310)에 제공된다. NOR 게이트(310)의 출력은 신호(VDD_RDYB)와 함께 NOR 게이트(312)에 제공된다. 상태 래치(118)의 제 2 출력(130)에서의 NOR 게이트(312)의 출력은 신호(ON_GD)이다. 신호(ON_GD)는 또한 AND 게이트(308)의 입력으로 다시 제공된다. 노드(148)에서 신호(ON_GMB)는 AND 게이트(308)의 다른 입력[즉, 상태 래치(118)의 제 1 피드백 입력(124)]에 제공된다.
- [0037] 기능 모드 동안, 제 1 루프(178)는 메이크-비포-브레이크를 수행할 수 있다. 도 6에 도시된 바와 같이, 첫다운 구간 동안, 상술된 바와 같이, 신호(SDB_VMAX2)는 지속적으로 로직 하이(0)이고, 신호(ON_GMB) 및 신호(ON_GDB)는 모두 지속적으로 로직 하이(1)이다. 따라서, AND 게이트(302)의 하나의 입력[즉, 상태 래치(118)의 제 2 피드백 입력(126)]은 지속적으로 로직 하이(1)이므로, AND 게이트(302)의 출력은 AND 게이트(302)의 다른 입력[즉, 신호(ON_GM)]과 동일하다. 신호(ON_GM)는 AND 게이트(601)의 출력과 함께 NOR 게이트(304)로 다시 제공된다. 마찬가지로, AND 게이트(308)의 하나의 입력[즉, 상태 래치(118)의 제 1 피드백 입력(124)]은 지속적으로 로직 하이(1)이므로, AND 게이트(308)의 출력은 AND 게이트(308)의 다른 입력[즉, 신호(ON_GD)]과 동일하다. 신호(ON_GD)는 AND 게이트(607)의 출력과 함께 NOR 게이트(310)로 다시 제공된다. 다시 말해서, 첫다운 구간 동안, 제 2 루프(314)는 제 1 루프(178)를 차단하여, 첫다운 웨이크업 이후에 신호(ON_GDB) 및 신호(ON_GMB)로부터의 전력 노이즈를 방지한다.
- [0038] 첫다운 구간 동안 신호(SDB_VMAX2)는 지속적으로 로직 로우(0)이므로, AND 게이트(601)의 출력 및 AND 게이트(607)의 출력은 지속적으로 로직 로우(0)이다. 따라서, 교차 연결된 NOR 게이트(304) 및 NOR 게이트(310)를 포함하는 상태 래치(118)의 플립-플롭은 홀드(hold) 상태에 있다. 따라서, 신호(AON_SEL SRM_IN)는 첫다운 구간[즉, 시간 t1(501)에서 시간 t3(503)까지] 또는 첫다운 웨이크업 구간[즉, 시간 t3(503) 이후의 짧은 구간] 동안 토글을 허용한다[즉, 신호(AON_SEL SRM_IN)의 토글이 게이트됨].
- [0039] 예시적인 전력 스위치 제어 회로(100)의 또다른 예시적인 동작이 도 8 및 도 9를 참조하여 이하 개시된다. 도 8의 타이밍도에서 알 수 있는 바와 같이, 신호(SD)는 초기에 로직 로우(0)이다. 시간 t1(701)에서, 신호(SD)는 로직 하이(1)이 되고, 이는 전력 스위치 제어 회로(100)가 첫다운 구간에 있음을 의미한다. 시간 t4(704)에서, 신호(SD)는 로직 로우(0)이 되고, 이는 전력 스위치 제어 회로(100)의 첫다운 구간이 종료됨을 의미한다. 일 실시예에서, 신호(AON_SEL SRM_IN)는 첫다운 구간[즉, 시간 t1(701)에서 시간 t4(704)까지] 또는 첫다운 웨이크업 구간[즉, 시간 t4(704) 이후의 짧은 구간] 동안 토글을 허용한다. 예를 들어, 신호(AON_SEL SRM_IN)는 시간 t11(711)에서 로직 로우(0)에서 로직 하이(1)로, 시간 t12(712)에서 로직 하이(1)에서 로직 로우(0)로, 시각 t13(713)에서 로직 로우(0)에서 로직 하이(1)로, 시각 t14(714)에서 로직 하이(1)에서 로직 로우(0)로 토글한다. 신호(AON_SEL SRM_IN)는 첫다운 구간 또는 첫다운 웨이크업 구간 동안 다른 패턴으로 토글될 수 있음에 유의해야 한다. 시각 t3(703)에서 신호(AON_SEL SRAM_IN)는 로직 하이(1)이 된다. 도 3의 타이밍도(200) 및 도 6의 타이밍도(500)과 유사하게, 시각 t4(704)에서 첫다운 웨이크업 이전의 신호(AON_SEL SRAM_IN)의 최종 상태(로직 하이)는 시간 t1(701)에서 첫다운 구간이 시작하기 전의 상태(로직 로우)와 상이하다. 신호(SD)가 시간 t4(704)에서 로직 하이(1)에서 로직 로우(0)로 토글하기 전에 신호(AON_SEL SRM_IN)가 시간 t3(703)에서 로직 로우(0)에서 로직 하이(1)로 토글하기 때문에, 신호(ON_GMB)는 시간 t6(706)에서 로직 하이(1)에서 로직 로우(0)로 토글하고, 이어서 시각 t4(704)에서 신호(SD)가 하강한다.

- [0040] 신호(AON_SELSSRAM_IN)가 로직 로우(0)인 경우[예를 들어, 시간 t11(711) 이전], 신호(ON_GDB)는 로직 로우(0) [예를 들어, 시각 t2(702) 이전]로 추정되는 반면에, 신호(ON_GMB)는 로직 하이(1)[예를 들어, 시간 t6(706) 이전]로 추정되며, 이는 VDDM 헤더 스위치(150)가 턴 오프된 반면 VDD 헤더 스위치(164)가 턴 온되기 때문에 VDD의 선택 및 VDDM의 선택 해제를 나타낸다. 신호(AON_SELSSRAM_IN)가 로직 하이(1)[예를 들어, 시간 t3(703) 이후]인 경우, 신호(ON_GDB)는 로직 하이(1)[예를 들어, 시각 t3(703) 이후]로 추정되는 반면에, 신호(ON_GMB)는 로직 로우(0)[예를 들어, 시간 t6(706) 이후]로 추정되며, 이는 VDD 헤더 스위치(164)가 턴 오프된 반면 VDDM 헤더 스위치(150)가 턴 온되기 때문에 VDDM의 선택 및 VDD의 선택 해제를 나타낸다.
- [0041] 상술된 바와 같이, 셋다운 구간 동안[즉, 시간 t2(702)에서 시간 t6(706)까지], 신호(SD)에 의해 VDDM 헤더 스위치(150) 및 VDD 헤더 스위치(164) 양자 모두 턴 오프된다. 신호(AON_SELSSRAM_OUT)는 신호(SD)의 토글에 응답하지 않는다. 대신에, 신호(AON_SELSSRAM_OUT)는 신호(AON_SELSSRAM_IN)의 변화에 지연하여 응답한다. 추가적으로, 신호(ON_GMB)가 시간 t6(706)에서 로직 로우(0)가 되면, 신호(ON_GDB)는 로직 하이(1)를 유지한다. 시각 t4(704)에서 신호(SD)의 하강은 두 도메인(즉, VDD 및 VDDM) 사이에서 전력 단락을 트리거하지 않는다. 타이밍도(700)의 구현은 도 9를 참조하여 이하 개시될 것이다.
- [0042] 도 9는 도 7의 타이밍도(700)와 관련된 도 2는 전력 스위치 제어 회로(100)의 상태 래치(118)의 실시예를 도시한다. 도 1과 동일한 부분에는 동일한 참조 번호가 사용된다. 이 실시예에서, 전력 스위치 제어 회로(100)의 상태 래치(118)는 AND 게이트(601), AND 게이트(802), NOR 게이트(304), 인버터(306), AND 게이트(607), AND 게이트(808), NOR 게이트(310) 및 NOR 게이트(312)를 포함한다. 이하에 더 논의되는 바와 같이, AND 게이트(802, 808)는, AND 게이트(802, 808)가 각각 3개의 입력을 갖지만, 도 4 및 도 7과 관련하여 상기 논의된 AND 게이트(302, 308)와 유사하다.
- [0043] 교차 연결된 NOR 게이트(304) 및 NOR 게이트(310)는 상태 래치(118)의 플립-플롭으로서 기능한다. 구체적으로, 레벨 시프터(116)의 출력[즉, 신호(SEL_VMAX2)]은 상태 래치(118)의 셋(set) 입력(120)에서 NOR 게이트(304)에 제공된다. NOR 게이트(304)의 다른 2개의 입력 신호는 NAND 게이트(802)의 출력 및 NAND 게이트(601)의 출력이다. NOR 게이트(304)의 출력은 인버터(306)에 제공된다. 상태 래치(118)의 제 1 출력(128)에서 인버터(306)의 출력은 신호(ON_GM)이다. 신호(ON_GM)은 또한 AND 게이트(802)의 제 1 입력으로 다시 제공된다. 노드(162)에서의 신호(ON_GDB)는 AND 게이트(802)의 제 2 입력[즉, 상태 래치(118)의 제 2 피드백 입력(126)]에 제공된다. 신호(SDB_VMAX2)는 AND 게이트(802)의 제 3 입력에 제공된다. 다르게 말하면, AND(802) 게이트의 3개의 입력 신호는 신호(ON_GM), 신호(ON_GDB) 및 신호(SDB_VMAX2)이다. 신호(ON_GDB)는 신호(SD_VMAX2)와 함께 AND 게이트(601)에 제공된다. 신호(ON_GDB)를 AND 게이트(601)에 피드백하는 것은 제 3 루프(816)의 일부를 형성한다.
- [0044] 한편, 인버터(136)의 출력은 상태 래치(118)의 리셋 입력(122)에서 NOR 게이트(310)에 제공된다. NOR 게이트(310)의 다른 2개의 입력 신호는 NAND 게이트(808)의 출력 및 NAND 게이트(607)의 출력이다. NOR 게이트(310)의 출력은 신호(VDD_RDYB)와 함께 NOR 게이트(312)에 제공된다. 상태 래치(118)의 제 2 출력(130)에서의 NOR 게이트(312)의 출력은 신호(ON_GD)이다. 신호(ON_GD)는 또한 AND 게이트(808)의 제 1 입력으로 다시 제공된다. 노드(148)에서의 신호(ON_GMB)는 AND 게이트(808)의 제 2 입력[즉, 상태 래치(118)의 제 2 피드백 입력(124)]에 제공된다. 신호(SDB_VMAX2)는 AND 게이트(808)의 제 3 입력에 제공된다. 다르게 말하면, AND 게이트의 3개의 입력 신호는 신호(ON_GD), 신호(ON_GMB) 및 신호(SDB_VMAX2)이다. 신호(ON_GMB)는 신호(SD_VMAX2)와 함께 AND 게이트(607)에 제공된다. 신호(ON_GMB)를 AND 게이트(607)에 피드백하는 것은 제 3 루프(816)의 또다른 부분을 형성한다.
- [0045] 기능 모드 동안, 제 1 루프(178)는 상술된 바와 같이 메이크-비포-브레이크 기능을 수행할 수 있다. 도 8에 도시된 바와 같이, 셋다운 구간 동안, 상술된 바와 같이, 신호(SDB_VMAX2)는 지속적으로 로직 하이(0)이고, 신호(ON_GMB) 및 신호(ON_GDB)는 모두 지속적으로 로직 하이(1)이다. 따라서, 셋다운 구간 동안, 제 1 루프(178)가 차단되어, 셋다운 웨이크업 이후에 신호(ON_GDB) 및 신호(ON_GMB)로부터의 전력 노이즈를 방지한다. AON-SELSSRAM_IN 상태가 최종 AON-SELSSRAM_IN 상태와 상이한 경우(즉, 셋다운 구간 동안 AON-SELSSRAM_IN 상태가 변하는 경우), 제 3 루프는 웨이크업 동안 메이크-비포-브레이크를 방지하도록 기능하여 전력 헤더(164 및/또는 150)의 의도치않은 활성화를 방지한다. 신호(AON-SELSSRAM_IN)가 셋다운 동안 상태를 변경할 수 있기 때문에, 출력 래치(166)는 또한 출력 래치(166)의 입력에서 수신된 신호(ON_GD 및 ON_GM) 신호에 기초하여 출력 신호(AON-SELSSRAM_OUT)의 상태를 변경할 수 있다.
- [0046] 도 10은 도 4에 도시된 것과 유사한 다른 실시예를 예시하고, 여기서 AND 게이트(302 및 308)는 신호(SDB_VMAX2)를 수신하는 제 3 입력을 포함하는 AND 게이트(902, 908)로 대체된다. 신호(SDB_VMAX2)는 셋다운

동안 로직 로우이므로, 셋다운 동안 제 1 루프(178) 및 제 2 루프(314) 양자 모두는 턴 오프된다. 따라서, 도 10의 실시예에서, 신호(ON_GD 및 ON_GM)는 도 9에 도시된 실시예에서와 같이 출력 래치 상태를 계속하여 제어한다.

[0047] 도 11은 도 1에 도시된 디바이스(10)와 같은 메모리 디바이스의 헤더 스위치를 동작시키기 위한 방법(900)의 예를 도시한 흐름도이다. 단계(910)에서 제 1 전력 도메인(VDD)과 같은 제 1 전압 레벨의 전력 도메인 선택 신호가 수신되고, 단계(912)에서 선택 신호는 제 3 전력 도메인(VMAX2)과 같은 더 높은 전압 레벨로 레벨 시프트된다. 일부 예에서, 이것은 레벨 시프터(116)에 의해 달성된다. 단계(914)에서, 기능 구간 동안 선택 신호에 응답하여, 메모리 어레이(183)를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제 3 전력 도메인(VMAX2)의 제어 신호(ON_GD, ON_DM)가 제 1 및 제 2 헤더 스위치(164, 150)로 출력된다. 단계(916)에서, 셋다운 구간 동안 메모리 어레이를 제 1 및 제 2 전원 양자 모두로부터 분리하기 위해 제 3 전력 도메인(VMAX2)의 제어 신호가 제 1 및 제 2 헤더 스위치로 출력된다. 단계(918)에서 기능 구간 동안 제 1 및 제 2 제어 신호는 래치된다.

[0048] 일부 개시된 실시예에 따르면, 전력 스위치 제어 회로는 메모리 어레이에 전력을 공급하도록 구성된 공급 레일, 공급 레일을 제 1 전력 도메인에 대응하는 제 1 전원에 연결하기 위한 제 1 헤더 스위치, 및 공급 레일을 제 2 전력 도메인에 대응하는 제 2 전원에 연결하기 위한 제 2 헤더 스위치, 및 선택 신호 및 셋다운 신호를 수신하고 선택 신호 및 셋다운 신호에 응답하여 제 1 및 제 2 헤더 스위치를 각각 상기 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하도록 구성된 제어 회로를 포함한다. 제어 회로는 선택 신호에 상관없이 셋다운 신호에 응답하여 제 1 및 제 2 헤더 스위치 양자 모두를 제 1 및 제 2 전원으로부터 분리하기 위해 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하도록 구성된다.

[0049] 추가의 실시예에 따르면, 메모리 디바이스는 제 1 전력 도메인 또는 제 2 전력 도메인에서 동작하도록 구성된 비트셀 어레이, 비트셀 어레이에 연결된 워드라인 드라이버, 비트셀 어레이에 연결된 입력/출력 회로, 비트셀 어레이에 연결된 공급 레일을 포함한다. 제 1 헤더 스위치가 공급 레일을 제 1 전력 도메인에 대응하는 제 1 전원에 선택적으로 연결한다. 제 2 헤더 스위치가 공급 레일을 제 2 전력 도메인에 대응하는 제 2 전원에 선택적으로 연결한다. 제어 회로는 선택 신호 및 셋다운 신호를 수신하도록 구성된다. 제어 회로는 선택 신호 및 셋다운 신호에 응답하여, 제 1 및 제 2 헤더 스위치를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하도록 구성된 제 1 래치 회로를 포함한다. 제 2 래치 회로는 제 1 및 제 2 제어 신호를 수신하고, 셋다운 신호에 응답하여 선택 신호를 래치하도록 구성된다.

[0050] 추가의 실시예들에 따르면, 방법은 제 1 전력 도메인에서 셋다운 신호를 수신하는 단계, 및 셋다운 신호를 제 3 전력 도메인으로 레벨 시프트하는 단계를 포함한다. 제어 신호는 기능 구간 동안 선택 신호에 응답하여 메모리 어레이를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제 3 전력 도메인에서 제 1 및 제 2 헤더 스위치에 출력된다. 제어 신호는 셋다운 구간 동안 제 1 및 제 2 전원 양자 모두로부터 메모리 어레이를 분리하기 위해 제 3 전력 도메인에서 제 1 및 제 2 헤더 스위치에 출력된다. 제 1 및 제 2 제어 신호는 기능 구간 동안 래치된다.

[0051] 상기는 본 발명개시의 양상들을 본 발명분야의 당업자가 보다 잘 이해할 수 있도록 여러 실시예들의 피쳐들을 약술한다. 당업자는 본 발명개시를 기초로서 여기에 개시된 실시예들과 동일한 목적을 수행하고/수행하거나 동일한 이점을 성취하는 다른 공정 및 구조들을 설계하거나 수정하기 위해 용이하게 사용될 수 있다는 것을 인지해야 한다. 또한, 당업자는 그러한 동등한 구성이 본 개시의 사상 및 범주로부터 벗어나지 않고, 이들은 본 개시의 사상 및 범주를 벗어나지 않으면서 다양한 수정, 대체 및 변경이 가능하다는 것을 인지해야 한다.

[0052]
[0053] 실시예

- [0054] 1. 전력 스위치 제어 회로에 있어서,
- [0055] 메모리 어레이에 전력을 공급하도록 구성된 공급 레일;
- [0056] 상기 공급 레일을 제 1 전력 도메인에 대응하는 제 1 전원에 연결하기 위한 제 1 헤더 스위치;
- [0057] 상기 공급 레일을 제 2 전력 도메인에 대응하는 제 2 전원에 연결하기 위한 제 2 헤더 스위치;
- [0058] 선택 신호 및 셋다운(shutdown) 신호를 수신하고, 상기 선택 신호 및 상기 셋다운 신호에 응답하여 상기 제 1 및 제 2 헤더 스위치를 각각 상기 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 상기 제 1 및 제

2 헤더 스위치에 출력하도록 구성된 제어 회로

- [0059] 를 포함하고,
- [0060] 상기 제어 회로는 상기 선택 신호에 상관없이 상기 섰다운 신호에 응답하여 상기 제 1 및 제 2 헤더 스위치 양자 모두를 상기 제 1 및 제 2 전원으로부터 분리(disconnect)하기 위해 상기 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성되는 것인, 전력 스위치 제어 회로.
- [0062] 2. 제 1 항에 있어서,
- [0063] 상기 제 1 전력 도메인에서 상기 선택 신호 및 상기 섰다운 신호를 수신하고 제 3 전력 도메인에서 상기 선택 신호 및 상기 섰다운 신호를 출력하도록 구성된 레벨 시프터를 더 포함하는, 전력 스위치 제어 회로.
- [0064] 를 더 포함하는, 전력 스위치 제어 회로.
- [0066] 3. 제 1 항에 있어서,
- [0067] 상기 선택 신호에 응답하여 상기 공급 레일을 상기 제 1 전원에 순차적으로(sequentially) 연결하도록 구성된 복수의 상기 제 1 헤더 스위치; 및
- [0068] 상기 선택 신호에 응답하여 상기 공급 레일을 상기 제 2 전원에 순차적으로 연결하도록 각각 구성된 복수의 상기 제 2 헤더 스위치
- [0069] 를 더 포함하는, 전력 스위치 제어 회로.
- [0071] 4. 제 1 항에 있어서,
- [0072] 상기 제어 신호는 상기 제 1 및 제 2 헤더 스위치를 각각 제어하기 위한 제 1 및 제 2 제어 신호를 포함하고, 상기 전력 스위치 제어 회로는,
- [0073] 상기 선택 신호를 수신하고, 이에 응답하여 상기 제 1 및 제 2 제어 신호를 출력하도록 구성된 제 1 래치 회로
- [0074] 를 더 포함하고,
- [0075] 상기 전력 스위치 제어 회로는 상기 섰다운 신호에 응답하여 상기 제 1 래치 회로에 의해 출력된 상기 제 1 및 제 2 제어 신호 중 하나를 수정하도록 구성되는 것인, 전력 스위치 제어 회로.
- [0077] 5. 제 4 항에 있어서,
- [0078] 상기 제 1 제어 신호를 생성하도록 구성된 제 1 브랜치(branch);
- [0079] 상기 제 2 제어 신호를 생성하도록 구성된 제 2 브랜치; 및
- [0080] 상기 제 1 제어 신호가 상기 제 2 브랜치의 제 1 피드백 입력으로 피드백되고, 상기 제 2 제어 신호가 상기 제 1 브랜치의 제 1 피드백 입력으로 피드백되는 제 1 피드백 루프
- [0081] 를 더 포함하는, 전력 스위치 제어 회로.
- [0083] 6. 제 5 항에 있어서,
- [0084] 상기 제 1 제어 신호가 상기 제 1 브랜치의 제 2 피드백 입력으로 피드백되고, 상기 제 2 제어 신호가 상기 제 2 브랜치의 제 2 피드백 입력으로 피드백되는 제 2 피드백 루프
- [0085] 를 더 포함하는, 전력 스위치 제어 회로.
- [0087] 7. 제 6 항에 있어서,
- [0088] 상기 제 1 래치 회로는,
- [0089] 상기 제 1 브랜치에서 제 1 입력, 제 2 입력 및 출력을 갖는 제 1 NOR 게이트 - 상기 제 1 입력은 상기 선택 신호의 보수(complement)를 수신하도록 구성되고, 상기 출력은 상기 제 1 제어 신호를 출력하도록 구성됨 - ;
- [0090] 상기 제 1 브랜치의 제 1 및 제 2 피드백 입력, 및 상기 제 1 NOR 게이트의 제 2 입력에 연결된 출력을 갖는 제 1 AND 게이트;

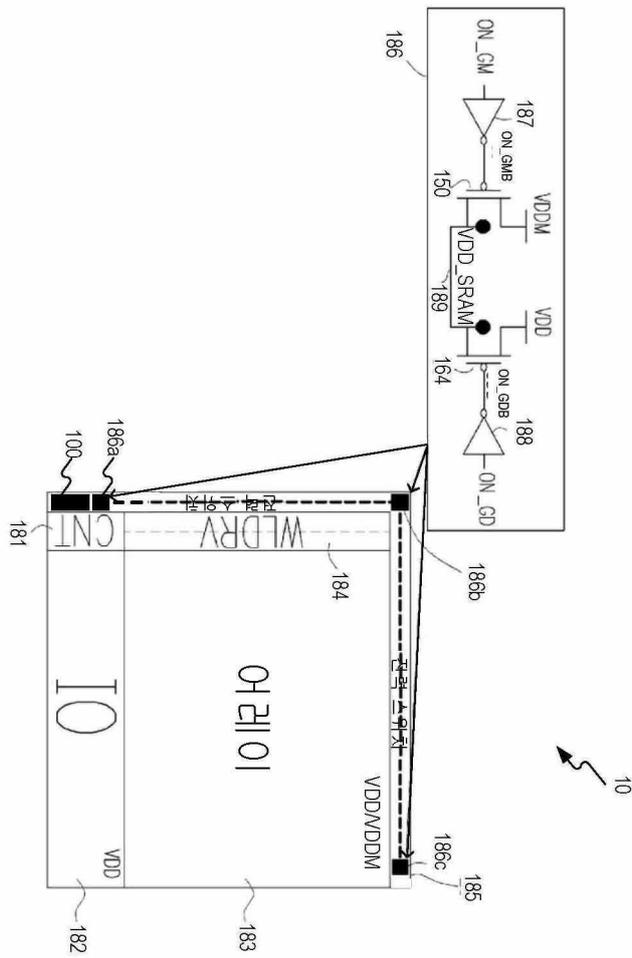
- [0091] 상기 제 2 브랜치에서 제 1 입력, 제 2 입력 및 출력을 갖는 제 2 NOR 게이트 - 상기 제 1 입력은 상기 선택 신호를 수신하도록 구성되며, 상기 출력은 상기 제 2 제어 신호를 출력하도록 구성됨 - ; 및
- [0092] 상기 제 2 브랜치의 상기 제 1 및 제 2 피드백 입력, 및 상기 제 2 NOR 게이트의 상기 제 2 입력에 연결된 출력을 갖는 제 2 AND 게이트
- [0093] 를 포함하는 것인, 전력 스위치 제어 회로.
- [0095] 8. 제 7 항에 있어서,
- [0096] 상기 셋다운 신호의 보수를 수신하도록 구성된 제 1 입력, 상기 제 1 제어 신호를 수신하도록 구성된 제 2 입력, 및 상기 제 1 제어 신호를 출력하도록 구성된 출력을 갖는 제 1 NAND 게이트;
- [0097] 상기 셋다운 신호의 보수를 수신하도록 구성된 제 1 입력, 상기 제 2 제어 신호를 수신하도록 구성된 제 2 입력, 및 상기 제 2 제어 신호를 출력하도록 구성된 출력을 갖는 제 2 NAND 게이트
- [0098] 를 더 포함하는, 전력 스위치 제어 회로.
- [0100] 9. 제 4 항에 있어서,
- [0101] 상기 셋다운 신호는 셋다운 모드에 대응하는 제 1 상태 및 기능 모드에 대응하는 제 2 상태를 포함하고, 상기 전력 스위치 제어 회로는,
- [0102] 상기 제 1 래치 회로로부터 상기 제 1 및 제 2 제어 신호를 수신하는 제 2 래치 회로 - 상기 제 2 래치 회로는 상기 셋다운 모드에서 상기 셋다운 신호에 응답하여 상기 선택 신호를 래치하고, 상기 기능 모드에서 상기 제 1 및 제 2 제어 신호에 응답하여 상기 선택 신호를 래치하도록 구성됨-
- [0103] 를 더 포함하는, 전력 스위치 제어 회로.
- [0105] 10. 제 7 항에 있어서,
- [0106] 상기 선택 신호의 보수를 수신하도록 구성된 제 1 입력, 상기 셋다운 신호를 수신하도록 구성된 제 2 입력, 및 상기 제 1 NOR 게이트의 제 1 입력에 연결된 출력을 갖는 제 3 AND 게이트;
- [0107] 상기 제 2 브랜치에서 제 1 입력, 제 2 입력 및 출력을 갖는 제 2 NOR 게이트 - 상기 제 1 입력은 상기 선택 신호를 수신하도록 구성되며, 상기 출력은 상기 제 2 제어 신호를 출력하도록 구성됨 - ; 및
- [0108] 상기 선택 신호를 수신하도록 구성된 제 1 입력, 상기 셋다운 신호를 수신하도록 구성된 제 2 입력, 및 제 2 NOR 게이트의 제 1 입력에 연결된 출력을 갖는 제 4 AND 게이트
- [0109] 를 더 포함하는, 전력 스위치 제어 회로.
- [0111] 11. 제 7 항에 있어서,
- [0112] 상기 제 2 제어 신호의 보수를 수신하도록 구성된 제 1 입력, 상기 셋다운 신호를 수신하도록 구성된 제 2 입력, 및 상기 제 1 NOR 게이트의 제 3 입력에 연결된 출력을 갖는 제 3 AND 게이트;
- [0113] 상기 제 1 제어 신호의 보수를 수신하도록 구성된 제 1 입력, 상기 셋다운 신호를 수신하도록 구성된 제 2 입력, 및 상기 제 2 NOR 게이트의 제 3 입력에 연결된 출력을 갖는 제 4 AND 게이트
- [0114] 를 더 포함하는, 전력 스위치 제어 회로.
- [0116] 12. 제 7 항에 있어서,
- [0117] 상기 제 1 AND 게이트는 상기 셋다운 신호를 수신하도록 구성된 제 3 입력을 포함하고, 상기 제 2 AND 게이트는 상기 셋다운 신호를 수신하도록 구성된 제 3 입력을 포함하는 것인, 전력 스위치 제어 회로.
- [0119] 13. 메모리 디바이스에 있어서,
- [0120] 제 1 전력 도메인 또는 제 2 전력 도메인에서 동작하도록 구성된 비트셀 어레이;
- [0121] 상기 비트셀 어레이에 연결된 워드라인 드라이버;
- [0122] 상기 비트셀 어레이에 연결된 입력/출력 회로;

- [0123] 상기 비트셀 어레이에 연결된 공급 레일;
- [0124] 상기 공급 레일을 상기 제 1 전력 도메인에 대응하는 제 1 전원에 연결하기위한 제 1 헤더 스위치;
- [0125] 상기 공급 레일을 상기 제 2 전력 도메인에 대응하는 제 2 전원에 연결하기위한 제 2 헤더 스위치;
- [0126] 선택 신호 및 셋다운 신호를 수신하도록 구성된 제어 회로
- [0127] 를 포함하고,
- [0128] 상기 제어 회로는,
- [0129] 상기 선택 신호 및 상기 셋다운 신호에 응답하여, 상기 제 1 및 제 2 헤더 스위치를 각각 상기 제 1 및 제 2 전원에 선택적으로 연결하기 위해 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성된 제 1 래치 회로, 및
- [0130] 상기 제 1 및 제 2 제어 신호를 수신하고, 상기 셋다운 신호에 응답하여 상기 선택 신호를 래치하도록 구성된 제 2 래치 회로
- [0131] 를 포함하는 것인, 메모리 디바이스.
- [0133] 14. 제 13 항에 있어서,
- [0134] 상기 제 1 래치 회로는 상기 선택 신호에 상관없이 상기 셋다운 신호에 응답하여 상기 제 1 및 제 2 헤더 스위치 양자 모두를 상기 제 1 및 제 2 전원에서부터 분리하기 위해 상기 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하도록 구성되는 것인, 메모리 디바이스.
- [0136] 15. 제 13 항에 있어서,
- [0137] 상기 제 1 래치 회로는 상기 셋다운 신호 및 상기 선택 신호에 응답하여 상기 선택 신호를 래치하도록 구성되는 것인, 메모리 디바이스.
- [0139] 16. 제 13 항에 있어서,
- [0140] 상기 제 1 전력 도메인에서 상기 선택 신호 및 상기 셋다운 신호를 수신하고 제 3 전력 도메인에서 상기 선택 신호 및 상기 셋다운 신호를 출력하도록 구성된 레벨 시프터
- [0141] 를 더 포함하는, 메모리 디바이스.
- [0143] 17. 제 16 항에 있어서,
- [0144] 상기 제 2 래치 회로는 상기 제 1 전력 도메인에서 상기 래치된 선택 신호를 출력하도록 구성되는 것인, 메모리 디바이스.
- [0146] 18. 방법에 있어서,
- [0147] 제 1 전압 레벨에서 전력 도메인 선택 신호를 수신하는 단계;
- [0148] 상기 선택 신호를 더 높은 전압 레벨로 레벨 시프트하는 단계;
- [0149] 기능 구간 동안 상기 선택 신호에 응답하여, 메모리 어레이를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계;
- [0150] 셋다운 구간 동안 상기 제 1 및 제 2 전원 양자 모두로부터 상기 메모리 어레이를 분리하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계; 및
- [0151] 상기 기능 구간 동안 상기 제 1 및 제 2 제어 신호를 래치하는 단계
- [0152] 를 포함하는, 방법.
- [0154] 19. 제 18 항에 있어서,
- [0155] 상기 제 1 및 제 2 제어 신호는 기능 구간 동안 제 1 래치 회로에 의해 래치되며, 상기 방법은,
- [0156] 제 2 래치 회로에 의해 상기 선택 신호를 상기 제 1 전압 레벨에 래치하는 단계
- [0157] 를 더 포함하는, 방법.

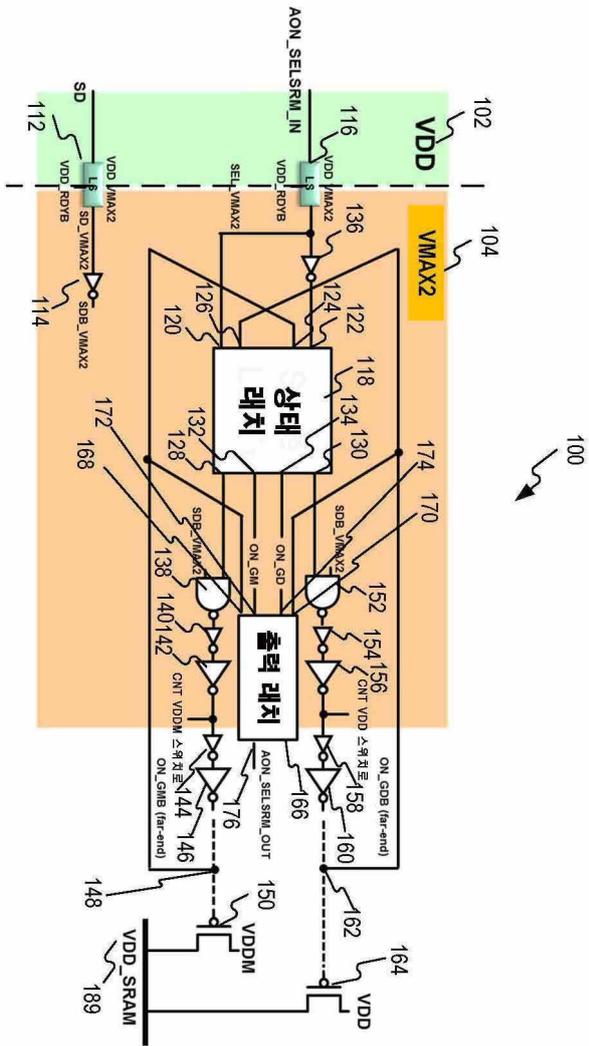
- [0159] 20. 제 19 항에 있어서,
- [0160] 상기 섷다운 모드 동안 상기 수신된 섷택 신호의 변동에 응답하여 상기 래치된 섷택 신호를 변경하는 단계
- [0161] 를 더 포함하는, 방법.

도면

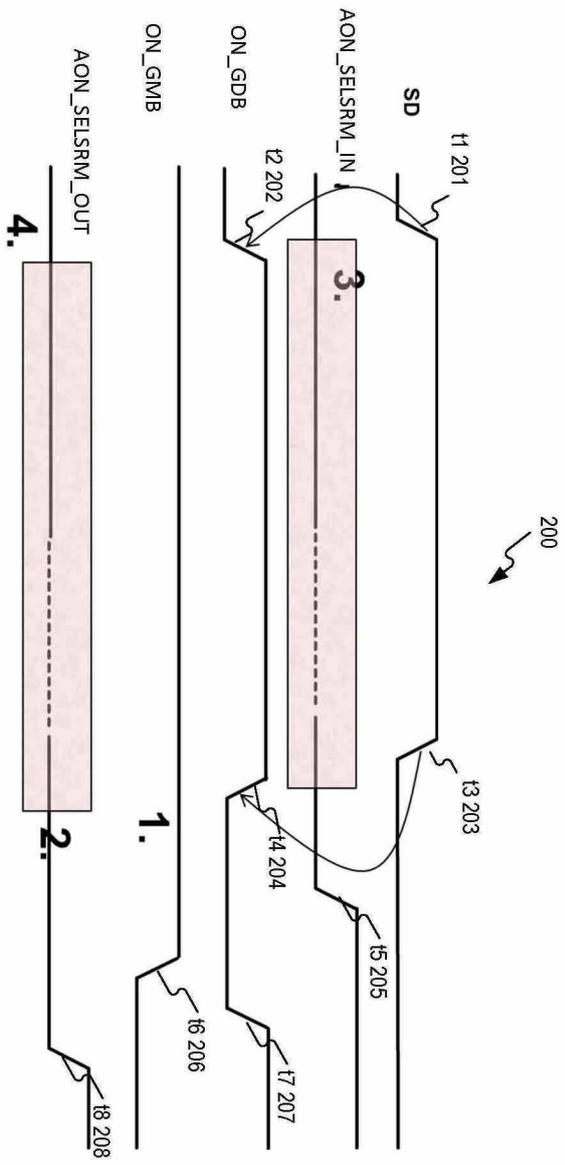
도면1



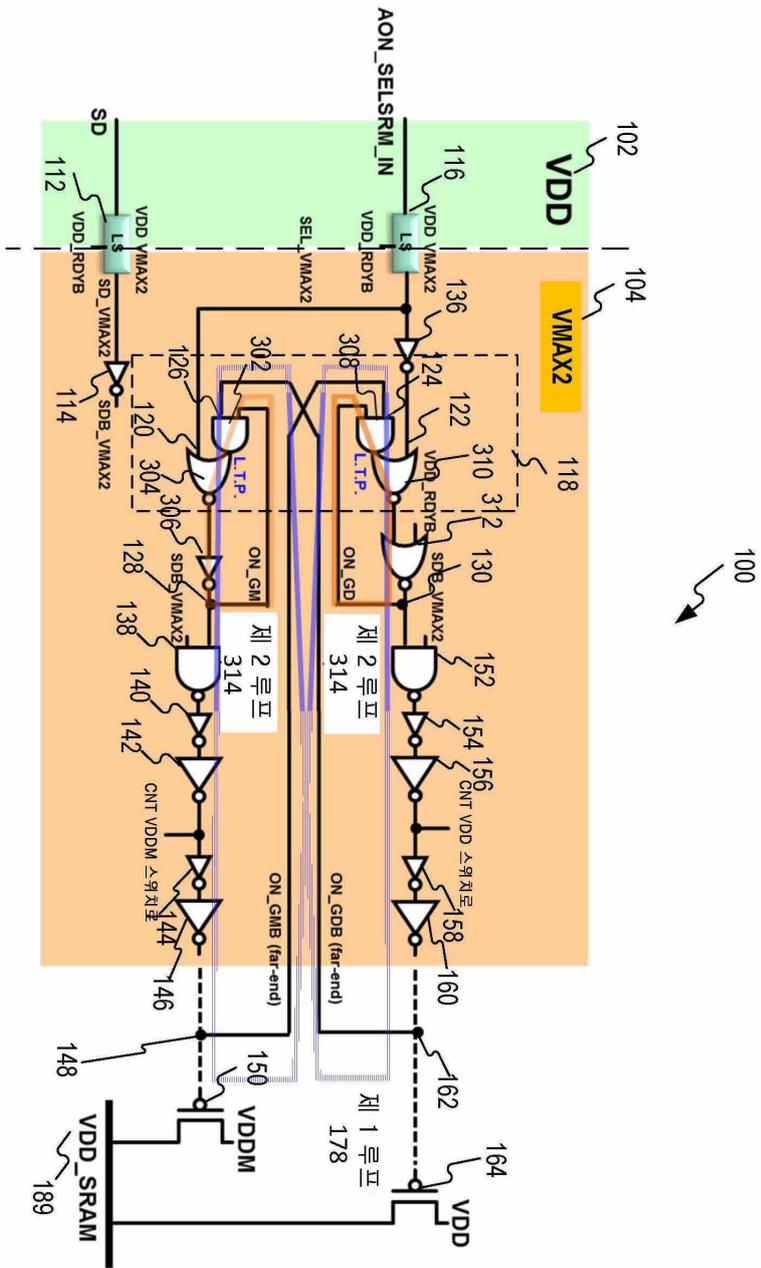
도면2



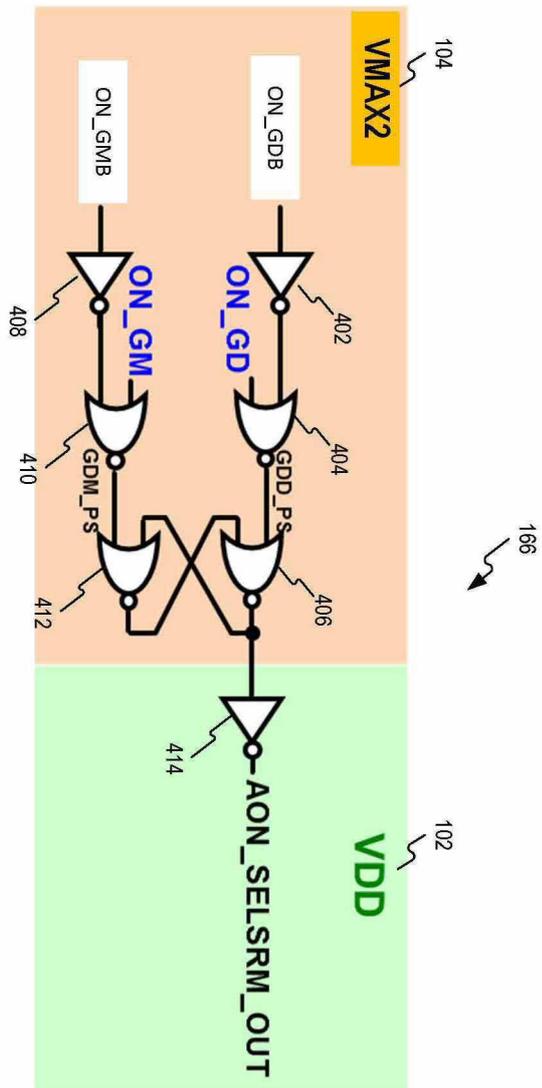
도면3



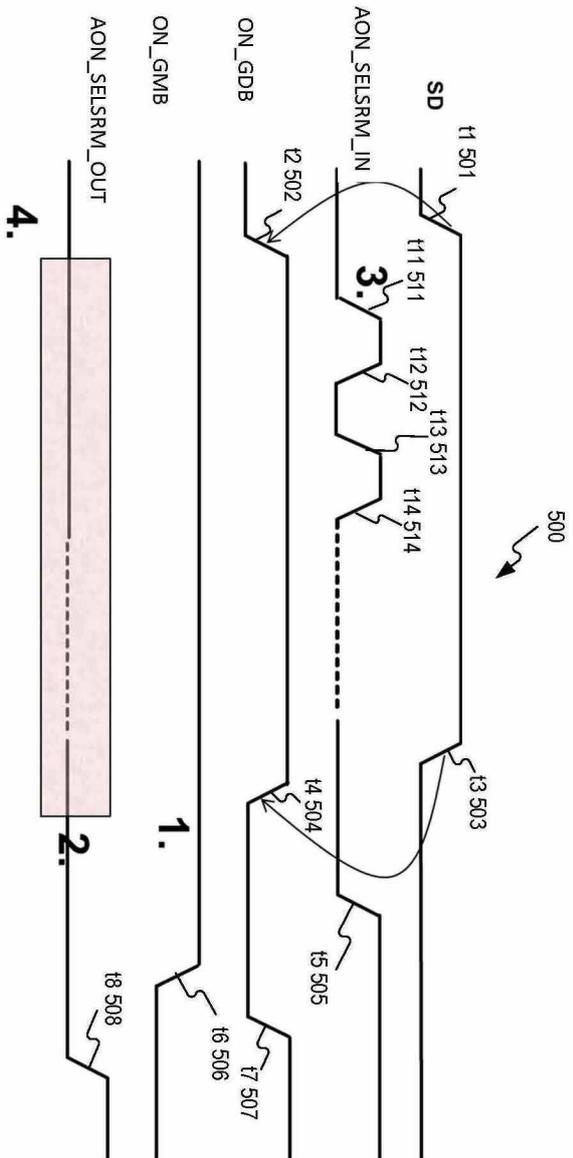
도면4



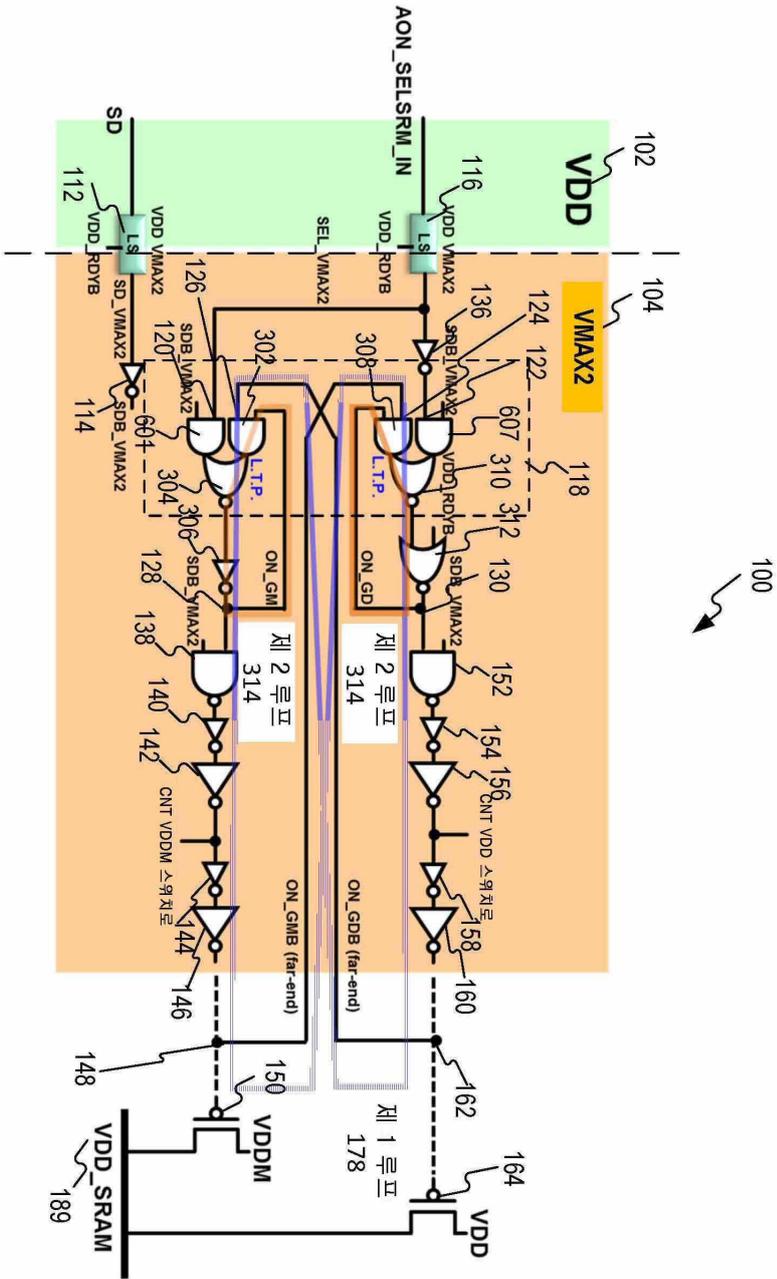
도면5



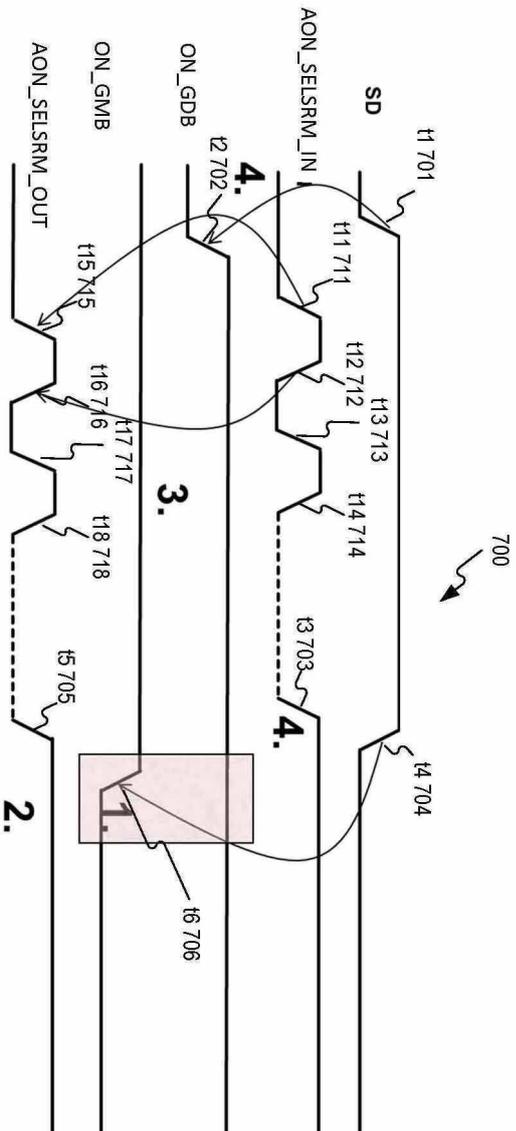
도면6



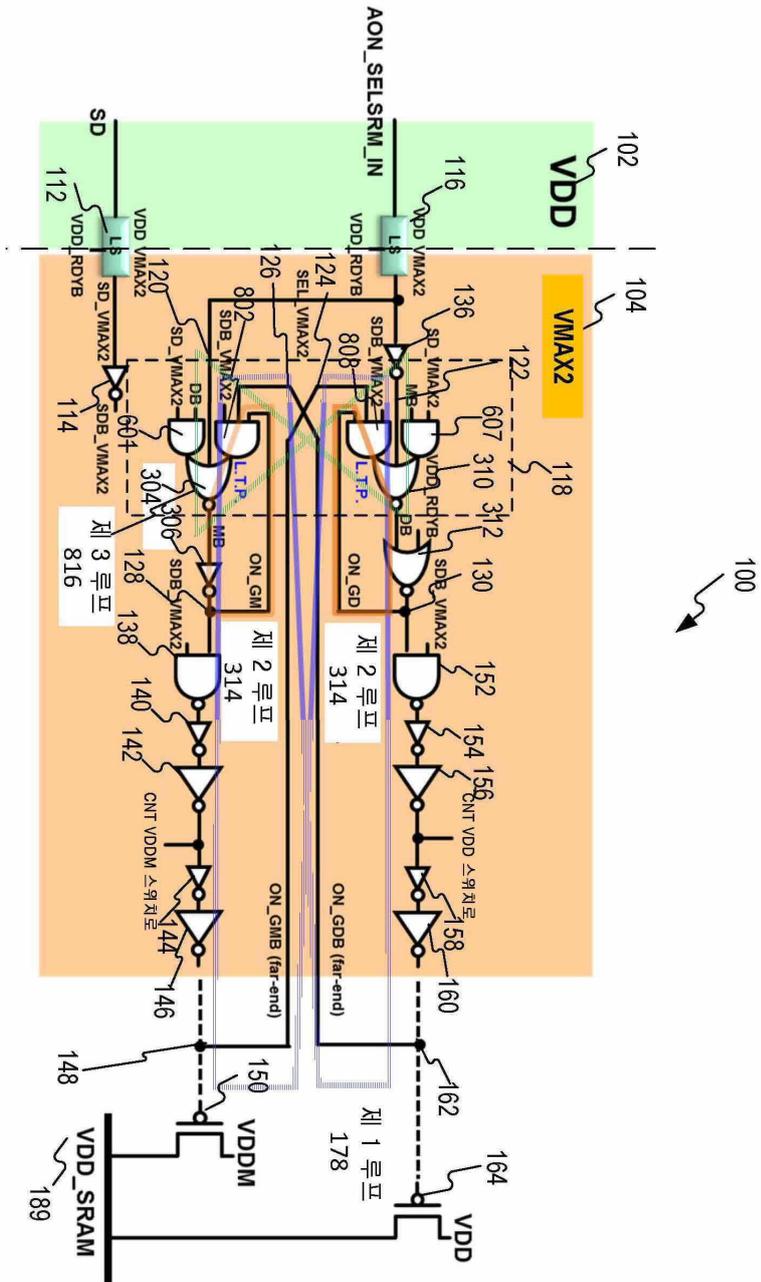
도면7



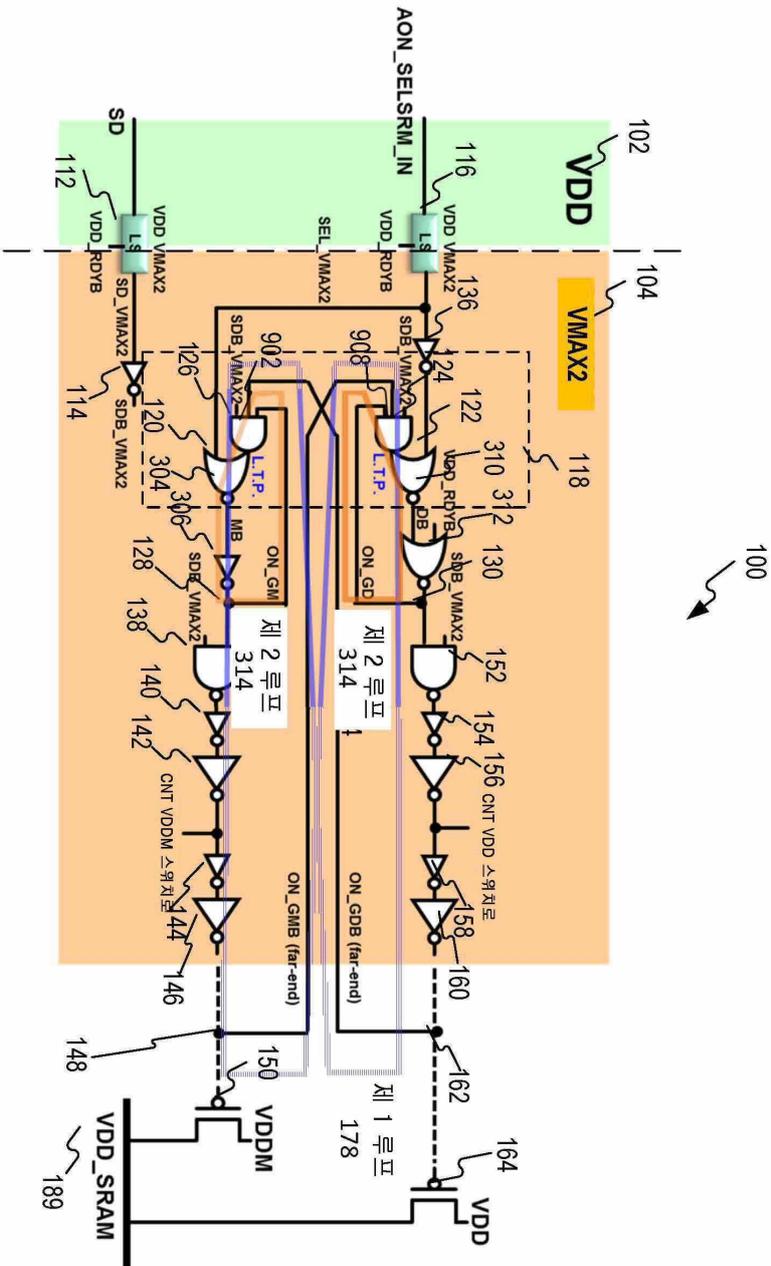
도면8



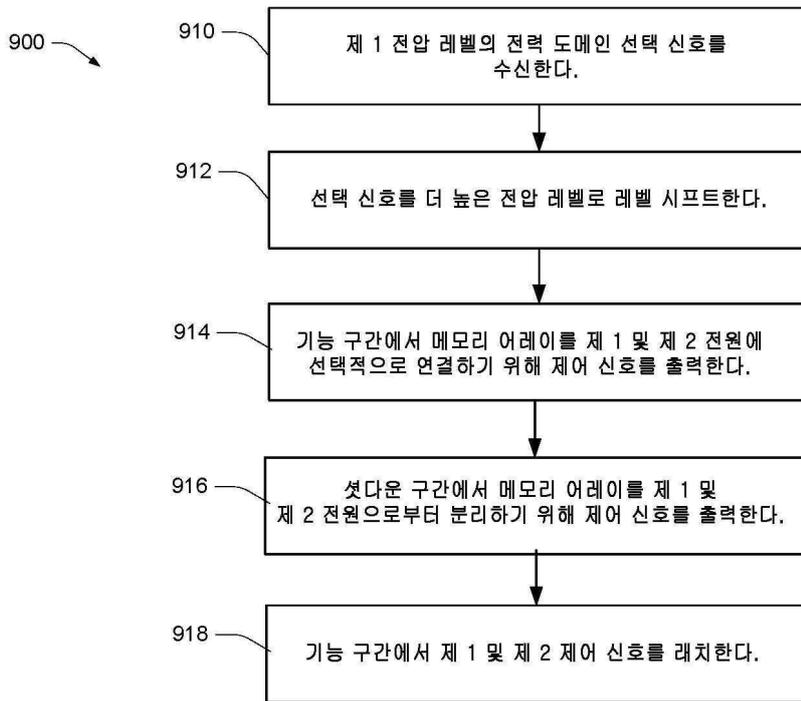
도면9



도면10



도면11



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

방법에 있어서,

제 1 전압 레벨에서 전력 도메인 선택 신호를 수신하는 단계;

상기 전력 도메인 선택 신호를 더 높은 전압 레벨로 레벨 시프트하는 단계;

기능 구간 동안 상기 제 1 전압 레벨의 상기 전력 도메인 선택 신호에 응답하여, 메모리 어레이를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계;

셋다운 구간 동안 상기 메모리 어레이를 상기 제 1 및 제 2 전원 양자 모두로부터 분리하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계; 및

상기 기능 구간 동안 상기 제어 신호를 래치하는 단계

를 포함하는, 방법.

【변경후】

방법에 있어서,

제 1 전압 레벨에서 전력 도메인 선택 신호를 수신하는 단계;

상기 전력 도메인 선택 신호를 더 높은 전압 레벨로 레벨 시프트하는 단계;

기능 구간 동안 상기 제 1 전압 레벨의 상기 전력 도메인 선택 신호에 응답하여, 메모리 어레이를 각각 제 1 및 제 2 전원에 선택적으로 연결하기 위해 상기 더 높은 전압 레벨의 제어 신호를 제 1 및 제 2 헤더 스위치에 출력하는 단계;

셋다운 구간 동안 상기 메모리 어레이를 상기 제 1 및 제 2 전원 양자 모두로부터 분리하기 위해 상기 더 높은 전압 레벨의 제어 신호를 상기 제 1 및 제 2 헤더 스위치에 출력하는 단계; 및

상기 기능 구간 동안 상기 제어 신호를 래치하는 단계

를 포함하는, 방법.