

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4041663号  
(P4041663)

(45) 発行日 平成20年1月30日(2008.1.30)

(24) 登録日 平成19年11月16日(2007.11.16)

(51) Int.Cl.		F I		
<b>GO 1 R 31/28</b>	<b>(2006.01)</b>	GO 1 R 31/28		U
<b>HO 1 L 21/66</b>	<b>(2006.01)</b>	HO 1 L 21/66		B
<b>HO 1 L 21/822</b>	<b>(2006.01)</b>	HO 1 L 27/04		T
<b>HO 1 L 27/04</b>	<b>(2006.01)</b>	HO 1 L 27/04		E

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2001-276530 (P2001-276530)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成13年9月12日(2001.9.12)	(74) 代理人	100077816 弁理士 春日 譲
(65) 公開番号	特開2003-84042 (P2003-84042A)	(72) 発明者	宮武 俊雄 茨城県土浦市神立町502番地 株式会社 日立製作所 機械 研究所内
(43) 公開日	平成15年3月19日(2003.3.19)	(72) 発明者	永田 達也 茨城県土浦市神立町502番地 株式会社 日立製作所 機械 研究所内
審査請求日	平成16年10月26日(2004.10.26)		

最終頁に続く

(54) 【発明の名称】 半導体装置及びその検査装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の主面上に複数の入出力用のパッドを有する半導体装置において、  
B I S T回路を備え、

上記複数の入出力用のパッドは、上記主面の両端部に分割して、少なくとも一列に配置され、これら複数のパッドは半導体装置の電氣的検査に用いられる複数の検査用パッドを含み、これら検査用パッドは2つの群に分割され、上記主面を、この主面の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域に形成された複数のパッドに、上記2つに分割された検査用パッドのそれぞれが含まれ、かつ、上記対角配置となる領域のいずれか一方の領域に形成された検査用パッドは上記 B I S T回路専用のパッドであることを特徴とする半導体装置。

10

【請求項2】

複数の梁と、これら複数の梁のそれぞれに形成され、半導体装置に形成される電氣的検査用のパッドに接触されるプローブと、これらのプローブに接続線を介して電氣的に接続され、信号の入出力用の複数の2次電極パッドとを有する基板を備え、請求項1に記載の半導体装置の検査を行う検査装置において、

上記複数の梁は、2つの群に分割され、上記基板を、この基板の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域であって、上記プローブが基板の端部領域に位置するように形成されることを特徴とする半導体装置の検査装置。

【請求項3】

20

複数の梁と、これら複数の梁のそれぞれに形成され、半導体装置に形成される電氣的検査用のパッドに接触されるプローブと、これらのプローブに接続線を介して電氣的に接続され、信号の入出力用の複数の２次電極パッドとを有する基板を備え、請求項1に記載の半導体装置の検査を行う検査装置において、

上記複数の梁は、２つの群に分割され、上記基板を、この基板の四隅のうちの一つをそれぞれ含む４つの領域に分割したとき、対角配置となる領域であって、上記プローブが基板の中央領域の近辺に位置するように形成されることを特徴とする半導体装置の検査装置。

【発明の詳細な説明】

【０００１】

10

【発明の属する技術分野】

本発明は、半導体装置及びその検査装置に関する。

【０００２】

【従来の技術】

半導体装置を用いた電子機器等の高密度実装、高機能化等を反映して、半導体装置自体の高集積化の要求が増加している。

【０００３】

一般に、半導体装置の高集積化は、半導体装置を構成する回路素子の微細化により達成される。すなわち、回路素子を構成する配線あるいは接続孔等の微細加工により高集積化が図られる。

20

【０００４】

一方、半導体装置のコスト削減、歩留まりの向上を図るためには、１枚のウエハ内に形成される半導体チップの数をできるだけ増加させる技術が必要とされる。すなわち、同一機能を実現できる回路をできるだけ小さなチップ面積で実現するように設計及び製造プロセスを最適化して微細化する技術が必要となる。

【０００５】

例えば、D R A M (Dynamic Random Access Memory) のように、同一機能を実現される同一世代の製品群では、市場投入の初期の段階では比較的設計ルールの緩い条件で設計が行われる。このため、チップサイズは比較的大きくなり、コストもそれに対応して幾分高くなる。

30

【０００６】

ところが、市場投入の中期あるいは後期の段階では、微細化の努力の結果、チップサイズが縮小され、チップ１個あたりのコストの削減と歩留まりの向上とが同時に達成されるようになる。

【０００７】

このようなチップサイズの縮小は、同一世代の製品群で数次にわたって実施され、また、製品の世代が変わるごとにチップサイズの縮小が繰り返される。この結果、チップ表面に形成される配線パターンも同時に縮小され、それに従い、半導体装置を検査するための検査用パッドのサイズ及びパッドピッチも必然的に縮小される。

【０００８】

40

このように、パッドピッチの縮小、１ウエハ当たりのチップ数の増加による検査パッドの増加により、これまでの検査方式では検査すること自体が困難となっている。

【０００９】

そこで、特開平 1 1 - 2 7 4 2 5 1 号公報に記載されているように、半導体装置と同じシリコン基板にプローブ、梁、配線、２次電極パッドが検査用基板に形成され、複数の梁のそれぞれに形成された突起状のプローブが、半導体装置に形成された所定のパッドに接触されて、検査を行う方法などが開発されている。

【００１０】

また、特開 2 0 0 0 - 2 2 7 4 5 9 号公報に記載されているように、半導体チップに B I S T (Built-In Self Test) 回路を組み込んで、簡単な検査を行えるような工夫がされて

50

いるものも有る。

【0011】

【発明が解決しようとする課題】

しかしながら、さらに半導体装置における高集積化が望まれており、パッド数の増加と配置領域の縮小化に伴い、パッドピッチのさらなる縮小化が必要となっているが、半導体装置のパッドピッチの縮小化に対応可能な検査装置の検査用基板の製作が困難となる恐れがある。

【0012】

つまり、上述したように、半導体装置の検査装置は、シリコン基板にプローブ、梁、配線、2次電極パッドが形成されるが、プローブ半導体装置のパッドピッチに縮小化に伴い、複数の梁も、その幅を狭くする必要があり、従来と同様なパッドの配置のままであると、それに対応させて形成する複数の梁は強度的に問題があり、制作困難となる。

【0013】

本発明の目的は、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、検査装置により有効に検査可能な半導体装置及びその検査装置を実現することである。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明は、次のように構成される。

(1) 半導体基板の主面上に複数の入出力用のパッドを有する半導体装置において、B I S T回路を備え、上記複数の入出力用のパッドは、上記主面の両端部に分割して、少なくとも一列に配置され、これら複数のパッドは半導体装置の電氣的検査に用いられる複数の検査用パッドを含み、これら検査用パッドは2つの群に分割され、上記主面を、この主面の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域に形成された複数のパッドに、上記2つに分割された検査用パッドのそれぞれが含まれ、かつ、上記対角配置となる領域のいずれか一方の領域に形成された検査用パッドは上記B I S T回路専用のパッドである。

【0015】

(2) 複数の梁と、これら複数の梁のそれぞれに形成され、半導体装置に形成される電氣的検査用のパッドに接触されるプローブと、これらのプローブに接続線を介して電氣的に接続され、信号の入出力用の複数の2次電極パッドとを有する基板を備え、上記(1)に記載の半導体装置の検査を行う検査装置において、上記複数の梁は、2つの群に分割され、上記基板を、この基板の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域であって、上記プローブが基板の端部領域に位置するように形成される。

【0016】

(3) 複数の梁と、これら複数の梁のそれぞれに形成され、半導体装置に形成される電氣的検査用のパッドに接触されるプローブと、これらのプローブに接続線を介して電氣的に接続され、信号の入出力用の複数の2次電極パッドとを有する基板を備え、上記(1)に記載の半導体装置の検査を行う検査装置において、上記複数の梁は、2つの群に分割され、上記基板を、この基板の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域であって、上記プローブが基板の中央領域の近辺に位置するように形成される。

【0019】

検査用パッドが半導体装置の、対角配置となる領域に形成されると、これら検査用パッドに接触するための検査装置のプローブが形成される複数の梁が、対角領域に二分割することができる。上記複数の梁を、対角配置ではなく、対向配置とすると、強度的に問題があり、検査装置の製作が困難となる。

【0020】

対角配置の領域に梁を形成することにより、検査装置における基板の強度的な問題は解消

10

20

30

40

50

し、検査装置の制作上の困難性も解消することができる。

【0021】

【発明の実施の形態】

以下、本発明に係る実施の形態を添付図面を参照して説明する。

図1は、本発明の一実施形態である半導体装置の패드位置の説明図である。図1において、半導体基板1の主面上の両端部には、複数の패드2a、2bが一行に形成されている。これは、半導体装置の縮小化、回路素子の増加に伴い、パッドの増加及びパッドピッチが縮小化され、これに対処すべく、複数のパッドを両端部に分離して配置したものである。

【0022】

そして、入力패드群2aが図1の半導体装置1の左端に配置され、入出力패드群2bが図1の半導体装置1の右端に配置される。

【0023】

また、BIST(Built-In Self Test)回路10は、図1の半導体装置1の左端上側部分に配置され、このBIST回路10の近辺に位置されたパッドがBIST専用패드3aとなる。

【0024】

ここで、BIST用のパッドは、多数必要であるが、上述したように、入力패드等の増加に伴い、BIST用のパッドを配置する領域が制限され、全てのBIST用のパッドを半導体装置1の一端側に一行に配置することはできない。

【0025】

このため、BIST用のパッドの配置領域を半導体装置の両端部に分割し、かつ、BIST回路10の近辺に配置されたものを、BIST専用패드3aとし、他の領域に配置されるものをBIST用と他の用途の共用패드3bとする。

【0026】

さらに、BIST専用패드3aと3bとは、半導体装置1の上領域と下領域とに分割して配置する。したがって、BIST専用패드3aは、半導体装置1の左端上領域に配置され、共用패드3bは、半導体装置1の右端下領域に配置される。

【0027】

その理由は、BIST専用패드3aを半導体装置1の左端上領域に配置し、共用패드3bを半導体装置1の右端上領域に配置すると、패드3aに接触するための検査装置のプロープが形成される梁と、패드3bに接触するためのプロープが形成される梁とは、共にシリコン基板からなる検査装置の上領域に形成されることとなる。

【0028】

上記多数の梁を全て、検査装置の上領域に形成すると、強度的に問題があり、検査装置の制作が困難となる。

【0029】

そこで、BIST専用패드3aを半導体装置1の左端上領域に配置し、共用패드3bを半導体装置1の右端下領域に配置することにより、検査装置の多数の梁を、そのシリコン基板の左端上領域と、右端下領域とに分けて配置する。これにより、検査装置のシリコン基板の上領域のみ、又は下領域のみに、多数の梁を形成する必要はないので、強度的な問題は解消し、検査装置の制作上の困難性も解消することができる。

【0030】

ここで、左端上領域とは、半導体基板1の図1上の左端面から測定して、1패드分の寸法の距離の位置から1~2패드分の寸法までの端部側領域であって、半導体基板1を図1上の上下方向に二分割したときの上領域とする。

【0031】

また、右端下領域とは、半導体基板1の図1上の右端面から測定して、1패드分の寸法の距離の位置から1~2패드分の寸法までの端部側領域であって、半導体基板1を図1上の上下方向に二分割したときの下領域とする。

10

20

30

40

50

## 【0032】

したがって、パッド3aと3bとは、半導体装置1の主面を、この主面の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域に形成されたパッド群に含まれることとなる。

## 【0033】

図2は、本発明の一実施形態である検査装置の一方の面からみた平面図である。また、図3は、本発明の一実施形態である検査装置の他方の面からみた平面図である。

図3において、シリコン基板4の他方の面の左端上領域と、右端下領域とに分割して複数の梁6が形成されている。そして、これら複数の梁のそれぞれにプローブ5が形成されている。これら複数のプローブ5が、半導体装置のBIST専用パッド3a及び共用パッド3bに接触するように、これらパッド3a及び3bの位置に対応する位置に配置されている。

10

## 【0034】

プローブ5は、金属配線9と接続され、この金属配線9は、貫通孔7を介して、シリコン基板4の一方の面に延びている。

## 【0035】

そして、図2に示すように、金属配線9は、2次電極パッド8に接続される。この2次電極パッド8には、検査信号発生回路(図示せず)からの検査信号が供給される。

## 【0036】

さて、一般に半導体装置は次のような検査を受けるが、この検査は、半導体基板上に形成された複数の検査用パッド3a、3bと、テストとの導通を得ることにより行われる。

20

## 【0037】

P検と呼ばれる各素子の電気信号の導通を検査するものや、バーンインと呼ばれる、回路に熱的、電気的ストレスを付与して不良を加速選別するものなどがある。P検は通常、プローブ装置を用いて各プローブを回路中の電極パッドに一つずつ接触させて行われる。

## 【0038】

一方、バーンイン検査では、BIST回路10を用いることにより、検査に必要なパッドを1チップあたり6個程度に抑えることができる。BIST回路とは、半導体装置自体に予め作り込まれた、検査を行うための回路のことをいい、ここでは最低限検査に必要な電源線と信号線のみをまとめて引き出すための回路である。

30

## 【0039】

上述したような検査が図2及び図3に示した検査装置により行われる。

## 【0040】

以上のように、本発明の一実施形態である半導体装置によれば、入出力用の多数のパッドを半導体装置の両端部に分割して配列し、これら多数のパッドのうち、BIST用のパッドの配置領域を半導体装置の一方端の上領域と他方端の下領域とに分割して配置し、一方の領域に配置されるBIST用のパッドを、他の用途と共用とされる。

## 【0041】

これにより、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、検査装置により有効に検査可能な半導体装置を実現することができる。

40

## 【0042】

また、半導体装置の検査装置において、多数の梁を、シリコン基板の左端上領域と、右端下領域とに分けて配置することにより、つまり、多数の梁を、2つの群に分割し、上記シリコン基板を、このシリコン基板の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域であって、プローブがシリコン基板の端部領域に位置するように形成することにより、シリコン基板の上領域のみ、又は下領域のみに多数の梁を形成する必要はなく、強度的な問題は解消し、検査装置の制作上の困難性も解消することができる。

## 【0043】

したがって、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっ

50

ても、有効に検査可能な検査装置を実現することができる。

【0044】

さて、複数の半導体装置を複数の検査装置により、一括して検査する方式、つまり、チップ単位に切断される前の、ウエハ上の複数の半導体装置を複数の検査装置により検査する方式が近年採用されている。

【0045】

この場合の、本発明の他の実施形態である検査装置について説明する。

図4は、本発明の一実施形態である半導体装置1が複数個配置されて、検査される場合の状態の説明図である。

【0046】

複数の半導体装置1は互いに隣接して配置され、一つの検査装置により、一方の半導体装置1の共用パッド3bと隣接する他方の半導体装置1のBIST専用パッド3aとが検査される。

【0047】

図5は、本発明の他の実施形態である検査装置の一方の面の平面図であり、図6は、本発明の上記他の実施形態である検査装置の他方の面の平面図である。

【0048】

図6において、シリコン基板4の他方の面の中央左側上領域と、中央右側下領域とに分割して複数の梁6が形成されている。そして、これら複数の梁6のそれぞれにプローブ5が形成されている。これら複数のプローブ5が、一方の半導体装置1のBIST専用パッド3a及び他方の半導体装置1の共用パッド3bに接触するように、これらパッド3a及び3bの位置に対応する位置に配置されている。

【0049】

つまり、多数の梁6は、2つの群に分割され、基板4を、この基板4の四隅のうちの一つをそれぞれ含む4つの領域に分割したとき、対角配置となる領域であって、プローブ5が基板の中央領域の近辺に位置するように形成される。

【0050】

プローブ5は、金属配線9と接続され、この金属配線9は、貫通孔7を介して、シリコン基板4の一方の面に延びている。

【0051】

そして、図5に示すように、金属配線9は、シリコン基板4の両端側に配置された2次電極パッド8に接続される。この2次電極パッド8には、検査信号発生回路(図示せず)からの検査信号が供給される。

【0052】

以上のように、本発明の他の実施形態である検査装置によれば、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、有効に検査可能な検査装置を実現することができる。

【0053】

図7は、本発明の他の実施形態である半導体装置のパッド位置の説明図である。図7において、半導体基板1の両端部には、複数のパッド2a、2bが形成されている。

【0054】

そして、半導体装置1の中央部には、BIST専用パッド3a(プローブ接触用パッド)と、共用パッド3b(プローブ接触用パッド)とが形成されており、BIST専用パッド3aは、半導体装置1の左端上領域のパッド2aに配線10により接続され、共用パッド3bは、半導体装置1の右端下領域のパッド2bに配線10により接続されている。

【0055】

この図7の例は、半導体装置1の中央領域にパッド3a、3bを形成可能な空き領域が存在する場合やWPP(Wafer Process Package)のように、半導体装置上にさらに一層再配線層を形成し、半導体装置の中央領域にパッドを形成可能な場合の例である。

【0056】

10

20

30

40

50

図 8 は、図 7 に示した半導体装置 1 を検査するための検査装置であって、本発明のさらに他の実施形態である検査装置の一方の面の平面図であり、図 9 は、図 8 に示した検査装置の他方の面の平面図である。

【 0 0 5 7 】

図 9 において、シリコン基板 4 の他方の面の中央領域に複数の梁 6 が形成されている。そして、これら複数の梁 6 のそれぞれにプローブ 5 が形成されている。これら複数のプローブ 5 が、半導体装置 1 の B I S T 専用パッド 3 a 及び共用パッド 3 b に接触するように、これらパッド 3 a 及び 3 b の位置に対応する位置に配置されている。

【 0 0 5 8 】

プローブ 5 は、金属配線 9 と接続され、この金属配線 9 は、貫通孔 7 を介して、シリコン基板 4 の一方の面に延びている。

【 0 0 5 9 】

そして、図 8 に示すように、金属配線 9 は、シリコン基板 4 の両端側に配置された 2 次電極パッド 8 に接続される。この 2 次電極パッド 8 には、検査信号発生回路（図示せず）からの検査信号が供給される。

【 0 0 6 0 】

以上のように、本発明の他の実施形態である半導体装置によれば、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、有効に検査可能な検査装置を実現することができる。

【 0 0 6 1 】

また、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、有効に検査可能な検査装置を実現することができる。

【 0 0 6 2 】

また、本発明のさらに他の実施形態である検査装置によれば、多数の梁 6 が 2 箇所に分割されず形成されるので、検査装置全体の面積を小さくすることができ、検査のための位置決めスペースを多く確保することができる。

【 0 0 6 3 】

なお、本発明の実施形態である半導体装置において、入出力パッド群 2 a、2 b は、半導体基板 2 の端面からどの位の位置まで形成し得るかにより、パッドの形成領域が決定され、形成し得るパッドの数も決定される。本発明の実子形態においては、半導体基板 2 の端面から 1 パッド分の寸法まで、パッドを形成し得る領域とすることができる。

【 0 0 6 4 】

【発明の効果】

本発明によれば、チップサイズが縮小化され、パッドピッチが縮小化された半導体装置であっても、検査装置により有効に検査可能な半導体装置及びその検査装置を実現することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である半導体装置のパッド位置の説明図である。

【図 2】本発明の一実施形態である検査装置の一方の面からみた平面図である。

【図 3】本発明の一実施形態である検査装置の他方の面からみた平面図である。

【図 4】本発明の他の実施形態である検査装置の説明図である。

【図 5】本発明の他の実施形態である検査装置の一方の面からみた平面図である。

【図 6】本発明の他の実施形態である検査装置の他方の面からみた平面図である。

【図 7】本発明の他の実施形態である半導体装置のパッド位置の説明図である。

【図 8】本発明のさらに他の実施形態である検査装置の一方の面からみた平面図である。

【図 9】本発明のさらに他の実施形態である検査装置の他方の面からみた平面図である。

【符号の説明】

1                    半導体装置基板  
2 a、2 b            パッド群  
3 a                   B I S T 専用パッド

10

20

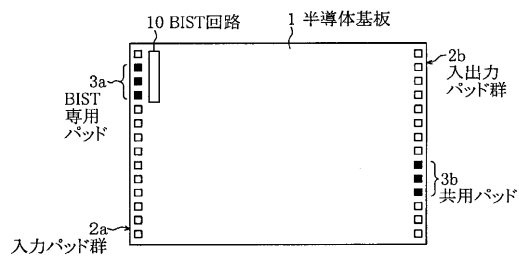
30

40

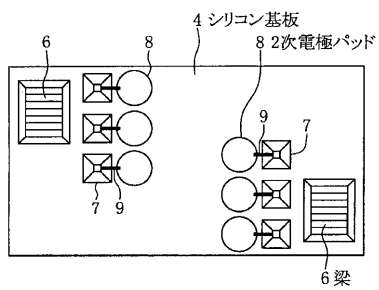
50

- 3 b 共用パッド
- 4 シリコン基板
- 5 プロープ
- 6 梁
- 7 貫通孔
- 8 2次電極パッド
- 9 配線
- 1 0 B I S T回路

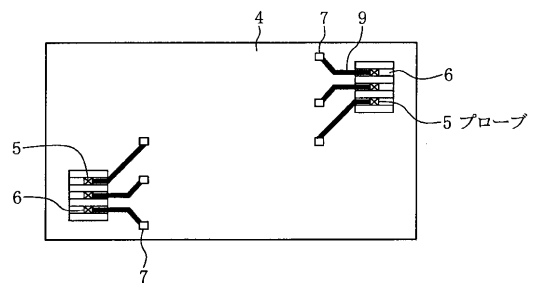
【 図 1 】



【 図 2 】

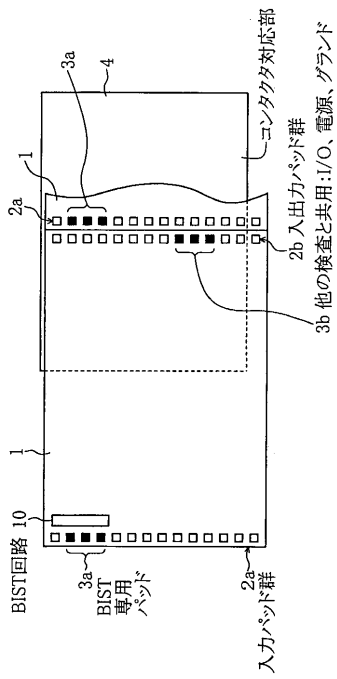


【 図 3 】

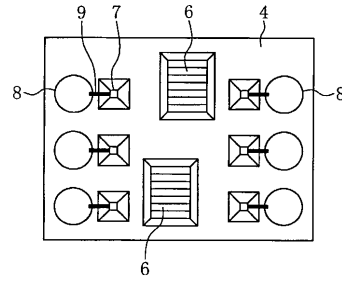




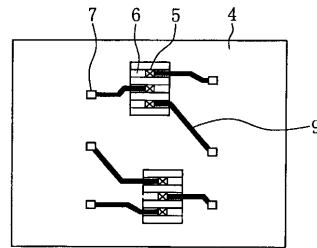
【図4】



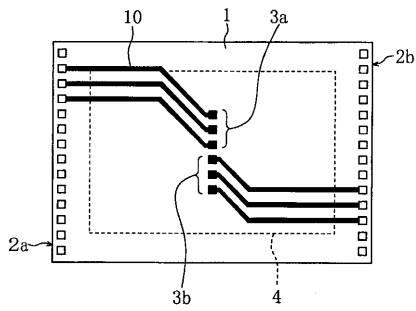
【図5】



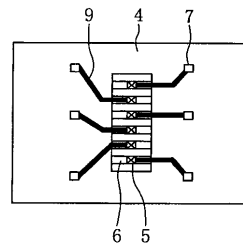
【図6】



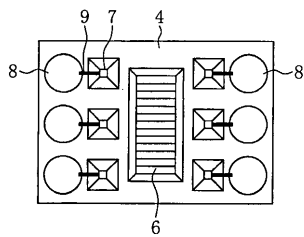
【図7】



【図9】



【図8】



## フロントページの続き

- (72)発明者 清水 浩也  
茨城県土浦市神立町5 0 2 番地  
株式会社 日立製作所 機械研究所内
- (72)発明者 河野 竜治  
茨城県土浦市神立町5 0 2 番地  
株式会社 日立製作所 機械研究所内
- (72)発明者 青木 英之  
東京都小平市上水本町五丁目2 0 番1号  
株式会社 日立製作所 半導体グループ内

審査官 松川 直樹

- (56)参考文献 特開平1 1 - 0 5 4 5 6 2 ( J P , A )  
特開平0 4 - 2 7 8 5 6 0 ( J P , A )  
特開昭6 1 - 1 4 8 8 2 9 ( J P , A )  
特開2 0 0 1 - 0 9 1 5 4 3 ( J P , A )  
特開平1 1 - 2 8 1 7 5 7 ( J P , A )  
特開2 0 0 3 - 2 0 8 6 8 6 ( J P , A )

## (58)調査した分野(Int.Cl. , D B名)

G01R 31/28  
H01L 21/66  
H01L 21/822  
H01L 27/04