



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I676850 B

(45)公告日：中華民國 108 (2019) 年 11 月 11 日

(21)申請案號：107106642 (22)申請日：中華民國 99 (2010) 年 12 月 03 日

(51)Int. Cl. : **G02F1/1362 (2006.01)** **H01L29/786 (2006.01)**
H01L27/12 (2006.01) **G09G3/36 (2006.01)**

(30)優先權：2009/12/18 日本 2009-288312
2010/04/13 日本 2010-092111

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	M313819	CN	101123194A
JP	2006-106165A	JP	2009-277702A
US	5124768	US	2009/0155940A1

審查人員：陳穎慧

申請專利範圍項數：12 項 圖式數：9 共 59 頁

(54)名稱

液晶顯示裝置及電子裝置

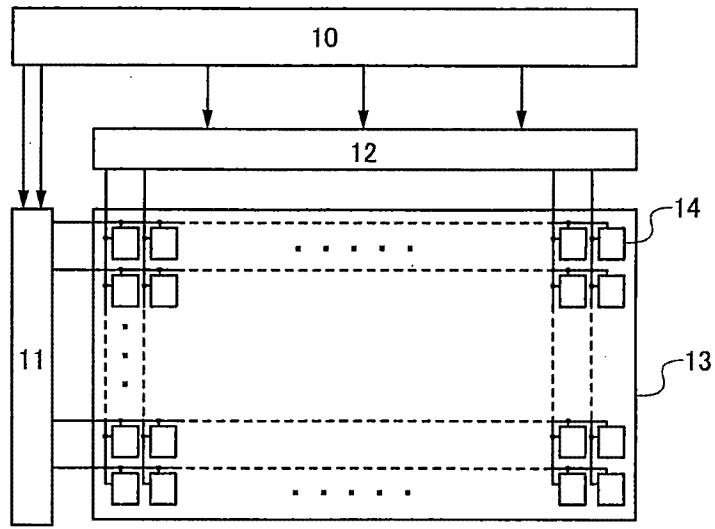
(57)摘要

為降低電力消耗並抑制液晶顯示裝置的顯示退化。為抑制由於外部因素，諸如溫度，所導致的顯示退化。將其通道形成區域係使用氧化物半導體層形成的電晶體使用為設置在各像素中的電晶體。須注意隨著高純度氧化物半導體層的使用，該電晶體在室溫的截止狀態電流可為 10aA/μm 或以下，且在 85°C 的截止狀態電流可為 100aA/μm 或以下。因此，可降低液晶顯示裝置的電力消耗並可抑制影像退化。另外，如上文所述，該電晶體在高達 85°C 之溫度的截止狀態電流可係 100aA/μm 或以下。因此，可抑制由於外部因素，諸如溫度，所導致之液晶顯示裝置的顯示退化。

To reduce power consumption and suppress display degradation of a liquid crystal display device. To suppress display degradation due to an external factor such as temperature. A transistor whose channel formation region is formed using an oxide semiconductor layer is used for a transistor provided in each pixel. Note that with the use of a high-purity oxide semiconductor layer, off-state current of the transistor at a room temperature can be 10 aA/μm or less and off-state current at 85 °C can be 100 aA/μm or less. Consequently, power consumption of a liquid crystal display device can be reduced and display degradation can be suppressed. Further, as described above, off-state current of the transistor at a temperature as high as 85 °C can be 100 aA/μm or less. Thus, display degradation of a liquid crystal display device due to an external factor such as temperature can be suppressed.

指定代表圖：

圖 1A



符號簡單說明：

- 10 . . . 控制電路
- 11 . . . 掃描線驅動器電路
- 12 . . . 訊號線驅動器電路
- 13 . . . 像素部
- 14 . . . 像素

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置及電子裝置

Liquid crystal display device and electronic device

【技術領域】

本發明相關於液晶顯示裝置以及包括該液晶顯示裝置的電子裝置。

【先前技術】

液晶顯示裝置廣泛地使用為範圍從大尺寸顯示裝置，諸如電視機，至小尺寸顯示裝置，諸如行動電話，的顯示裝置。因此，液晶顯示裝置的發展旨在實現成本降低或提供高附加價值的液晶顯示裝置。特別在近年，對全球環境的關注已然漸增且消耗較少電力之液晶顯示裝置的發展已因此吸引注意。

用於降低液晶顯示裝置之電力消耗的技術揭示在專利文件 1 中。具體地說，揭示所有資料訊號線在所有掃描線及資料訊號線均在非選擇狀態的非主動週期中係與資料訊號驅動器電性分離的液晶顯示裝置，使得到高阻抗狀態。

[參考文件]

[專利文件 1]日本已公告專利申請案案號第 2001-

312253 號

【發明內容】

液晶顯示裝置通常包括具有配置成矩陣形式之複數個像素的像素部。像素包括控制影像訊號之輸入的電晶體、將依據輸入之影像訊號的電壓施加至其的液晶元件、以及儲存施加至該液晶元件之電壓的輔助電容器。液晶元件包括依據施加電壓改變其配向的液晶材料。藉由控制液晶材料的配向，控制各像素的顯示。

在揭示於專利文件 1 中的液晶顯示裝置中，影像訊號在非主動週期中不輸入至包括在像素部中的各像素。亦即，用於控制影像訊號之輸入的電晶體維持長時間週期的關閉，而將影像訊號保持在各像素中。因此，影像訊號通過電晶體的漏損對各像素之顯示所具有的影響變得明顯。具體地說，施加至液晶元件的電壓減少，因此包括液晶元件之像素的影像退化（改變）變得明顯。

此外，影像訊號通過電晶體的漏損量依據電晶體的操作溫度而改變。具體地說，影像訊號通過電晶體的漏損量隨操作溫度的增加而增加。因此，當揭示於專利文件 1 中的液晶顯示裝置使用在環境廣泛地變化的戶外時，難以維持均勻的顯示品質。

因此，本發明實施例之目的係降低液晶顯示裝置的電力消耗並抑制顯示退化（顯示品質的降低）。

本發明實施例的目的係提供抑制由外部因子，諸如溫

度，導致之顯示退化（顯示品質的降低）的液晶顯示裝置。

上述問題可藉由將其通道形成區域係使用氧化物半導體層形成之電晶體使用為設置在各像素中的電晶體而解決。須注意該氧化物半導體層係藉由徹底地移除係電子供應者（施體）之雜質（氫、或水等）而高度純化的氧化物半導體層。在具有 $10\mu\text{m}$ 之通道長度的電晶體中，每微米通道寬度在室溫的截止狀態電流可為 10aA ($1\times 10^{-17}\text{A}$) 或以下（該值以 $10\text{aA}/\mu\text{m}$ 表示）。

另外，該氧化物半導體層具有 2.0eV 或以上的能帶隙， 2.5eV 或以上為佳， 3.0eV 或以上更佳。此外，氧化物半導體層之純度的增加容許該氧化物半導體層之導電性儘可能地接近本質導電性。因此，在該氧化物半導體層中，可抑制由於熱激發導致的載體產生。因此，可降低電晶體之截止狀態電流隨操作溫度增加的增加量。具體地說，在具有 $10\mu\text{m}$ 之通道長度的電晶體中，每微米通道寬度在 85°C 的截止狀態電流可為 100aA ($1\times 10^{-16}\text{A}$) 或以下（該值以 $100\text{aA}/\mu\text{m}$ 表示）。

具體地說，本發明的實施例係包括配置成矩陣形式之複數個像素的液晶顯示裝置，且各像素具有：電晶體，其切換係由掃描線驅動器電路所控制；液晶元件，包括將影像訊號從訊號線驅動器電路經由該電晶體輸入至其的一終端，以及將共同電位供應至其的另一終端，使得依據該影像訊號施加電壓；以及電容器，其儲存施加至該液晶元件

的電壓。該液晶顯示裝置另外包括控制該掃描線驅動器電路及該訊號線驅動器電路的操作並選擇輸入至各像素之該影像訊號的控制電路。在該液晶顯示裝置中，該電晶體包括包含氧化物半導體層的通道形成區域。在該液晶顯示裝置中，該影像訊號通過在截止狀態之該電晶體的漏損量小於該影像訊號通過該液晶元件的漏損量。

在係本發明之實施例的液晶顯示裝置中，將其通道形成區域係使用氧化物半導體層形成之電晶體使用為設置在各像素中的電晶體。須注意隨著高純度氧化物半導體層的使用，該電晶體在室溫的截止狀態電流可為 $10\text{aA}/\mu\text{m}$ 或以下，且在 85°C 的截止狀態電流可為 $100\text{aA}/\mu\text{m}$ 或以下。因此，可降低影像訊號通過該電晶體的漏損量。亦即，可抑制當影像訊號至包括在該電晶體中之像素的寫入頻率降低時發生的顯示退化（改變）。因此，可降低液晶顯示裝置的電力消耗並可抑制顯示退化（顯示品質的降低）。

另外，如上文所述，該電晶體在高達 85°C 之溫度的截止狀態電流可係 $100\text{aA}/\mu\text{m}$ 或以下。亦即，該電晶體係截止狀態電流隨操作溫度增加之增加明顯地小的電晶體。因此，將此種電晶體使用為設置在液晶顯示裝置之各像素中的電晶體，可降低外部因子，諸如溫度，對像素中的影像訊號之漏損所具有的影響。亦即，該液晶顯示裝置係甚至在將該液晶顯示裝置使用在環境廣泛地變化的戶外等時，仍可抑制顯示退化（顯示品質的降低）的液晶顯示裝置。

【圖式簡單說明】

圖 1A 及 1B 描繪依據實施例 1 的液晶顯示裝置。

圖 2 描繪依據實施例 1 的液晶顯示裝置。

圖 3A 至 3C 描繪依據實施例 1 的液晶顯示裝置。

圖 4A 至 4D 描繪依據實施例 2 的電晶體。

圖 5A 及 5B 各者描繪依據實施例 3 的液晶顯示裝置。

圖 6A 至 6F 各者描繪依據實施例 4 的電子裝置。

圖 7 係顯示依據範例 1 之電晶體的初始特徵之圖。

圖 8A 及 8B 係用於依據範例 1 之電晶體的測試元件之頂視圖。

圖 9A 及 9B 係顯示用於依據範例 1 之電晶體的測試元件之 V_g - I_d 特徵的圖。

【實施方式】

將參考該等圖式於下文詳細描述本發明之實施例。須注意本發明未受限於以下描述，且熟悉本發明之人士能輕易地理解可無須脫離本發明之精神及範圍而產生各種變化及修改。因此，本發明不應受以下實施例的描述所限制。

須注意電晶體之源極終端及汲極終端係依據該電晶體的結構、及操作條件等而改變。因此，在此文件中，為了區分，將作為電晶體之源極及汲極使用的終端之一者稱為第一終端並將彼等之另一者稱為第二終端。

須注意在實施例中描繪於圖式等中的尺寸、層的厚度、或各結構之區域在部分情形中係爲了簡化而誇大。因此，本發明之實施例未受限於此種比例。另外，在此說明書中，使用有序數字，諸如「第一」、「第二」、以及「第三」，以避免組件之間的混淆，且該等術詞並未在數字上限制該等組件。

(實施例 1)

在此實施例中，描述主動式矩陣液晶顯示裝置的範例。具體地說，參考圖 1A 及 1B、圖 2、以及圖 3A 至 3C 描述可選擇輸入至像素部之影像訊號的主動式矩陣液晶顯示裝置。

參考圖 1A 及 1B 於下文描述此實施例之液晶顯示裝置的結構範例。圖 1A 及 1B 描繪液晶顯示裝置的結構範例。描繪於圖 1A 中的液晶顯示裝置包括控制電路 10、掃描線驅動器電路 11、訊號線驅動器電路 12、以及像素部 13。像素部 13 包括配置成矩陣形式的複數個像素 14。圖 1B 描繪像素 14 之一者的結構範例。描繪於圖 1B 中的像素 14 包括具有電性連接至掃描線驅動器電路 11 之閘極終端，以及電性連接至訊號線驅動器電路 12 之第一終端的電晶體 15；具有電性連接至電晶體 15 之第二終端的一終端，以及電性連接至供應共同電位 (V_{com}) 的佈線之另一終端的液晶元件 16；以及具有電性連接至電晶體 15 之第二終端及液晶元件 16 的該一終端之一終端，以及電性連

接至供應共同電位 (V_{com}) 的佈線之另一終端的電容器 17。

在此實施例的液晶顯示裝置中，電晶體 15 的切換係由掃描線驅動器電路 11 所控制，且影像訊號係從訊號線驅動器電路 12 經由電晶體 15 輸入至液晶元件 16。須注意液晶元件 16 包括夾於該一終端及該另一終端之間的液晶層。將與影像訊號及共同電位 (V_{com}) 之間的電位差對應之電壓施加至液晶層。使用該電壓，控制液晶層的配向狀態。在此實施例的液晶顯示裝置中，各像素 14 的顯示係使用配向控制。須注意提供電容器 17，以儲存施加至液晶元件 16 的電壓。

另外，在此實施例的液晶顯示裝置中，掃描線驅動器電路 11 及訊號線驅動器電路 12 的操作係由控制電路 10 所控制，因此可選擇輸入至像素部 13 的影像訊號。

其次，描述此實施例的液晶顯示裝置之組件的具體範例。

<控制電路 10>

圖 2 描繪控制電路 10 的結構範例。描繪於圖 2 中的控制電路 10 包括訊號產生電路 20、記憶體電路 21、比較電路 22、選擇電路 23、以及顯示控制電路 24。

訊號產生電路 20 係產生用於操作掃描線驅動器電路 11 及訊號線驅動器電路 12 的訊號以及用於在像素部 13 中形成影像之訊號的電路。具體地說，訊號產生電路 20

係產生並輸出輸入至在像素部 13 中配置成矩陣形式之複數個像素的影像訊號 (Data)、用於控制掃描線驅動器電路 11 或訊號線驅動器電路 12 之操作的訊號 (例如, 開始脈衝訊號 (SP)、或時鐘訊號 (CK) 等)、係電源供應電位之高電源供應電位 (V_{dd})、及低電源供應電位 (V_{ss}) 等的電路。在描繪於圖 2 的控制電路 10 中, 訊號產生電路 20 將影像訊號 (Data) 輸出至記憶體電路 21, 並將用於控制掃描線驅動器電路 11 或訊號線驅動器電路 12 之操作的訊號輸出至顯示控制電路 24。在從訊號產生電路 20 輸出至記憶體電路 21 之影像訊號 (Data) 係類比訊號的情形中, 影像訊號 (Data) 可經由 A/D 轉變器等轉變為數位訊號。

記憶體電路 21 包括複數個記憶體 25, 彼等儲存從在像素部 13 中用於形成第一影像的影像訊號至用於形成第 n 影像之影像訊號的影像訊號 (n 係大於或等於 2 的自然數)。須注意各記憶體 25 可能使用記憶體元件形成, 諸如動態隨機存取記憶體 (DRAM) 或靜態隨機存取記憶體 (SRAM)。只要記憶體 25 針對在像素部 13 中形成的各影像儲存影像訊號, 記憶體 25 的數量並無特別限制。另外, 儲存在複數個記憶體 25 中的影像訊號係藉由比較電路 22 及選擇電路 23 選擇性地讀取。

比較電路 22 係選擇性地讀取儲存在記憶體電路 21 中之用於形成第 k 個影像 (k 係大於或等於 1 且少於 n 的自然數) 的影像訊號以及用於形成第 ($k+1$) 個影像之影像

訊號、比較該等影像訊號、並偵測該等影像訊號之間的差異之電路。須注意第 k 個影像及第 $(k+1)$ 個影像係連續地顯示在像素部 13 中的影像。在藉由比較電路 22 比較該等影像訊號而偵測到差異的情形中，將待使用該等影像訊號形成的二影像假設為動畫。另一方面，在藉由比較電路 22 比較該等影像訊號而偵測不到差異的情形中，將待使用該等影像訊號形成的二影像假設為靜態影像。亦即，比較電路 22 係藉由比較電路 22 所偵測之差異，判定用於形成連續顯示影像的影像訊號係用於顯示動畫之影像訊號或係用於顯示靜態影像的影像訊號之其中一者的電路。須注意可能將比較電路 22 設定成偵測當差超過特定等級時的差。

選擇電路 23 係基於由比較電路 22 所偵測的差異，選擇輸出至像素部之影像訊號的電路。具體地說，選擇電路 23 係將比較電路 22 自其偵測到差異之用於形成影像的影像訊號輸出，但不將比較電路 22 未自其偵測到差異之用於形成影像的影像訊號輸出之電路。

顯示控制電路 24 係控制供應控制訊號，諸如開始脈衝訊號 (SP)、時鐘訊號 (CK)、高電源供應電位 (V_{dd})、以及低電源供應電位 (V_{ss})，至掃描線驅動器電路 11 及訊號線驅動器電路 12 的電路。具體地說，在藉由比較電路 22 將影像假設為動畫的情形中 (在連續顯示影像之間偵測到差異的情形中)，將供應自選擇電路 23 的影像訊號 (Data) 輸出至訊號線驅動器電路 12，並將控

制訊號（開始脈衝訊號（SP）、時鐘訊號（CK）、高電源供應電位（ V_{dd} ）、及低電源供應電位（ V_{ss} ）等）供應至掃描線驅動器電路 11 及訊號線驅動器電路 12。另一方面，在藉由比較電路 22 將影像假設為靜態影像的情形中（在連續顯示影像之間未偵測到差異的情形中），不從選擇電路 23 供應影像訊號（Data），且不將控制訊號（開始脈衝訊號（SP）、時鐘訊號（CK）、高電源供應電位（ V_{dd} ）、及低電源供應電位（ V_{ss} ）等）供應至掃描線驅動器電路 11 及訊號線驅動器電路 12。亦即，在藉由比較電路 22 將影像假設為靜態影像的情形中（在連續顯示影像之間未偵測到差異的情形中），掃描線驅動器電路 11 及訊號線驅動器電路 12 的操作完全停止。須注意在其期間藉由該比較電路將影像假設為靜態影像之週期甚短的情形中，可持續供應高電源供應電位（ V_{dd} ）及低電源供應電位（ V_{ss} ）。須注意「高電源供應電位（ V_{dd} ）及低電源供應電位（ V_{ss} ）的供應」意指將給定佈線的電位固定在高電源供應電位（ V_{dd} ）或低電源供應電位（ V_{ss} ）。亦即，將該佈線的給定電位改變為高電源供應電位（ V_{dd} ）或低電源供應電位（ V_{ss} ）。因為電位的改變伴隨著電力消耗，高電源供應電位（ V_{dd} ）或低電源供應電位（ V_{ss} ）之供應的頻繁停止及重啓可能導致電力消耗增加。在此種情形中，持續地供應高電源供應電位（ V_{dd} ）及低電源供應電位（ V_{ss} ）為佳。須注意在以上描述中，「不供應訊號」意指將與預定電位不同之電位供應至供應該訊號的佈

線，或該佈線係在浮動狀態中。

在控制電路 10 中，如上文所述地控制掃描線驅動器電路 11 及訊號線驅動器電路 12 的操作。因此，可降低該液晶顯示裝置的電力消耗。

<電晶體 15>

電晶體 15 係其通道形成區域係使用氧化物半導體層形成的電晶體。該氧化物半導體層係藉由刻意地移除導致該氧化物半導體層變異之雜質，諸如氫、濕氣、羥、或氫化物（也稱為氫化合物），以抑制電特徵中的變異，並藉由供應係氧化物半導體之主成份且在移除雜質之步驟中降低的氧，而高度純化並使其在電性上為 i 型（本質）的氧化物半導體層。須注意該氧化物半導體的能帶隙為 2eV 或以上，為 2.5eV 或以上為佳，為 3.0eV 或以上更佳。

另外，該高純度氧化物半導體中的載體數量非常小（接近零），且載體密度少於 $1 \times 10^{14}/\text{cm}^3$ 、少於或等於 $1 \times 10^{12}/\text{cm}^3$ 為佳。亦即，將該氧化物半導體層中的載體密度儘可能地降低至極接近零。因為在氧化物半導體層中有極少的載體，截止狀態電流可甚低。截止狀態電流的量越小越好。因此，在上述電晶體中，每微米通道寬度（W）在室溫的截止狀態電流可為 $10\text{aA}/\mu\text{m}$ （ $1 \times 10^{-17}\text{A}/\mu\text{m}$ ）或以下，且每微米通道寬度（W）在 85°C 的截止狀態電流可為 $100\text{aA}/\mu\text{m}$ （ $1 \times 10^{-16}\text{A}/\mu\text{m}$ ）或以下。通常，在包括非晶矽的電晶體中，截止狀態電流在室溫下為 $1 \times 10^{-13}\text{A}/\mu\text{m}$ 或以

上。另外，因為沒有 pn 接面且沒有熱載體退化，該電晶體的電特徵不受不利的影響。因此，可延伸各像素 14 的影像訊號保持週期。亦即，可增加靜態影像顯示中之影像訊號的重寫間隔。例如，影像訊號的寫入間隔可為 10 秒或更長，30 秒或更長為佳，一分鐘或更甚且短於 10 分鐘更佳。寫入間隔的增加使抑制電力消耗的效果增強變得可能。

須注意可將截止狀態電流在電晶體中流動的困難度稱為截止狀態電阻率。該截止狀態電阻率係指通道形成區域在該電晶體關閉時的電阻率，且截止狀態電阻率可從截止狀態電流計算。

具體地說，當該電晶體關閉時的電阻（截止狀態電阻 R ）可使用歐姆定律從截止狀態電路及汲極電壓計算，其導致可使用方程式 $\rho=RA/L$ （ R 係截止狀態電阻），從通道形成區域的橫剖面面積 A 以及通道形成區域之長度 L （其對應於源極電極及汲極電極之間的距離）計算的截止狀態電阻率 ρ 。

此處，橫剖面面積 A 可依據方程式 $A=dW$ （ d ：通道形成區域的厚度， W ：通道長度）得到。此外，通道形成區域的長度 L 係通道長度 L 。以此種方式，截止狀態電阻率可從截止狀態電流計算。

包括氧化物半導體層之電晶體的截止狀態電阻率在此實施例中為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 或以上為佳， $1 \times 10^{12} \Omega \cdot \text{cm}$ 或以上最佳。

將如上文所述地藉由激烈地移除包括在氧化物半導體層中的雜質而高度純化之氧化物半導體層使用在電晶體的通道形成區域中，因此可得到具有極少量之截止狀態電流的電晶體。此外，在電路設計中，當該電晶體係在關閉狀態中時，可將該氧化物半導體層視為係絕緣器。另外，可期待包括氧化物半導體層的電晶體在導通狀態中比包括非晶矽層之電晶體具有更高的電流供應能力。

當設計等實施時，假設包括低溫多晶矽層之電晶體在室溫的截止狀態電流約為包括氧化物半導體層之電晶體的截止狀態電流的 10000 倍。因此，在包括氧化物半導體層的電晶體與包括低溫多晶矽層之電晶體比較的情形中，當彼等的儲存電容相同或彼此實質相同時（約 0.1pF），包括氧化物半導體層之電晶體的電壓保持週期可約為包括低溫多晶矽之電晶體的電壓保持週期的 10000 倍。例如，當動畫以每秒 60 圖框的速度顯示時，包括氧化物半導體層的電晶體針對一訊號寫入的保持週期可約為 160 秒，其係包括低溫多晶矽層之電晶體的保持週期的 10000 倍。以此方式，甚至可藉由更不頻繁的影像訊號寫入在顯示部上實施靜態影像顯示。

長保持週期容許將影像訊號供應至像素的頻率降低。特別係使用上述電晶體對如上文所述之影像訊號可選擇性地輸入至像素部的液晶顯示裝置非常有效。亦即，雖然有可能在長時間週期內不將影像訊號輸入至液晶顯示裝置中的像素，藉由將上述電晶體使用為控制輸入至像素之影像

訊號的電晶體，可抑制像素中的顯示退化（改變）。

另外，當將該電晶體使用為用於控制輸入至像素之影像訊號的開關時，可減少設置在像素中之電容器的尺寸。因此，該像素可有高孔徑比，且例如，影像訊號可用高速輸入至該像素。

<液晶元件 16 及電容器 17>

當將上述電晶體使用為控制影像訊號之輸入的電晶體 15 時，將具有高特定電阻率之物質使用為包括在液晶元件 16 中的液晶材料為佳。此處，參考圖 3A 至 3C 描述使用具有高特定電阻率之物質的原因。圖 3A 至 3C 係用於描繪影像訊號在設有包括非晶矽層的電晶體之像素中的漏損路徑及影像訊號在設有包括上述氧化物半導體層的電晶體之像素中的漏損路徑之示意圖。

如圖 1B 所描繪的，該像素包括電晶體 15、液晶元件 16、以及電容器 17。當電晶體 15 在關閉狀態中時，該像素等同於描繪於圖 3A 中的電路。亦即，該像素等同於將電晶體 15 假設成電阻器（ R_{Tr-Off} ），並將液晶元件 16 假設成包括電阻器（ R_{LC} ）及電容器（ C_{LC} ）的電路。當影像訊號輸入至像素時，將該影像訊號儲存在電容器 17（ C_s ）及液晶元件 16 的電容器（ C_{LC} ）中。當使電晶體 15 進入關閉狀態之後，該影像訊號如圖 3B 及 3C 所描繪地通過電晶體 15 及液晶元件 16 漏損。圖 3B 係在電晶體 15 為包括非晶矽層的電晶體之情形中描繪漏損影像訊號

的示意圖，且圖 3C 係在電晶體 15 為包括氧化物半導體層的電晶體之情形中描繪漏損影像訊號的示意圖。包括非晶矽層之電晶體的截止狀態電阻低於液晶元件之電阻。因此，如圖 3B 所描繪的，該影像訊號主要經由包括非晶矽層之該電晶體漏損（亦即，該影像訊號主要經由圖 3B 中的路徑 A 及路徑 B 漏損）。另一方面，包括高純度氧化物半導體層之電晶體的截止狀態電阻高於液晶元件之電阻。因此，如圖 3C 所描繪的，該影像訊號主要經由液晶元件漏損（亦即，該影像訊號主要經由圖 3C 中的路徑 C 及路徑 D 漏損）。

亦即，儘管液晶顯示裝置之各像素中的電晶體之特徵已習知地係各像素之影像訊號保持特徵中的速率控制點，在將包括高純度氧化物半導體層之電晶體使用為各像素中的電晶體之情形中，將其中的速率控制點移向液晶元件的電阻。因此，將具有高特定電阻率的物質使用為包括在液晶元件 16 中的液晶材料為佳。

具體地說，在其像素設有包括高純度氧化物半導體層之電晶體的液晶顯示裝置中，液晶材料的特定電阻率為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 或以上為佳，在 $1 \times 10^{13} \Omega \cdot \text{cm}$ 之上較佳，在 $1 \times 10^{14} \Omega \cdot \text{cm}$ 以上更佳。在液晶元件係使用該液晶材料形成的情形中，由於雜質從對準膜或密封劑進入的可能性，該電阻率為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 或以上為佳，在 $1 \times 10^{12} \Omega \cdot \text{cm}$ 之上較佳。該特定電阻率在此說明書中的值係在 20°C 量測。

在靜態影像顯示的保持週期中，液晶元件 16 的該另一終端可在浮動狀態中，無須供應共同電位 (V_{com}) 至該終端。具體地說，可能將開關設置在該終端及用於供應共同電位 (V_{com}) 的電源之間。該開關可能在寫入週期中開啓，因此可能從電源供應共同電位 (V_{com})。然後，該開關可能在其餘的保持週期中關閉，因此可能使該終端進入浮動狀態。也將上述之包括高純度氧化物半導體層的電晶體使用為該開關為佳。藉由使液晶元件 16 的該另一終端進入浮動狀態，可降低由於不規律脈衝等所導致之在像素 14 中的顯示退化（改變）。該原因描述如下。當在關閉狀態的電晶體 15 之第一終端的電位為不規律脈衝改變時，液晶元件 16 之該一終端的電位也由電容耦合所改變。此時，在共同電位 (V_{com}) 供應至液晶元件 16 之該另一終端的情形中，電位的改變直接關聯於施加至液晶元件 16 之電壓的改變。另一方面，在該液晶元件之該另一終端係在浮動狀態中的情形中，該液晶元件之該另一終端的電位也由電容耦合所改變。因此，即使當電晶體 15 之第一終端的電位為不規律脈衝改變時，可將施加至液晶元件 16 之電壓的改變降低。因此，可降低像素 14 中的顯示退化（改變）。

電容器 17 (C_s) 的電容係考慮各像素中之電晶體的截止狀態電流等而判定。然而，在如上文所述之將包括高純度氧化物導電層的電晶體使用為像素中之電晶體的情形中，設計電容器 17 所需的條件大幅地改變。該內容於下

文中使用具體數字描述。

通常，在將包括非晶矽層的電晶體使用為像素中之電晶體的情形中，截止狀態電阻約為 $1 \times 10^{12} \Omega$ ，且液晶元件的電阻約為 $1 \times 10^{15} \Omega$ 。因此，在將包括高純度氧化物半導體層的電晶體使用為像素中之電晶體的情形中，可將像素中之影像訊號的漏損量降低至約為 1/1000。亦即，可將電容器 17 (C_s) 的電容降低至約為 1/1000，或可將像素之靜態影像顯示中的影像訊號之重寫頻率降低至約為 1/1000。例如，在影像訊號的寫入係以每秒 60 次的速率實施時，該寫入頻率可降低至約為每 15 秒一次。另外，使用具有約 50fF 之電容的元件作為電容器 17，影像訊號可在像素中保持約 30 秒。例如，為在各像素中將影像訊號保持 5 秒至 5 分鐘（含），電容器 17 (C_s) 的電容為 0.5pF 或以上為佳，為 1pF 或以上更佳。須注意在以上描述中的各種數值係估計值。

須注意實施例 1 的內容或其之一部分可自由地與實施例 2、3、以及 4 的內容或彼等之一部分、或範例 1 的內容或其之一部分組合。

（實施例 2）

在此實施例中，參考圖 4A 至 4D 描述實施例 1 中之電晶體的範例。

圖 4A 至 4D 描繪用於製造實施例 1 之電晶體的具體結構及製程之範例。須注意描繪於圖 4A 至 4D 中的薄膜

電晶體 410 具有稱爲通道蝕刻型的底閘極結構，並也稱爲反交錯薄膜電晶體。雖然將單閘極薄膜電晶體描繪於圖 4A 至 4D 中，包括複數個通道形成區域的多閘極薄膜電晶體可視需要形成。

參考圖 4A 至 4D 於下文描述在基材 400 上方製造薄膜電晶體 410 的處理。

首先，將導電膜形成在具有絕緣表面的基材 400 上方，然後，經由第一光微影步驟形成閘極電極層 411。須注意使用在該步驟中的光阻遮罩可能藉由噴墨法形成。藉由噴墨法形成光阻遮罩不需要光罩；因此，可降低製造成本。

雖然可使用爲具有絕緣表面之基材 400 的基材並無特別限制，該基材至少必須對稍後實施的熱處理具有足夠的耐熱性。例如，可使用以鋇硼矽酸玻璃基材、或鋁硼矽酸玻璃基材等形成的玻璃基材。在使用玻璃基材且待於稍後實施之熱處理的溫度甚高的情形中，使用應變點大於或等於 730°C 的玻璃基材爲佳。

另外，可能將作爲基膜使用的絕緣膜設置在基材 400 及閘極電極層 411 之間。該基膜具有防止雜質元素從基材 400 擴散的功能，並可使用一或多層氮化矽膜、氧化矽膜、氮化氧化矽膜、及氮氧化矽膜形成爲具有單層結構或疊層結構。

閘極電極層 411 可用使用金屬材料，諸如鉬、鈦、鉻、鋇、鎢、鋁、銅、鈹、或鈳，或將任何此等材料包含

為其主成份之合金材料的單層結構或疊層結構形成。

例如，將下列結構作為閘極電極層 411 的二層結構為佳：將鉬層堆疊在鋁層上方的結構、將鉬層堆疊在銅層上方的結構、將氮化鈦層或氮化鉬層堆疊在銅層上方的結構、或將氮化鈦層及鉬層堆疊的結構。作為三層結構，鎢層或氮化鎢層、鋁及矽的合金或鋁及鈦之合金的層、以及氮化鈦層或鈦層的三層結構較佳。

然後，將閘極絕緣層 402 形成在閘極電極層 411 上方。

閘極絕緣層 402 可用使用一或多層氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層的單層結構或疊層結構藉由電漿 CVD 法、或濺鍍法等形式。例如，氮氧化矽層可能使用包含矽烷 (SiH_4)、氧、以及氮之沈積氣體藉由電漿 CVD 法形成。此外，可將高-k 材料，諸如氧化鈺 (HfO_x) 或氧化鉭 (TaO_x)，使用為該閘極絕緣層。將閘極絕緣層 402 形成至 100nm 至 500nm (含) 的厚度；在閘極絕緣層 402 係使用疊層結構形成的情形中，例如，堆疊具有 50nm 至 200nm (含) 之厚度的第一閘極絕緣層以及具有 5nm 至 300nm 之厚度的第二閘極絕緣層。

此處，藉由電漿 CVD 法將作為閘極絕緣層 402 的氮氧化矽層形成至 100nm 或以下的厚度。

此外，作為閘極絕緣層 402 的氮氧化矽膜可能使用高密度電漿設備形成。此處，高密度電漿設備係指可實現高於或等於 $1 \times 10^{11}/\text{cm}^3$ 之電漿密度的設備。例如，電漿係藉

由施加 3kW 至 6kW 之微波電力而產生，使得絕緣膜形成。

將矽烷氣體 (SiH_4)、一氧化二氮 (N_2O)、以及稀有氣體作為來源氣體引入室中，以在 10 帕至 30 帕的壓力產生高密度電漿，並將該絕緣膜形成在具有絕緣表面的基材上方，諸如玻璃基材。之後，停止矽烷 (SiH_4) 的供應，並可能藉由引入一氧化二氮 (N_2O) 及稀有氣體在該絕緣膜的表面上實施電漿處理而不曝露在空氣中。藉由引入一氧化二氮 (N_2O) 及稀有氣體而在該絕緣膜的表面上實施的電漿處理至少在該絕緣膜形成之後實施。經由上述處理程序形成的絕緣膜具有小厚度並對應於，例如，即使其具有少於 100nm 的厚度，其可靠性仍可受確保的絕緣膜。

在閘極絕緣層 402 形成時，引入室中之矽烷 (SiH_4) 對一氧化二氮 (N_2O) 的流動率在 1:10 至 1:200 的範圍中。此外，可將氮、氫、氦、或氙等使用為引入室中的稀有氣體。特別係使用不昂貴的氫為佳。

此外，因為藉由使用高密度電漿設備形成的絕緣膜可具有特定厚度，該絕緣膜具有優秀的階覆蓋性。另外，至於藉由使用該高密度電漿設備形成的絕緣膜，可精確地控制薄膜的厚度。

經由上述處理程序形成的絕緣膜與使用習知平行板電漿 CVD 設備形成之絕緣膜非常地不同。在使用相同蝕刻劑之蝕刻率彼此比較的情形中，經由上述處理程序形成之

絕緣膜的蝕刻率比使用習知平行板電漿 CVD 設備形成之絕緣膜的蝕刻率低 10%或以上或 20%或以上。因此，可說使用高密度電漿設備形成的絕緣膜係緻密膜。

在稍後步驟中使其成為本質（i 型）或實質本質的氧化物半導體層（高純度氧化物半導體層）對介面狀態及介面變化係高度靈敏的；因此，在氧化物半導體層及閘極絕緣層之間的介面係重要的。因此，與高純度氧化物半導體層接觸的閘極絕緣層需要高品質。因此，採用使用微波（2.45GHz）的高密度電漿 CVD 設備為佳，因為可形成具有高承受電壓之緻密及高品質的絕緣膜。當該高純度氧化物半導體層及該高品質閘極絕緣層彼此緊密接觸時，可降低介面狀態密度並可得到有利的介面特徵。該閘極絕緣層除了具有如閘極絕緣層之有利膜品質之外，與氧化物半導體層具有較低之介面狀態密度並具有有利介面係重要的。

然後，在閘極絕緣層 402 上方，將氧化物半導體膜 430 形成至 2nm 至 200nm（含）的厚度。須注意在藉由濺鍍法形成氧化物半導體膜 430 之前，藉由引入氬氣並產生電漿的反轉濺鍍將附於閘極絕緣層 402 之表面上的粉末物質（也稱為粒子或灰塵）移除為佳。反轉濺鍍係指未應用電壓至目標側，而在氬大氣中將 RF 電源使用為應用至基材側的電壓，以修改表面的方法。須注意，可能使用氮大氣、氬大氣、或氧大氣等取代氬大氣。

將 In-Ga-Zn-O-基氧化物半導體膜、In-Sn-O-基氧化物半導體膜、In-Sn-Zn-O-基氧化物半導體膜、In-Al-Zn-O-

基氧化物半導體膜、Sn-Ga-Zn-O-基氧化物半導體膜、Al-Ga-Zn-O-基氧化物半導體膜、Sn-Al-Zn-O-基氧化物半導體膜、In-Zn-O-基氧化物半導體膜、Sn-Zn-O-基氧化物半導體膜、Al-Zn-O-基氧化物半導體膜、In-O-基氧化物半導體膜、Sn-O-基氧化物半導體膜、或 Zn-O-基氧化物半導體膜使用為氧化物半導體膜 430。在此實施例中，氧化物半導體膜 430 係使用 In-Ga-Zn-O-基金屬氧化物靶材藉由濺鍍法形成。此階段的橫剖面圖描繪於圖 4A 中。或者，氧化物半導體膜 430 可在稀有氣體（典型係氬）大氣、氧大氣、或包含稀有氣體（典型為氬）及氧之混合大氣中藉由濺鍍法形成。須注意當使用濺鍍法時，使用包括 2 重量百分率或以上及 10 重量百分率或以下之 SiO_2 的靶材實施沈積，並使氧化物半導體膜 430 包括抑制結晶的 SiO_x （ $x > 0$ ），使得當在稍後步驟中實施用於脫水或脫氫的熱處理時可抑制結晶。

此處，膜沈積係使用包含 In、Ga、以及 Zn（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1[莫耳]，In：Ga：Zn=1：1：0.5[原子]）之金屬氧化物靶材實施。該沈積條件設定如下：基材及靶材之間的距離為 100mm、壓力為 0.2 帕、直流（DC）功率為 0.5kW、且大氣為氬及氧的混合大氣（氬：氧=30sccm：20sccm 且氧流動率為 40%）。須注意脈衝直流（DC）電源較佳，因為可減少在沈積時產生的粉末物質且可使膜厚度均勻。將 In-Ga-Zn-O-基膜形成至 5nm 至 200nm（含）的厚度。在此實施例中，作為氧化物

半導體膜之 20nm 厚的 In-Ga-Zn-O-基膜係使用 In-Ga-Zn-O-基金屬氧化物靶材藉由濺鍍法形成。也可將具有 In : Ga : Zn=1 : 1 : 1[原子]之組成比率的靶材或具有 In : Ga : Zn=1 : 1 : 2[原子]之組成比率的靶材使用為包含 In、Ga、以及 Zn 的金屬氧化物靶材。

濺鍍法的範例包括將高頻電源使用為濺鍍電源之 RF 濺鍍法、DC 濺鍍法、以及以脈衝方式施加偏壓的脈衝 DC 濺鍍法。RF 濺鍍法主要使用在形成絕緣膜的情形中，且 DC 濺鍍法主要使用在形成金屬膜的情形中。

此外，也有可設定複數個不同材料之靶材的多源濺鍍設備。使用該多源濺鍍設備，可形成待於相同室中堆疊之不同材料的膜，或可在同室中藉由同時放電形成複數種材料的膜。

此外，有在該室內側設有磁系統並用於磁控濺鍍的濺鍍設備，以及用於使用以微波製造的電漿而不使用輝光放電之 ECR 濺鍍的濺鍍設備。

此外，作為藉由濺鍍法的沈積法，也有靶材物質及濺鍍氣體成份在沈積期間彼此化學反應，以形成其之薄化合物膜的反應濺鍍法，以及在沈積期間也將電壓施加至基材的偏壓濺鍍。

然後，經由第二光微影步驟，將氧化物半導體膜 430 處理成島形氧化物半導體層。須注意使用在該步驟中的光阻遮罩可能藉由噴墨法形成。藉由噴墨法形成光阻遮罩不需要光罩；因此，可降低製造成本。

其次，實施該氧化物半導體層的脫水或脫氫。用於脫水或脫氫之第一熱處理的溫度高於或等於 400°C 且低於或等於 750°C，高於或等於 400°C 且低於該基材的應變點為佳。此處，將該基材導入係熱處理設備之一種的電爐中，該熱處理在氮大氣中以 450°C 在該等氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中；因此，得到氧化物半導體層 431（參見圖 4B）。

須注意熱處理設備並未受限於電爐，且可能包括藉由來自加熱元件，諸如電阻加熱元件，之熱傳導或熱幅射加熱待處理物件的裝置。例如，可使用 RTA（快速熱退火）設備，諸如 GRTA（氣體快速熱退火）設備或 LRTA（射線照射快速熱退火）設備。LRTA 設備藉由發射自燈，諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈，之光幅射（電磁波）加熱待處理物件的設備。GRTA 設備係使用高溫氣體之用於熱處理的設備。將不藉由熱處理而與待處理物件反應之惰性氣體，諸如氮，或稀有氣體，諸如氬，使用為該氣體。

例如，實施將該基材移入加熱至高達 650°C 至 700°C 之溫度的惰性氣體中、加熱數分鐘、並將加熱至該高溫的惰性氣體移出之作為第一熱處理的 GRTA。使用 GRTA，可在短時間週期中實現高溫熱處理。

須注意在該第一熱處理中，不將水、及氫等包含在氮或稀有氣體，諸如氮、氬、或氬，的大氣中為佳。將導入

熱處理設備中的氮或稀有氣體，諸如氮、氬、或氫，的純度設定為 6N (99.9999%) 或更高，7N (99.99999%) 或更高為佳（亦即，雜質濃度為 1ppm 或以下，0.1ppm 或以下為佳）。

該第一熱處理可能在尚未處理為島形氧化物半導體層的氧化物半導體膜 430 上實施。在該情形中，在第一熱處理之後，將該基材從該熱處理設備取出，然後實施第二光微影步驟。

用於該氧化物半導體層之脫水或脫氫的熱處理可能在下列任何時機實施：在該氧化物半導體層形成之後；在源極電極層及汲極電極層形成在該氧化物半導體層上方之後；以及在保護絕緣膜形成在該源極電極層及汲極電極層上方之後。

另外，在開口部形成在閘極絕緣層 402 中的情形中，形成開口部的步驟可能在氧化物半導體膜 430 受脫水或脫氫處理之前或之後實施。

須注意氧化物半導體膜 430 的蝕刻並未受限於濕蝕刻，也可能使用乾蝕刻。

將包括氯（氯基氣體，諸如氯 (Cl_2)、三氯化硼 (BCl_3)、四氯化矽 (SiCl_4)、或四氯化碳 (CCl_4)) 之氣體使用為用於乾蝕刻的蝕刻氣體為佳。

或者，可使用包含氟（氟基氣體，諸如四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3)、或三氟甲烷 (CHF_3)) 之氣體；溴化氫 (HBr)；氧 (O_2)；加

入稀有氣體，諸如氦（He）或氬（Ar），之任何此等氣體等。

可將平行板 RIE（反應性離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法使用為該乾蝕刻法。為將該膜蝕刻為期望形狀，視情況調整蝕刻條件（施加至線圈形電極的電力量、施加至基材側上之電極的電力量、或在基材側上之電極的溫度等）。

可將磷酸、乙酸及硝酸的混合溶液等使用為用於濕蝕刻的蝕刻劑。此外，也可能使用 ITO07N（由 KANTO CHEMICAL CO., INC. 製造）。

藉由清洗將濕蝕刻後的蝕刻劑與已蝕除材料共同移除。可能將包括該蝕刻劑及已蝕除材料的廢液純化，並可能重用該材料。當包括在該氧化物半導體層中的材料，諸如銮，係從蝕刻後的廢液收集並重用時，該等資源可有效率地使用且可降低成本。

該等蝕刻條件（諸如，蝕刻劑、蝕刻時間、及溫度）取決於該材料而適當地調整，使得可將該材料蝕刻成期望形狀。

其次，將金屬導電膜形成在閘極絕緣層 402 及氧化物半導體層 431 上方。該金屬導電膜可能藉由濺鍍法或真空蒸鍍法形成。可將鋁（Al）、鉻（Cr）、銅（Cu）、鉬（Ta）、鈦（Ti）、鉬（Mo）、以及鎢（W）之元素、將任何此等元素包含為成分的合金、或將任何此等元素包含在組合中的合金等提供為該金屬導電膜的材料。或者，可

能使用選自錳 (Mn) 、 鎂 (Mg) 、 鋯 (Zr) 、 鈹 (Be) 、 以及釔 (Y) 之一或多種材料。另外，該金屬導電膜可能具有單層結構或二或多層的疊層結構。例如，可提供下列結構：包括矽之鋁膜的單層結構、銅膜的單層結構、或將銅包括為主成份的膜、將鈦膜堆疊在鋁膜上方的二層結構、將銅膜形成在氮化鈿膜或氮化銅膜上方的二層結構、以及將鋁膜堆疊在鈦膜上方並將另一鈦膜堆疊在該鋁膜上方的三層結構。或者，可能使用包含鋁 (Al) 及選自鈦 (Ti) 、 鈿 (Ta) 、 鎢 (W) 、 鉬 (Mo) 、 鉻 (Cr) 、 釓 (Nd) 、 以及釷 (Sc) 之一或多種元素的膜、合金膜、或氮化物膜。

若熱處理係在金屬導電膜形成之後實施，該金屬導電膜具有足以承受該熱處理的耐熱性為佳。

實施第三光微影步驟。將光阻遮罩形成在該金屬導電膜上方並選擇性地實施蝕刻，使得源極電極層 415a 及汲極電極層 415b 形成。然後，移除該光阻遮罩（參見圖 4C）。

須注意視情況將材料及蝕刻條件調整成使得氧化物半導體層 431 不為金屬導電膜的蝕刻所移除。

須注意，在第三光微影步驟中，僅蝕刻氧化物半導體層 431 的一部分，因此在部分情形中形成具有溝槽（凹陷部）的氧化物半導體層。或者，使用在該步驟中的光阻遮罩可能藉由噴墨法形成。藉由噴墨法形成光阻遮罩不需要光罩；因此，可降低製造成本。

為減少使用在光微影步驟中的光遮罩數量及光微影步驟的數量，蝕刻步驟可能使用多色調遮罩實施，該多色調遮罩係將光透射過其以具有複數種強度的曝光遮罩。因為使用多色調遮罩形成的光阻遮罩具有複數個厚度，且另外可藉由實施蝕刻改變形狀，可將該光阻遮罩使用在複數個蝕刻步驟中，以提供不同型樣。因此，對應於至少二種或以上之不同型樣的光阻遮罩可藉由一多色調遮罩形成。因此，曝光遮罩的數量可減少且對應之光微影步驟的數量也可減少，從而可實現處理的簡化。

其次，使用諸如一氧化二氮（ N_2O ）、氮（ N_2 ）、或氬（Ar）之氣體實施電漿處理。藉由此電漿處理，移除吸收在該氧化物半導體層之表面上的水等。電漿處理也可能使用氧及氬的混合氣體實施。

在該電漿處理之後，作為保護絕緣膜使用並與氧化物半導體層之一部分接觸的氧化物絕緣層 416 可無須曝露於空氣中而形成。

可視情況藉由濺鍍法等形成具有至少 1nm 或以上之厚度的氧化物絕緣層 416，此係使雜質，諸如水及氬，不混入氧化物絕緣層 416 中的方法。當氬包含在氧化物絕緣層 416 中時，導致氬進入該氧化物絕緣層，因此使氧化物半導體層 431 的背通道具有較低電阻（具有 n 型導電性）並形成寄生通道。因此，重點係使用不用氬的形成方法，以形成包含儘可能少之氬的氧化物絕緣層 416。

此處，藉由濺鍍法將 200nm 厚的氧化矽膜沈積為氧

化物絕緣層 416。在沈積時的基材溫度可能高於或等於室溫並低於或等於 300°C，且在此實施例中為 100°C。藉由濺鍍法的氧化矽膜形成可在稀有氣體（典型為氬）大氣、氧大氣、或稀有氣體（典型為氬）及氧的大氣中實施。可能將氧化矽靶材或矽靶材使用為靶材。例如，該氧化矽膜可在包括氧及氮之大氣中，藉由濺鍍法使用矽靶材形成。

其次，第二熱處理在惰性氣體大氣或氧氣體大氣中實施為佳（以 200°C 至 400°C（含）為佳，例如，250°C 至 350°C（含））。例如，該第二熱處理在氮大氣中以 250°C 實施一小時。經由該第二熱處理，氧化物半導體層（通道形成區域）的一部分在與氧化物絕緣層 416 接觸的同時加熱。因此，將氧供應至一部分的氧化物半導體層（通道形成區域）。

經由上述處理程序，該氧化物半導體層受用於脫水或脫氫的熱處理，然後，選擇性地使一部分的氧化物半導體層（通道形成區域）在過氧狀態中。結果，與閘極電極層 411 重疊的通道形成區域 413 變成 i 型，且與源極電極層 415a 重疊之源極區域 414a 及與汲極電極層 415b 重疊的汲極區域 414b 係以自對準方式形成。因此，形成薄膜電晶體 410。

在 12 小時之在 85°C 具有 2×10^6 V/cm 的閘極偏壓-溫度應力測試（BT 測試）中，若將雜質加至氧化物半導體，藉由高電場（B：偏壓）及高溫度（T：溫度）使雜質及氧化物半導體的主成份之間的鍵破裂，且產生之懸空鍵導

致臨界電壓 (V_{th}) 漂移。另一方面，可藉由儘可能地移除氧化物半導體中的雜質，特別係氫或水，並使用高密度電漿 CVD 設備，得到如上文所述之具有高承受電壓且在該絕緣膜及氧化物半導體之間具有良好介面特徵的緻密及高品質絕緣膜；因此，甚至在該 BT 測試中，可得到穩定的電晶體。

另外，熱處理可能在空氣中以 100°C 至 200°C (含) 實施一小時至 30 小時。此處，該熱處理以 150°C 實施 10 小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100°C 至 200°C，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣膜形成之前在降壓下實施。在降壓下，可將該熱處理時間縮短。藉由該熱處理，使氫從該氧化物半導體層攜入氧化物絕緣層中。

藉由將汲極區域 414b 形成在氧化物半導體層之與汲極電極層 415b 重疊的部分中，可改善該薄膜電晶體的可靠性。具體地說，藉由形成汲極區域 414b，可得到導電性可經由汲極區域 414b 從汲極電極層 415b 改變至通道形成區域 413 的結構。

另外，在該氧化物半導體層之厚度為 15nm 或以下的情形中，該氧化物半導體層中的源極區域或汲極區域係在整體厚度的方向上形成。在氧化物半導體層的厚度為 30nm 至 50nm (含) 的情形中，當可使氧化物半導體層中之接近閘極絕緣層的區域變為 i 型時，在一部分的該氧化

物半導體層中，亦即，在氧化物半導體層中之與源極電極層或汲極電極層接觸的區域中及其附近的電阻減少並形成源極區域及汲極區域。

可能將保護絕緣層另外形成在氧化物絕緣層 416 上方。例如，藉由 RF 濺鍍法形成氮化矽膜。因為 RF 濺鍍法具有高生產性，將其使用為該保護絕緣層的膜形成方法為佳。將不包括雜質，諸如濕氣、氫離子、以及 OH^- ，並阻擋彼等從外側進入的無機絕緣膜使用為該保護絕緣層：將氮化矽膜、氮化鋁膜、氮化氧化矽膜、或氮氧化鋁膜等使用為該保護絕緣層。在此實施例中，使用氮化矽膜將保護絕緣層 403 形成為該保護絕緣層（參見圖 4D）。

須注意實施例 2 的內容或其之一部分可自由地與實施例 1、3、以及 4 的內容或彼等之一部分、或範例 1 的內容或其之一部分組合。

（實施例 3）

在此實施例中，參考圖 5A 及 5B 描述於實施例 1 中描述之具有觸控面板功能的液晶顯示裝置之結構。

圖 5A 係此實施例之液晶顯示裝置的示意圖。圖 5A 描繪將觸控面板單元 502 堆疊在係實施例 1 之液晶顯示裝置的液晶顯示面板 501 上並將彼等附於外殼 503 的結構。可視情況將電阻觸控感測器、表面電容觸控感測器、或投影電容觸控感測器等使用為觸控面板單元 502。

液晶顯示面板 501 及觸控面板單元 502 係分別製造並

如圖 5A 所描繪地堆疊，因此可降低製造具有觸控面板功能之液晶顯示裝置的成本。

圖 5B 描繪具有觸控面板功能之液晶顯示裝置的結構，其與描繪於圖 5A 的結構不同。描繪於圖 5B 的液晶顯示裝置 504 包括各者具有光感測器 506 及液晶元件 507 的複數個像素 505。因此，無須堆疊觸控面板單元 502，其與描繪於圖 5A 的結構不同。因此，可將液晶顯示裝置薄化。另外，將掃描線驅動器電路 508、訊號線驅動器電路 509、以及光感測器驅動器電路 510 製造在與像素 505 相同的基材上方。因此，可在尺寸上減少液晶顯示裝置。須注意光感測器 506 可能使用非晶矽等形成，並堆疊在包括氧化物半導體的電晶體上。

將包括氧化物半導體層的電晶體使用在具有觸控面板功能的液晶顯示裝置中，因此可改善靜態影像顯示中的影像保持特徵。另外，可藉由停止驅動器電路部在靜態影像顯示中的操作而降低電力消耗。

須注意實施例 3 的內容或其之一部分可自由地與實施例 1、2、以及 4 的內容或彼等之一部分，或範例 1 的內容或其之一部分組合。

（實施例 4）

在實施例 4 中，參考圖 6A 至 6F 描述載置實施例 1 之液晶顯示裝置的電子裝置之範例。須注意將依據實施例 1 的液晶顯示裝置使用為電子裝置的顯示部。

圖 6A 描繪膝上型電腦，其包括主體 2201、外殼 2202、顯示部 2203、及鍵盤 2204 等。將實施例 1 之液晶顯示裝置使用為膝上型電腦等的顯示部具有深遠效果，不僅降低電力消耗，也因為下列原因減輕由長期使用所導致的眼睛疲勞。膝上型電腦等的顯示主要係隨使用者的操作而改變。亦即，膝上型電腦等在使用者操作之間的間隔期間顯示靜態影像。另外，通常在液晶顯示裝置上實施反相驅動，以抑制液晶材料的退化。若該反相驅動在顯示靜態影像的週期中實施，則影像閃爍被使用者認出。該閃爍促成使用者的眼睛疲勞。然而，使用描述於實施例 1 中的液晶顯示裝置，可在各像素中將影像訊號保持長時間週期，因此可減少在靜態影像顯示週期中為使用者認出的閃爍。因此，可說將實施例 1 中的液晶顯示裝置用於膝上型電腦等對減輕使用者的眼睛疲勞具有深遠效果。

圖 6B 描繪個人數位助理（PDA），其包括具有顯示部 2213、外部介面 2215、及操作鍵 2214 等的主體 2211。將用於操作的觸控筆 2212 包括為周邊。

圖 6C 將電子書閱讀器 2220 描繪為電子紙的範例。電子書閱讀器 2220 包括二外殼：外殼 2221 及 2223。外殼 2221 及 2223 係藉由軸部 2237 彼此結合，該電子書閱讀器 2220 可沿著其開啓及關閉。使用此種結構，電子書閱讀器 2220 可像紙質書似地使用。

將顯示部 2225 併入外殼 2221 中，並將顯示部 2227 併入外殼 2223 中。顯示部 2225 及顯示部 2227 可能顯示

一影像或不同影像。在該等顯示部顯示彼此不同之影像的結構中，例如，右顯示部（圖 6C 中的顯示部 2225）可顯示文字且左顯示部（圖 6C 中的顯示部 2227）可顯示影像。

另外，在圖 6C 中，外殼 2221 設有操作部等。例如，外殼 2221 設有電源 2231、操作鍵 2233、及揚聲器 2235 等。可使用操作鍵 2233 翻頁。須注意也可能將鍵盤、或指標裝置等設置在顯示部設置於其上之外殼的表面上。此外，可能將外部連接終端（耳機終端、USB 終端、可連接至各種纜線的終端，諸如 AC 配接器、或 USB 纜線等）、及記錄媒體插入部等設置在外殼的背表面或側表面上。另外，電子書閱讀器 2220 可能具有電子字典的功能。

可能將電子書閱讀器 2220 組態成無線地傳輸及接收資料。經由無線通訊，可從電子書伺服器購買及下載所期望的書籍資料等。

須注意只要裝置顯示資訊，可將電子紙施用至各種領域的裝置。例如，除了電子書閱讀器外，可將電子紙用於海報、交通工具上的廣告，諸如火車、及各種卡片之顯示等，諸如信用卡。

圖 6D 描繪行動電話。行動電話包括二外殼：外殼 2240 及 2241。外殼 2241 設有顯示面板 2242、揚聲器 2243、麥克風 2244、指標裝置 2246、相機鏡頭 2247、及外部連接終端 2248 等。外殼 2240 設有使行動電話充電的太陽能電池 2249、及外部記憶體插槽 2250 等。將天線併

入外殼 2241 中。

顯示面板 2242 具有觸控面板功能。在圖 6D 中，藉由虛線描繪顯示為影像的複數個操作鍵 2245。須注意該行動電話包括用於將從太陽能電池 2249 輸出的電壓增加至各電路所需之電壓的昇壓器電路。此外，除了上述結構外，該行動電話可包括非接觸式 IC 晶片、或小型記錄裝置等。

顯示面板 2242 的顯示定向依據應用模式視情況改變。另外，將相機鏡頭 2247 設置在與顯示面板 2242 相同的表面上，且因此可使用為視訊電話。可將揚聲器 2243 及麥克風 2244 用於視訊電話、記錄、及播放聲音等，以及語音電話。此外，開發成如圖 6D 所描繪之狀態的外殼 2240 及 2241 係可滑動的，使得一者重疊在另一者的上方；因此，可減少該可攜式電話的尺寸，其使該可攜式電話適於攜帶。

外部連接終端 2248 可連接至 AC 配接器及各種纜線，諸如 USB 纜線，其致能該行動電話的充電及資料通訊。此外，更大量的資料可藉由插入記錄媒體至外部記憶體插槽 2250 而儲存及移動。另外，除了上述功能外，可能提供紅外線通訊功能、或電視接收功能等。

圖 6E 描繪數位相機，其包括主體 2261、顯示部 (A) 2267、接目鏡 2263、操作開關 2264、顯示部 (B) 2265、及電池 2266 等。

圖 6F 描繪電視機 2270，其包括併入外殼 2271 的顯

示部 2273。顯示部 2273 可顯示影像。此處，外殼 2271 係藉由腳架 2275 支撐。

電視機 2270 可藉由外殼 2271 或分離式遙控器 2280 的操作開關操作。頻道及音量可使用遙控器 2280 的操作鍵 2279 控制，使得可控制顯示在顯示部 2273 上的影像。此外，遙控器 2280 可能具有將從遙控器 2280 輸出的資訊顯示於其中的顯示部 2277。

須注意電視機 2270 設有接收器、及數據機等為佳。可使用該接收器接收一般的電視廣播。此外，當該電視機經由數據機使用或不使用佈線連接至通訊網路時，可實施單向（從傳送器至接收器）或雙向（例如，在傳送器及接收器之間或在接收器之間）資料通訊。

須注意實施例 4 的內容或其之一部分可自由地與實施例 1、2、以及 3 的內容或彼等之一部分，或範例 1 的內容或其之一部分組合。

[範例 1]

在此範例中，將於下文描述使用測試元件族（也稱為 TEG）的截止狀態電流之量測值。

圖 7 顯示具有 $L/W=3\mu\text{m}/10000\mu\text{m}$ 之電晶體的初始特徵，其中將各者具有 $L/W=3\mu\text{m}/50\mu\text{m}$ 的 200 個電晶體並聯連接。此外，圖 8A 為其頂視圖且圖 8B 係其之部分放大頂視圖。由圖 8B 中之點虛線所圍繞的區域係具有 $L/W=3\mu\text{m}/50\mu\text{m}$ 及 $L_{ov}=1.5\mu\text{m}$ 之一級的電晶體。此處， L_{ov}

代表源極或汲極與氧化物半導體層重疊之區域在通道長度方向上的長度。為量測電晶體的初始特徵，在將基材溫度設定至室溫、將源極及汲極之間的電壓（在下文中，汲極電壓或 V_d ）設定至 10V、並將源極及閘極之間的電壓（在下文中，閘極電壓或 V_g ）從 -20V 改變至 +20V 的條件下，量測源極-汲極電流（在下文中稱為汲極電流或 I_d ）的改變特徵，亦即， V_g - I_d 特徵。須注意圖 7 顯示在從 -20V 至 +5V 之範圍中的 V_g 。

如圖 7 所示，具有 $10000\mu\text{m}$ 之通道寬度 W 的電晶體在 1V 及 10V 之 V_d 具有 $1 \times 10^{-13}\text{A}$ 或以下的截止狀態電流，其少於或等於量測裝置（半導體參數分析儀，由安捷倫科技製造的 Agilent 4156C）的解析度（100fA）。亦即，在通道長度為 $3\mu\text{m}$ 的情形中，該電晶體之在每微米通道寬度上估算的截止狀態電流為 $10\text{aA}/\mu\text{m}$ 或以下。此外，在通道長度為 $3\mu\text{m}$ 或以上的情形中，所估算的該電晶體之截止狀態電流為 $10\text{aA}/\mu\text{m}$ 或以下。

描述製造用於該量測之電晶體的方法。

首先，藉由 CVD 法將氮化矽層形成為玻璃基材上方的基層，並將氮氧化矽層形成在氮化矽層上方。藉由濺鍍法將鎢層形成為在該氮氧化矽層上方的閘極電極層。此處，將該鎢層選擇性地蝕刻為閘極電極層。

然後，藉由 CVD 法將具有 100nm 之厚度的氮氧化矽層形成為在閘極電極層上方的閘極絕緣層。

然後，使用 In-Ga-Zn-O-基金屬氧化物靶材（以

$\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 的莫耳比率) 藉由濺鍍法將具有 50nm 之厚度的氧化物半導體層形成在閘極絕緣層上方。此處，將該氧化物半導體層選擇性地頻率為島形氧化物半導體層。

然後，第一熱處理在潔淨烤箱中的氮大氣中以 450°C 在該氧化物半導體層上實施一小時。

然後，藉由濺鍍法將鈦層 (具有 150nm 的厚度) 形成為在氧化物半導體層上方的源極電極層及汲極電極層。此處，選擇性地蝕刻該源極電極層及該汲極電極層，使得具有 3 μm 的通道長度 L 及 50 μm 之通道寬度 W 的 200 個電晶體並聯連接，以得到具有 $L/W = 3\mu\text{m}/10000\mu\text{m}$ 的電晶體。

其次，藉由反應濺鍍法將具有 300nm 厚度之氧化矽層形成為與氧化物半導體層接觸的保護絕緣層。此處，選擇性地蝕刻係保護層的氧化矽層，以在閘極電極層、源極電極層、以及汲極電極層上方形成開口部。之後，第二熱處理在氮大氣中以 250°C 實施一小時。

然後，在 V_g - I_d 特徵量測之前，該熱處理以 150°C 實施 10 小時。

經由上述處理，製造底閘極電晶體。

該電晶體為何具有如圖 7 所示之約 1×10^{-13} A 的截止狀態電流之原因係在上述製程中可將氧化物半導體層中的氫濃度充份地降低。該氧化物半導體層中的氫濃度為 $1 \times 10^{16}/\text{cm}^3$ 或以下。須注意氧化物半導體層中的氫濃度係藉

由二次離子質譜儀 (SIMS) 量測。

雖然描述使用 In-Ga-Zn-O-基氧化物半導體的範例，範例 1 並未特別受限於此。也可使用其他氧化物半導體材料，諸如 In-Sn-Zn-O-基氧化物半導體、Sn-Ga-Zn-O-基氧化物半導體、Al-Ga-Zn-O-基氧化物半導體、Sn-Al-Zn-O-基氧化物半導體、In-Zn-O-基氧化物半導體、In-Sn-O-基氧化物半導體、Sn-Zn-O-基氧化物半導體、Al-Zn-O-基氧化物半導體、In-O-基氧化物半導體、Sn-O-基氧化物半導體、或 Zn-O-基氧化物半導體。可將混有 2.5 重量百分比至 10 重量百分比之 AlO_x 的 In-Al-Zn-O-基氧化物半導體、或混有 2.5 重量百分比至 10 重量百分比之 SiO_x 的 In-Zn-O-基氧化物半導體使用為氧化物半導體材料。

氧化物半導體層之藉由載體量測裝置量測的載體濃度少於 $1 \times 10^{14}/\text{cm}^3$ ， $1 \times 10^{12}/\text{cm}^3$ 或以下為佳。換言之，可使該氧化物半導體層的載體濃度儘可能接近零。

該電晶體也可具有少於或等於 10nm 且少於或等於 1000nm 的通道長度 L，其導致電路操作速度的增加，且截止狀態電流極小，其導致電力消耗的更行降低。

此外，在電路設計中，當該電晶體係在關閉狀態中時，可將該氧化物半導體層視為係絕緣器。

之後，評估在此範例中製造的電晶體之截止狀態電流的溫度特徵。溫度特徵在考慮使用該電晶體之終端產品的環境阻力、或效能維護等時係重要的。待理解較小的改變量係較佳的，其增加產品設計的自由度。

針對該等溫度特徵，在將設有電晶體的基材保持在 -30°C 、 0°C 、 25°C 、 40°C 、 60°C 、 80°C 、 100°C 、及 120°C 的個別恆溫、將汲極電壓設定至 6V 、並將閘極電壓從 -20V 改變至 $+20\text{V}$ 之條件下使用恆溫室得到 $V_g\text{-}I_d$ 特徵。

圖 9A 顯示在上述溫度量測且相互重疊的 $V_g\text{-}I_d$ 特徵，且圖 9B 顯示由圖 9A 中的虛線所圍繞之截止狀態電流範圍的放大圖。由該圖中之箭號所指示的最右側曲線係在 -30°C 得到的曲線；最左側的曲線係在 120°C 得到的曲線；且在其他溫度得到的曲線位於彼等之間。可難以觀察到開啓狀態電流的溫度相依性。另一方面，如也在圖 9B 之放大圖中清楚地顯示的，除了在 -20V 之閘極電壓的附近，截止狀態電流在所有溫度均少於或等於 $1\times 10^{-12}\text{A}$ ，其接近該量測裝置的解析度，且未觀察到其之溫度相依性。換言之，即使在 120°C 的高溫，將截止狀態電流保持為少於或等於 $1\times 10^{-12}\text{A}$ ，且設若通道寬度 W 為 $10000\mu\text{m}$ ，可看出截止狀態電流顯著地小。亦即，在通道長度為 $3\mu\text{m}$ 的情形中，該電晶體之在每微米通道寬度上估算的截止狀態電流為 $100\text{aA}/\mu\text{m}$ 或以下。此外，在通道長度為 $3\mu\text{m}$ 或以上的情形中，所估算的該電晶體之截止狀態電流為 $100\text{aA}/\mu\text{m}$ 或以下。另外，圖 9A 及 9B 中的資料顯示依據此範例製造之電晶體的截止狀態電流在 -30°C 至 120°C （含）為 $100\text{aA}/\mu\text{m}$ 或以下。此外，自然地估算在 85°C 之 $100\text{aA}/\mu\text{m}$ 的截止狀態電流。亦即，在圖 9A 及 9B 的資料顯示，在將此範例中製造之電晶體使用為各像素中的電晶

體之液晶顯示裝置上實施 85°C 之固定溫度保存測試的情形中，降低影像訊號在像素中的漏損量並抑制影像退化（改變）。

如上文所述地包括純化氧化物半導體（已純化 OS）的電晶體顯示截止狀態電流對溫度幾乎無相依性。可說當氧化物半導體純化時不顯示溫度相依性，因為導電性變得極接近本質型且費米等級位於禁帶中間。此也由該氧化物半導體具有較大能帶隙且包括非常少的熱激發載體所導致。此外，源極區域及汲極區域係在退化狀態中，其也係顯示無溫度相依性的因子。該電晶體主要使用從退化源極區域注入至氧化物半導體的載體操作，且上述特徵（截止狀態電流對溫度的無關性）可藉由載體濃度對溫度的無關性解釋。

上述結果顯示在載體密度少於 $1 \times 10^{14}/\text{cm}^3$ 的電晶體中，少於或等於 $1 \times 10^{12}/\text{cm}^3$ 較佳，在室溫的截止狀態電流為 $10\text{aA}/\mu\text{m}$ 或以下且在 85°C 的截止狀態電流為 $100\text{aA}/\mu\text{m}$ 或以下。另外，該等結果顯示藉由將該電晶體使用為包括在液晶顯示裝置之各像素中的電晶體，可降低該液晶顯示裝置的電力消耗並可抑制該液晶顯示裝置之顯示退化（顯示品質的降低）。另外，該等結果顯示可提供將由於外部因子，諸如溫度，所導致之顯示退化（改變）降低的液晶顯示裝置。

此申請案基於 2009 年 12 月 18 日向日本特許廳申請的日本專利申請案編號第 2009-288312 號，以及 2010 年 4

月 13 日向日本特許廳申請的日本專利申請案編號第 2010-092111 號，該等專利之教示全文以提及之方式併入本文中。

【符號說明】

10：控制電路

11、508：掃描線驅動器電路

12、509：訊號線驅動器電路

13：像素部

14：像素

15：電晶體

16、507：液晶元件

17：電容器

20：訊號產生電路

21：記憶體電路

22：比較電路

23：選擇電路

24：顯示控制電路

25：記憶體

400：基材

402：閘極絕緣層

403：保護絕緣層

410：薄膜電晶體

411：閘極電極層

- 413：通道形成區域
- 414a：源極區域
- 414b：汲極區域
- 415a：源極電極層
- 415b：汲極電極層
- 416：氧化物絕緣層
- 430：氧化物半導體膜
- 431：氧化物半導體層
- 501：液晶顯示面板
- 502：觸控面板單元
- 503、2202、2221、2223、2240、2241、2271：外殼
- 504：液晶顯示裝置
- 505：像素
- 506：光感測器
- 510：光感測器驅動器電路
- 2201、2211、2261：主體
- 2203、2213、2225、2227、2273、2277：顯示部
- 2204：鍵盤
- 2212：觸控筆
- 2214、2233、2245、2279：操作鍵
- 2215：外部介面
- 2220：電子書閱讀器
- 2231：電源
- 2235、2243：揚聲器

- 2237 : 軸部
- 2242 : 顯示面板
- 2244 : 麥克風
- 2246 : 指標裝置
- 2247 : 相機鏡頭
- 2248 : 外部連接終端
- 2249 : 太陽能電池
- 2250 : 外部記憶體插槽
- 2263 : 接目鏡
- 2264 : 操作開關
- 2265 : 顯示部 (B)
- 2266 : 電池
- 2267 : 顯示部 (A)
- 2270 : 電視機
- 2275 : 腳架
- 2280 : 分離式遙控器
- A、B、C、D : 路徑
- CK : 時鐘訊號
- C_{LC} 、 C_s : 電容器
- Data : 影像訊號
- L : 通道長度
- R_{LC} 、 R_{Tr-Off} : 電阻器
- SP : 開始脈衝訊號
- V_{com} : 共同電位

V_{dd} : 高電源供應電位

V_{ss} : 低電源供應電位

W : 通道寬度

發明摘要

【發明名稱】(中文/英文)

液晶顯示裝置及電子裝置

Liquid crystal display device and electronic device

【中文】

為降低電力消耗並抑制液晶顯示裝置的顯示退化。為抑制由於外部因素，諸如溫度，所導致的顯示退化。將其通道形成區域係使用氧化物半導體層形成的電晶體使用為設置在各像素中的電晶體。須注意隨著高純度氧化物半導體層的使用，該電晶體在室溫的截止狀態電流可為 $10\text{aA}/\mu\text{m}$ 或以下，且在 85°C 的截止狀態電流可為 $100\text{aA}/\mu\text{m}$ 或以下。因此，可降低液晶顯示裝置的電力消耗並可抑制影像退化。另外，如上文所述，該電晶體在高達 85°C 之溫度的截止狀態電流可係 $100\text{aA}/\mu\text{m}$ 或以下。因此，可抑制由於外部因素，諸如溫度，所導致之液晶顯示裝置的顯示退化。

【英文】

To reduce power consumption and suppress display degradation of a liquid crystal display device. To suppress display degradation due to an external factor such as temperature. A transistor whose channel formation region is formed using an oxide semiconductor layer is used for a transistor provided in each pixel. Note that with the use of a high-purity oxide semiconductor layer, off-state current of the transistor, at a room temperature can be 10 aA/ μm or less and off-state current at 85 °C can be 100 aA/ μm or less. Consequently, power consumption of a liquid crystal display device can be reduced and display degradation can be suppressed. Further, as described above, off-state current of the transistor at a temperature as high as 85 °C can be 100 aA/ μm or less. Thus, display degradation of a liquid crystal display device due to an external factor such as temperature can be suppressed.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

10：控制電路

11：掃描線驅動器電路

12：訊號線驅動器電路

13：像素部

14：像素

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種電晶體，其包含氧化物半導體層，其中該電晶體之特性包含：

在室溫的於閘極電壓為 -5V 或 -10V 的截止電流小於或等於 10 aA/ μm ；

在溫度為 85°C 的於閘極電壓為 -5V 或 -10V 的截止電流小於或等於 100 aA/ μm ，

其中在該氧化物半導體層中的氫濃度小於或等於 $1 \times 10^{16} \text{ atoms/cm}^3$ 。

2. 如申請專利範圍第 1 項所述之電晶體，其中該氧化物半導體層被製成為實質上本質。

3. 如申請專利範圍第 1 項所述之電晶體，其中該氧化物半導體層之載體濃度小於 $1 \times 10^{14} / \text{cm}^3$ 。

4. 如申請專利範圍第 1 項所述之電晶體，其中該氧化物半導體層包含銮、鎵和鋅。

5. 一種液晶顯示器裝置，其包含：

電晶體，其包含氧化物半導體層；

液晶元件，其電性連接至該電晶體；以及

電容器，其組態以儲存施加至該液晶元件的電壓，

其中該電晶體之特性包含：

在室溫下的於閘極電壓為 -5V 或 -10V 的截止電流小於或等於 10 aA/ μm ；以及

在溫度為 85°C 的於閘極電壓為 -5V 或 -10V 的截止電流小於或等於 100 aA/ μm ，

其中在該氧化物半導體層中的氫濃度小於或等於 $1 \times 10^{16} \text{ atoms / cm}^3$ 。

6. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中該氧化物半導體層被製成為實質上本質。

7. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中該氧化物半導體層之載體濃度小於 $1 \times 10^{14} / \text{cm}^3$ 。

8. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中該氧化物半導體層包含銮、鎵和鋅。

9. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中包括在該液晶元件中的液晶材料之特定電阻大於 $1 \times 10^{14} \Omega \cdot \text{cm}$ 。

10. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中該電容器之電容為 1 pF 或以上。

11. 如申請專利範圍第 5 項所述之液晶顯示器裝置，其中在截止狀態下穿過該電晶體之漏電流小於穿過該液晶元件之漏電流。

12. 如申請專利範圍第 5 項所述之液晶顯示器裝置，更包含觸控感測器，其在該液晶元件之上。