

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G06F 11/00

(45) 공고일자 1999년01월 15일  
(11) 등록번호 특0167254  
(24) 등록일자 1998년09월 26일

(21) 출원번호	특1995-025655	(65) 공개번호	특1997-012148
(22) 출원일자	1995년08월21일	(43) 공개일자	1997년03월29일

(73) 특허권자 엘지반도체주식회사 구본준  
충청북도 청주시 흥덕구 향정동 1번지  
(72) 발명자 오중찬  
충청북도 청주시 흥덕구 가경동 신라아파트 2-211  
(74) 대리인 박장원

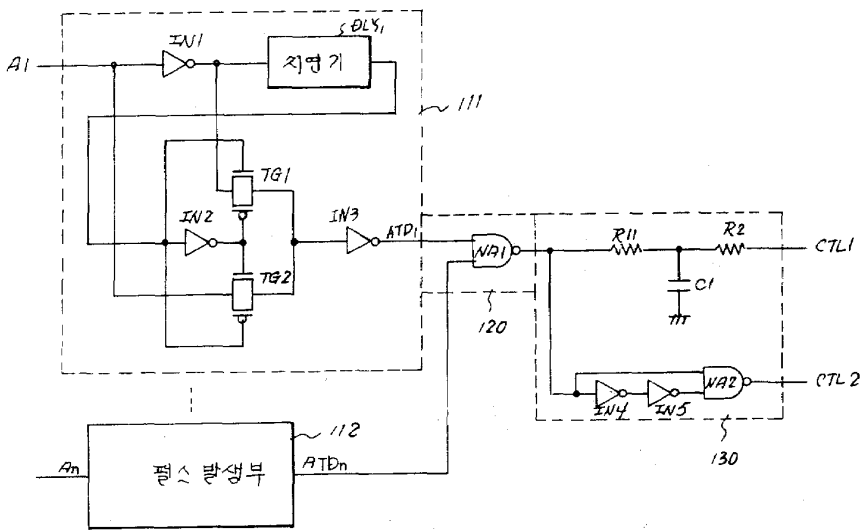
심사관 : 민혜정

(54) 메모리의 오동작 방지 회로

요약

본 발명은 메모리의 오동작 방지 회로에 관한 것으로, 종래에는 어드레스에 그리치(glitch)가 발생하여 어드레스 천이 검출에 따른 펄스의 폭이 작아지면 제어 신호가 정상적인 동작의 경우보다 제어 신호가 짧은 시간 동안 동작하게 되어 칩(chip)에서 오데이터가 출력하여 시스템이 오동작하는 문제점이 있었다. 이러한 문제점을 개선하기 위하여 본 발명은 어드레스 천이 검출에 따른 합산 펄스가 임의의 폭으로 인가 되어도 정상적인 폭의 펄스를 발생시킨 후 서로 비교하여 정상 펄스보다 합성 펄스의 폭이 작은 경우 칩의 동작을 중단시키도록 창안한 것으로, 본 발명은 시스템 잡음에 의해 외부 어드레스가 순간적으로 토글하는 경우나 내부 잡음에 의해 내부 어드레스가 순간적으로 토글하는 경우 시스템의 동작을 중단시킴에 의해 오동작을 방지할 수 있다.

대표도



명세서

[발명의 명칭]

메모리의 오동작 방지 회로

[도면의 간단한 설명]

- 제1도는 종래의 제어 신호 발생 회로도.
- 제2도는 제1도에서 타이밍도.
- 제3도는 본 발명의 오동작 방지 회로도.
- 제4도 및 제5도는 제3도에서 타이밍도.
- 제6도는 제3도에서 오동작시 타이밍도.

## \* 도면의 주요부분에 대한 부호의 설명

211,212,240 : 펄스 발생부	220 : 펄스 합산부
230 : 어드레스 래치	250 : 비교부
260 : 디스에이블 래치	270 : 제어 신호 발생부
280 : 리세트부	290 : 전원 검출부
NA <sub>11</sub> ,NA <sub>12</sub> : 낸드 게이트	NR <sub>11</sub> ~NR <sub>15</sub> : 노아 게이트
IN <sub>11</sub> ~IN <sub>17</sub> : 인버터	DLY <sub>11</sub> : 지연기
TG <sub>11</sub> ,TG <sub>12</sub> : 전송 게이트	

## [발명의 상세한 설명]

본 발명은 어드레스 그리치 제거에 관한 것으로 특히, 메모리 회로에서 입력 어드레스에 그리치(glitch)가 발생되면 어드레스 천이 검출에 따른 펄스가 짧은 폭으로 발생되어 오류 데이터가 발생되므로 이를 방지하기 위해 그리치를 제거하는 메모리의 오동작 방지 회로에 관한 것이다.

제1도는 종래 메모리의 제어 신호 발생 회로도로서 이에 도시된 바와 같이, 각각의 어드레스(A<sub>1</sub>~A<sub>n</sub>)의 천이를 검출하여 펄스(ATD<sub>1</sub>~ATD<sub>n</sub>)를 각기 발생시키는 다수개의 펄스 발생부(111~112)와, 상기 펄스 발생부(111~112)의 펄스(ATD<sub>1</sub>~ATD<sub>n</sub>)를 합산하여 하나의 펄스(ATDSUM)로 출력하는 펄스 합산부(120)와, 이 펄스 합산부(120)의 출력 펄스(ATDSUM)에 따라 제어 신호(CTL<sub>1</sub>,CTL<sub>2</sub>)를 발생시키는 제어 신호 발생부(130)로 구성된다.

상기 펄스 발생부(111~112)는 어드레스(A<sub>i</sub>, i=1~n)를 반전시키는 인버터(IN<sub>1</sub>)와, 이 인버터(IN<sub>1</sub>)의 출력을 소정 시간 지연시키는 지연기(DLY<sub>1</sub>)와, 이 지연기(DLY<sub>1</sub>)의 출력을 반전시키는 인버터(IN<sub>2</sub>)와, 이 인버터(IN<sub>2</sub>)의 출력이 하이이면 상기 어드레스(A<sub>i</sub>)를 전송하는 전송 게이트(TG<sub>2</sub>)와, 상기 인버터(IN<sub>2</sub>)의 출력이 로우이면 상기 인버터(IN<sub>1</sub>)의 출력을 전송하는 전송 게이트(TG<sub>1</sub>)와, 상기 전송 게이트(TG<sub>1</sub> 또는 TG<sub>2</sub>)의 출력을 반전하여 펄스 합산부(120)에 출력하는 인버터(IN<sub>3</sub>)로 각기 구성하게 된다.

상기 펄스 합산부(120)은 펄스 발생부(111~112)의 출력(A<sub>1</sub>~A<sub>n</sub>)을 논리 조합하여 하나의 펄스(ATDSUM)를 발생시키는 낸드 게이트(NA<sub>1</sub>)로 구성하게 된다.

상기 제어 신호 발생부(130)는 펄스 합산부(120)의 출력(ATDSUM)을 소정 시간 지연시켜 제어 신호(CTL<sub>1</sub>)를 발생시키는 저항(R<sub>1</sub>,R<sub>2</sub>) 및 콘덴서(C<sub>1</sub>)와, 상기 펄스 합산부(120)의 출력(ATDSUM)을 순차적으로 지연하는 인버터(IN<sub>4</sub>,IN<sub>5</sub>)와, 이 인버터(IN<sub>5</sub>)의 출력과 상기 펄스 합산부(120)의 출력(ATDSUM)을 논리 조합하여 제어 신호(CTL<sub>2</sub>)를 발생시키는 낸드 게이트(NA<sub>2</sub>)로 구성하게 된다.

이와 같은 종래 기술의 동작 및 작용 효과를 설명하면 다음과 같다.

외부에서 어드레스(A<sub>1</sub>~A<sub>n</sub>)가 인가되면 다수개의 펄스 발생부(111~112)는 어드레스의 천이 방향에 관계없이 소정 시간 지연한 후 소정 폭의 펄스(ATD<sub>1</sub>~ATD<sub>n</sub>)를 발생시키게 된다.

즉, 각각의 펄스 발생부(111~112)는 제2도(a)와 같은 어드레스(A<sub>i</sub>, i=0~n)가 입력되어 인버터(IN<sub>1</sub>)가 그 어드레스(A<sub>i</sub>)를 반전시키면 지연기(DLY<sub>1</sub>)가 소정 시간 지연시켜 전송 게이트(TG<sub>1</sub>)의 비반전 제어 단자와 전송 게이트(TG<sub>2</sub>)의 반전 단자에 인가함과 동시에 인버터(IN<sub>2</sub>)에 인가하고 상기 인버터(IN<sub>2</sub>)가 상기 지연기(DLY<sub>1</sub>)의 출력을 반전하여 상기 전송 게이트(TG<sub>1</sub>)의 반전 단자와 상기 전송 게이트(TG<sub>2</sub>)의 비반전 단자에 인가하게 된다.

이때, 인버터(IN<sub>2</sub>)의 출력이 로우인 경우 전송 게이트(TG<sub>1</sub>)가 동작하여 입력 어드레스(A<sub>i</sub>)를 입력받은 인버터(IN<sub>1</sub>)의 출력 신호를 인버터(IN<sub>3</sub>)에 전송하고 상기 인버터(IN<sub>2</sub>)의 출력이 하이인 경우 전송 게이트(TG<sub>2</sub>)가 동작하여 입력 어드레스(A<sub>i</sub>)를 상기 인버터(IN<sub>3</sub>)에 전송하게 된다.

이에 따라, 인버터(IN<sub>3</sub>)는 전송 게이트(TG<sub>1</sub> 또는 TG<sub>2</sub>)의 출력을 반전하여 제2도(b)와 같은 어드레스 천이 검출에 따른 펄스(ATD<sub>i</sub>, i=1~n)를 펄스 합산부(120)에 출력하게 된다.

상기 펄스 합산부(120)는 어드레스 발생부(111~112)의 출력 펄스(ATD<sub>1</sub>~ATD<sub>n</sub>)를 낸드 게이트(NA<sub>1</sub>)에서 논리 조합하여 하나의 펄스(ATDSUM)를 제어 신호 발생부(130)에 출력하게 된다.

상기 제어 신호 발생부(130)는 펄스 합산부(120)의 출력(ATDSUM)을 저항(R<sub>1</sub>)을 통해 콘덴서(C<sub>1</sub>)에 소정 시간 저장한 후 저항(R<sub>2</sub>)을 통해 출력단으로 전송하여 제어 신호(CTL<sub>1</sub>)를 발생시키고 또한, 상기 펄스 합산부(120)의 출력(ATDSUM)을 인버터(IN<sub>4</sub>,IN<sub>5</sub>)에서 순차적으로 지연한 후 낸드 게이트(NA<sub>2</sub>)에서 상기 펄스 합산부(120)의 출력(ATDSUM)과 논리 조합하여 제어 신호(CTL<sub>2</sub>)를 발생시키게 된다.

그러나, 종래에는 제2도(c)와 같이 어드레스에 그리치(glitch)가 발생하여 제2도(d)와 같이 어드레스 천이 검출에 따른 펄스의 폭이 작아질 때 정상적인 동작의 경우보다 짧은 시간 동안 제어 신호가 동작하게 되어 칩(chip)에서 오류 데이터가 출력하여 시스템이 오동작하는 문제점이 있었다.

따라서, 본 발명은 종래의 문제점을 개선하기 위하여 어드레스 천이 검출에 따른 합산 펄스가 임의의 폭으로 인가되어도 정상적인 폭의 펄스를 발생시킨 후 서로 비교하여 정상 펄스보다 합산 펄스의 폭이 작은 경우 칩의 동작을 중단시킴으로써 오류 데이터의 전송을 방지하도록 창안한 메모리의 오동작 방지 회로를 제공함에 목적이 있다.

이하, 본 발명을 도면에 의거 상세히 설명하면 다음과 같다.

제3도는 본 발명의 오동작 방지 회로도로서 이에 도시한 바와 같이, 각각의 어드레스( $A_1 \sim A_n$ )의 천이 검출에 따른 펄스( $ATD_1 \sim ATD_n$ )를 발생시키는 다수개의 펄스 발생부(211~212)와, 이 펄스 발생부(211~212)의 펄스( $ATD_1 \sim ATD_n$ )를 논리 조합하여 하나의 펄스(ATDSUM)를 발생시키는 펄스 합산부(220)와, 어드레스 천이 검출에 따른 상기 펄스 합산부(220)의 합산 펄스(ATDSUM)가 입력되면 인에이블되어 하이 신호( $V_c$ )를 출력하는 어드레스 래치(230)와, 이 어드레스 래치(230)의 출력( $V_c$ )이 로우에서 하이로 천이할 때 펄스( $V_a$ )를 발생시키는 펄스 발생부(240)와, 이 펄스 발생부(240)의 출력( $V_a$ )과 상기 펄스 합산부(220)의 출력(ATDSUM)을 비교하여 그 비교 결과에 따른 신호( $V_b$ )를 출력하는 비교부(250)와, 이 비교부(250)의 출력신호( $V_b$ )를 래치하는 디스에이블 래치(260)와, 이 디스에이블 래치(260)의 로우 출력(disable)에 인에이블되어 상기 펄스 합산부(220)의 출력(ATDSUM)을 입력으로 하여 제어 신호( $CTL_1, CTL_2$ )를 발생시키는 제어 신호 발생부(270)와, 시스템의 전원 온시 상기 어드레스 래치(230)와 디스에이블 래치(260)를 리셋시키기 위한 하이 신호(PWR-ON)를 소정 시간동안 출력하는 전원 검출부(290)와, 이 전원 검출부(290)의 출력(PWR-ON)과 상기 제어 신호 발생부(270)의 출력(DIS-OK)을 논리 조합하여 상기 어드레스 래치(230)와 디스에이블 래치(260)를 리셋시키는 리셋부(280)로 구성한다.

상기 펄스 발생부(240)의 출력( $V_a$ ) 폭은 어드레스 천이 검출에 따른 펄스( $ATD_i, i=1 \sim n$ )의 폭과 같다.

상기 펄스 발생부(211~212)는 제1도의 펄스 발생부(111~112)와 동일하게 구성한다.

상기 펄스 합산부(220)는 낸드 게이트( $NA_{11}$ )로 구성한다.

상기 어드레스 래치(230)는 노아 게이트( $NR_{11}, NR_{12}$ )로 구성하고 상기 디스에이블 래치(260)는 노아 게이트( $NR_{13}, NR_{14}$ )로 구성한다.

상기 비교부(250)는 펄스 합산부(220)의 출력(ATDSUM)을 반전시키는 인버터( $IN_{14}$ )와, 이 인버터( $IN_{14}$ )의 출력과 펄스 발생부(240)의 출력( $V_a$ )을 논리 조합하여 비교하는 낸드 게이트( $NA_{12}$ )와, 이 낸드 게이트( $NA_{12}$ )의 출력을 반전하여 비교 신호( $V_b$ )를 출력하는 인버터( $IN_{15}$ )로 구성한다.

상기 리셋부(280)는 제어 신호 발생부(270)의 출력(DIS-OK)과 전원 검출부(290)의 출력(PWR-ON)을 논리 조합하는 노아 게이트( $NR_{15}$ )와, 이 노아 게이트( $NR_{15}$ )의 출력을 반전하여 어드레스 래치(230)와 디스에이블 래치(260)를 리셋시키는 인버터( $IN_{16}$ )와, 이 인버터( $IN_{16}$ )의 로우 신호를 반전하여 상기 펄스 합산부(220)의 낸드 게이트( $NA_{11}$ )를 인에이블시키는 인버터( $IN_{17}$ )로 구성한다.

이와 같이 구성한 본 발명의 동작 및 작용 효과를 상세히 설명하면 다음과 같다.

초기에 전원의 온됨을 검출한 전원 검출부(290)는 어드레스 래치(230)와 디스에이블 래치(260)를 리셋시키기 위하여 하이인 펄스(PWR-ON)를 소정 시간 동안 발생시키게 된다.

이때, 리셋부(280)는 노아 게이트( $NR_{15}$ )가 전원 검출부(290)의 하이 출력에 로우 신호를 출력하고 이 로우 신호가 인버터( $IN_{16}$ )에서 반전되어 어드레스 래치(230)와 디스에이블 래치(260)에 하이 신호가 입력되어진다.

이에 따라, 어드레스 래치(230)는 노아 게이트( $NR_{12}$ )가 로우 신호( $V_c$ )를 펄스 발생부(240)에 입력시키고 디스에이블 래치(260)는 노아 게이트( $NR_{14}$ )가 로우 신호(disable)를 제어 신호 발생부(270)에 입력시키게 된다.

즉, 어드레스 래치(230)와 디스에이블 래치(260)는 전원 검출부(290)의 출력(PWR-ON)이 제4도(c)와 같이 소정 시간 동안 하이가 되면 리셋되어 제4도(a)(b)와 같이 로우인 신호( $V_c$ )(disable)를 출력하게 된다.

이 후, 전원 검출부(290)의 출력(PWR-ON)이 로우가 되면 리셋부(280)는 노아 게이트( $NR_{15}$ )가 하이 신호를 출력하여 인버터( $IN_{16}$ )에서 로우 신호를 출력하고 이 로우 신호가 인버터( $IN_{17}$ )를 통해 하이로 반전되어 펄스 합산부(220)의 낸드 게이트( $NA_{11}$ )를 인에이블시키게 된다.

이 후, 정상적인 동작이 수행되어 외부에서 어드레스( $A_1 \sim A_n$ )가 입력되면 다수개의 펄스 발생부(211~212)는 어드레스의 천이 방향에 관계없이 소정 시간 지연한 후 소정 폭의 펄스( $ATD_1 \sim ATD_n$ )를 발생시키게 된다.

즉, 펄스 발생부(211~212)는 인버터( $IN_{11}$ )가 어드레스( $ATD_i, i=1 \sim n$ )를 반전시키면 지연기( $DLY_{11}$ )가 소정 시간 지연시켜 전송 게이트( $TG_{11}$ )의 비반전 제어 단자와 전송 게이트( $TG_{12}$ )의 반전 단자에 인가함과 아울러 인버터( $IN_{12}$ )에 인가하고 상기 인버터( $IN_{12}$ )는 상기 지연기( $DLY_{11}$ )의 출력을 반전하여 상기 전송 게이트( $TG_{11}$ )의 반전 단자와 상기 전송 게이트( $TG_{12}$ )의 비반전 단자에 인가하게 된다.

이때, 인버터( $IN_{12}$ )의 출력이 로우인 경우 전송 게이트( $TG_{11}$ )가 동작하여 인버터( $IN_{11}$ )의 출력 신호를 인버터( $IN_{13}$ )에 전송하고 상기 인버터( $IN_{12}$ )의 출력이 하이인 경우 전송 게이트( $TG_{12}$ )가 동작하여 입력 어드레

스( $A_i$ )를 상기 인버터( $IN_{13}$ )에 전송하게 된다.

이에 따라, 인버터( $IN_{13}$ )는 전송 게이트( $TG_{11}$  또는  $TG_{12}$ )의 출력을 반전하여 어드레스 천이 검출에 따른 펄스( $ATD_i, i=1\sim n$ )를 출력하게 된다.

따라서, 펄스 합산부(220)는 리세트부(280)의 하이 신호에 인에이블 상태가 된 낸드 게이트( $NA_{11}$ )가 어드레스 발생부(211~212)의 출력 펄스( $ATD_1\sim ATD_n$ )를 논리 조합하여 하나의 펄스( $ATDSUM$ )로 합산하게 된다.

이때, 어드레스 래치(230)는 펄스 합산부(220)의 펄스( $ATDSUM$ )가 제5도(b)와 같이 하이로 입력되면 노아 게이트( $NR_{11}$ )가 로우 신호를 출력하고 그 로우 신호와 리세트부(280)의 로우 신호를 입력받은 노아 게이트( $NR_{12}$ )가 제5도(a)와 같이 하이 신호( $V_c$ )를 펄스 발생부(240)에 출력하게 된다.

이에 따라, 펄스 발생부(240)는 어드레스 래치(230)의 하이 신호( $V_c$ )가 입력되면 그 신호의 상승 에지에서 제5도(c)와 같이 하이인 펄스( $V_a$ )를 비교부(250)에 출력하게 된다.

이때, 비교부(250)는 펄스 합산부(220)의 하이 신호( $ATDSUM$ )를 인버터( $IN_{14}$ )에서 로우로 반전시킨 후 펄스 발생부(240)의 하이 신호( $V_a$ )와 낸드 게이트( $NA_{12}$ )에서 논리 조합하여 하이 신호를 출력하고 이 하이 신호를 인버터( $IN_{15}$ )에서 반전하여 로우 신호( $V_b$ )를 디스에이블 래치(260)에 입력시키게 된다.

상기 디스에이블 래치(260)는 노아 게이트( $NR_{13}$ )가 비교부(250)의 로우 신호( $V_b$ )와 노아 게이트( $NR_{14}$ )의 로우 신호를 입력받아 하이 신호를 출력하므로 상기 노아 게이트( $NR_{14}$ )는 로우 신호(disable)를 계속 제어 신호 발생부(270)에 출력하게 된다.

따라서, 디스에이블 래치(260)에서 로우 신호(disable)를 입력받은 제어 신호 발생부(270)는 정상 동작을 수행하여 펄스 합산부(220)의 출력( $ATDSUM$ )을 연산함에 따라 제어 신호( $CTL_1, CTL_2$ )를 출력하게 된다.

이 후, 제어 신호 발생부(270)가 동작의 종료 시점에서 디스에이블 신호( $DIS-OK$ )를 제5도(d)와 같이 소정 시간 동안 하이로 출력하면 리세트부(280)는 노아 게이트( $NR_{15}$ )가 로우 신호를 출력하여 인버터( $IN_{16}$ )가 하이 신호를 출력하므로 어드레스 래치(230)와 디스에이블 래치(260)는 리세트되어진다.

만일, 어드레스 천이 검출에 따른 펄스( $ATD_1\sim ATD_n$ )의 폭보다 짧은 그리치(glitch)가 외부에서의 입력 어드레스( $A_1\sim A_n$ )에 발생하면 펄스 합산부(220)의 출력( $ATDSUM$ )은 정상적인 폭보다 짧은 펄스를 제6도(a)와 같이 통과시키게 된다.

이때, 어드레스 래치(230)가 제6도(b)와 같이 하이 신호( $V_c$ )를 출력하면 펄스 발생부(240)는 제6도(c)와 같이 정상적인 폭을 갖는 펄스( $V_a$ )를 발생시키게 된다.

이에 따라, 비교부(250)가 펄스 발생부(240)의 출력( $V_a$ )과 펄스 합산부(220)의 출력( $ATDSUM$ )을 비교하면 2개의 신호 차만큼의 펄스( $V_b$ )가 제6도(d)와 같이 발생하므로 디스에이블 래치(260)가 세트되어 제6도(e)와 같이 디스에이블 신호(disable)가 하이로 제어 신호 발생부(270)에 입력되어진다.

따라서, 디스에이블 래치(260)에서 하이 펄스(disable)를 입력받은 제어 신호 발생부(270)가 제어 신호( $CTL_1, CTL_2$ )를 발생시키지 않으므로 메모리 셀에 저장된 데이터는 소정의 충분한 시간동안 외부로 전송되지 않는다.

이 후, 오류 데이터의 전송이 없는 상태에서 소정 시간이 경과되어 정상 동작 상태가 되면 어드레스 래치(260)에서 로우 신호(disable)를 출력하게 된다.

이때, 제어 신호 발생부(270)는 어드레스 래치(260)에서 로우 신호(disable)를 입력받음으로 제6도(f)와 같이 하이 신호( $DIS-OK$ )를 출력하게 되고 이 하이 신호( $DIS-OK$ )를 입력받은 리세트부(280)는 어드레스 래치(230)와 디스에이블 래치(260)를 리세트시키게 된다.

따라서, 어드레스 래치(230)와 디스에이블 래치(260)이 리세트된 후 외부의 어드레스( $A_1\sim A_n$ )가 입력됨에 따라 펄스 합산부(220)에서 정상적인 폭의 펄스( $ATDSUM$ )를 출력하면 상기 디스에이블 래치(260)의 로우 신호(disable)가 입력되는 제어 신호 발생부(270)는 메모리 셀의 데이터가 외부로 전송되도록 제어 신호( $CTL_1, CTL_2$ )를 발생시키게 된다.

상기에서 상세히 설명한 바와 같이 본 발명은 시스템 잡음에 의해 외부 어드레스가 순간적으로 토글하는 경우 또는 내부 잡음에 의해 내부 어드레스가 순간적으로 토글하는 경우 시스템의 동작을 중단시켜 오류 데이터의 전송을 방지하므로써 시스템의 오동작을 방지할 수 있는 효과가 있다.

## (57) 청구의 범위

### 청구항 1

각각의 어드레스( $A_1\sim A_n$ )의 천이 검출에 따른 펄스( $ATD_1\sim ATD_n$ )를 발생시키는 다수개의 펄스 발생부(211~212)와, 이 펄스 발생부(211~212)의 펄스( $ATD_1\sim ATD_n$ )를 논리 조합하여 하나의 펄스( $ATDSUM$ )를 발생시키는 펄스 합산부(220)와, 상기 펄스( $ATDSUM$ )가 입력되면 하이로 인에이블되는 어드레스 래치(230)와, 이 어드레스 래치(230)의 출력( $V_c$ )이 로우에서 하이로 천이할 때 펄스( $V_a$ )를 발생시키는 펄스 발생부(240)와, 이 펄스 발생부(240)의 출력( $V_a$ )과 상기 펄스 합산부(220)의 출력( $ATDSUM$ )을 비교하여 펄스 폭의 차를 연산하는 비교부(250)와, 이 비교부(250)의 비교 결과( $V_b$ )를 래치하여 래치 신호(disable)를 출력하는 디스에이블 래치(260)와, 이 디스에이블 래치(260)의 출력 신호(disable)가 로우일 때 상기

펄스 합산부(220)의 출력(ATDSUM)을 입력으로 하여 제어 신호(CTL<sub>1</sub>, CTL<sub>2</sub>)를 발생시키는 제어 신호 발생부(270)로 구성하여 상기 비교 결과(Vb)가 하이이면 상기 래치 신호(disable)를 하이로 출력함에 의해 상기 제어 신호 발생부(270)의 동작을 중지시키는 것을 특징으로 하는 메모리의 오동작 방지 회로.

**청구항 2**

제1항에 있어서, 펄스 발생부(240)는 어드레스 천이 검출에 따른 펄스의 폭과 동일한 펄스(Va)를 발생시키는 것을 특징으로 하는 메모리의 오동작 방지 회로.

**청구항 3**

제1항에 있어서, 펄스 합산부(220)는 리세트부(280)의 하이 신호에 인에이블되어 펄스 발생부(211~212)의 출력(ATD<sub>1</sub>~ATD<sub>n</sub>)을 논리 조합하는 낸드 게이트(NA<sub>11</sub>)로 구성된 것을 특징으로 하는 메모리의 오동작 방지 회로.

**청구항 4**

제1항에 있어서, 비교부(250)는 펄스 합산부(220)의 출력(ATDSUM)을 반전시키는 인버터(IN<sub>14</sub>)와, 이 인버터(IN<sub>14</sub>)의 출력과 상기 펄스 발생부(240)의 출력(Va)을 논리 조합하는 낸드 게이트(NA<sub>12</sub>)와, 이 낸드 게이트(NA<sub>12</sub>)의 출력을 반전시켜 디스에이블 래치(260)의 세트 단자에 출력하는 인버터(IN<sub>5</sub>)로 구성된 것을 특징으로 하는 메모리의 오동작 방지 회로.

**청구항 5**

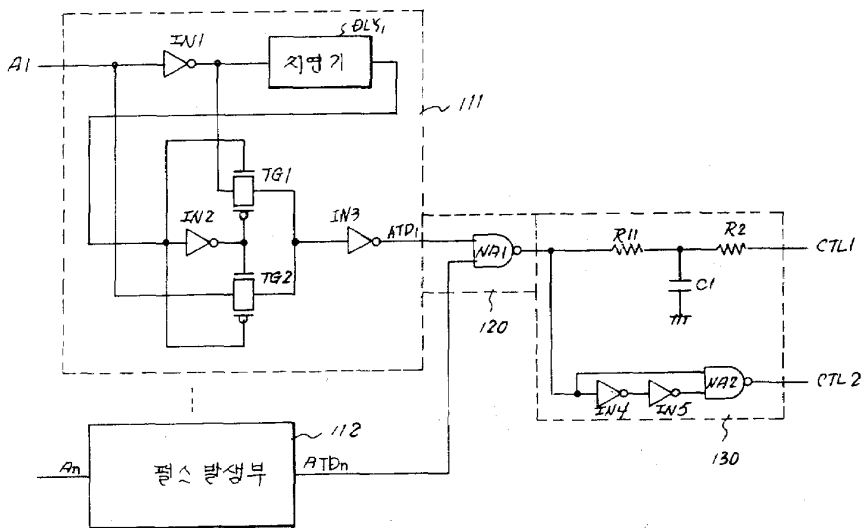
제1항에 있어서, 시스템의 전원 온시 소정 시간동안 하이 신호(PWR-ON)를 출력하는 전원 검출부(290)와, 이 전원 검출부(290)의 출력(PWR-ON)과 제어 신호 발생부(270)의 출력(DIS-OK)을 논리 조합하여 어드레스 래치(230)와 디스에이블 래치(260)를 리세트시키는 리세트부(280)를 포함하여 구성된 것을 특징으로 하는 메모리의 오동작 방지 회로.

**청구항 6**

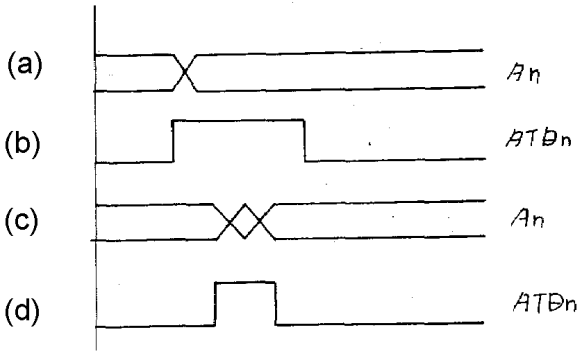
제1항에 있어서, 리세트부(280)는 제어 신호 발생부(270)의 출력(DIS-OK)과 전원 검출부(290)의 출력(PWR-ON)을 논리 조합하는 노아 게이트(NR<sub>15</sub>)와, 이 노아 게이트(NR<sub>15</sub>)의 로우 출력을 반전하여 어드레스 래치(230)와 디스에이블 래치(260)를 리세트시키는 인버터(IN<sub>16</sub>)와, 이 인버터(IN<sub>16</sub>)의 로우 신호를 반전하여 펄스 합산부(220)를 인에이블시키는 인버터(IN<sub>17</sub>)로 구성된 것을 특징으로 하는 메모리의 오동작 방지 회로.

**도면**

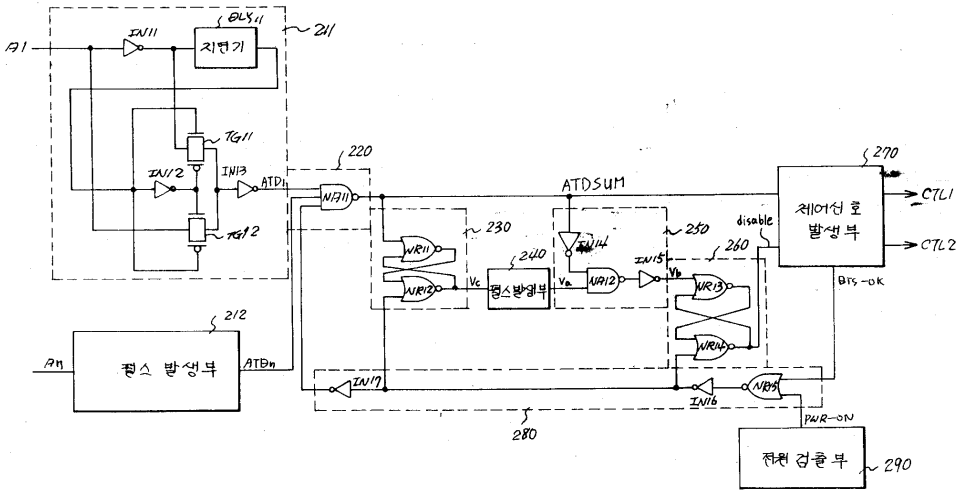
도면1



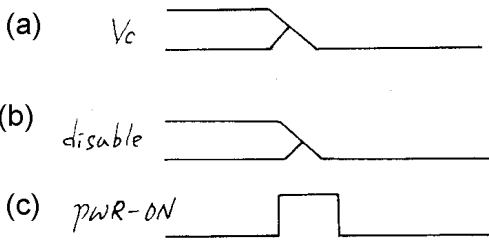
도면2



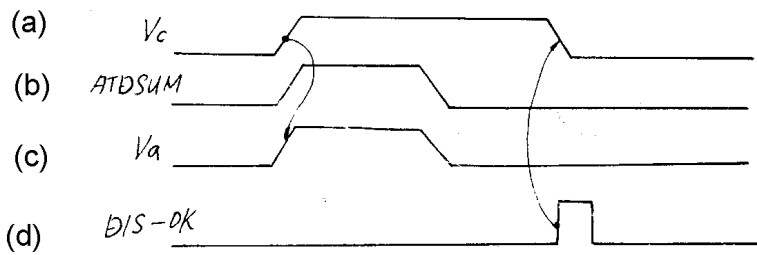
도면3



도면4



도면5



## 도면6

