

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4124190号
(P4124190)

(45) 発行日 平成20年7月23日(2008.7.23)

(24) 登録日 平成20年5月16日(2008.5.16)

(51) Int.Cl. F I
H O 1 L 27/146 (2006.01) H O 1 L 27/14 A

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2004-273721 (P2004-273721)	(73) 特許権者	000002185
(22) 出願日	平成16年9月21日(2004.9.21)		ソニー株式会社
(62) 分割の表示	特願2001-210270 (P2001-210270) の分割		東京都港区港南1丁目7番1号
原出願日	平成13年7月11日(2001.7.11)	(74) 代理人	100086298 弁理士 船橋 國則
(65) 公開番号	特開2005-20024 (P2005-20024A)	(72) 発明者	鈴木 亮司 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
(43) 公開日	平成17年1月20日(2005.1.20)	(72) 発明者	馬淵 圭司 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
審査請求日	平成16年9月21日(2004.9.21)	(72) 発明者	森 智則 神奈川県横浜市保土ヶ谷区神戸町134番 地 ソニー・エルエスアイ・デザイン株式 会社内

最終頁に続く

(54) 【発明の名称】 X-Yアドレス型固体撮像素子

(57) 【特許請求の範囲】

【請求項1】

光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなるX-Yアドレス型固体撮像素子であって、

前記光電変換素子が形成される素子層に対してその一方の面側に形成された前記光電変換素子から前記信号電荷を転送するためのゲート電極と、前記ゲート電極よりも前記一方の面側に形成された複数層の配線とを含む配線層と、

貫通口を有し、前記配線層の前記素子層とは反対側に設けられた基板支持材とを有し、前記該貫通口はその中に埋められた導電材によって外部と接続されるパッド間をつないでおり、

前記パッドは受光面と反対側に形成されており、

入射光を前記素子層の他方の面側から前記光電変換素子に取り込むことを特徴とするX-Yアドレス型固体撮像素子。

【請求項2】

前記素子層の他方の面側の表面部に形成されたP層とを有することを特徴とする請求項1記載のX-Yアドレス型固体撮像素子。

【請求項3】

前記光電変換素子は画素領域に設けられ、

前記P層は前記画素領域の周辺回路領域において無形成領域を有することを特徴とする請求項2記載のX-Yアドレス型固体撮像素子。

【請求項 4】

前記素子層の前記一方の面側の表面から前記 P 層に亘って形成された P 型ウェルを有する

ことを特徴とする請求項 2 記載の X-Y アドレス型固体撮像素子。

【請求項 5】

前記 P 型ウェルは前記素子層の他方の面側において、前記一方の面側よりも広く開口している

ことを特徴とする請求項 4 記載の X-Y アドレス型固体撮像素子。

【請求項 6】

前記光電変換素子は画素領域に設けられ、

前記画素領域の周辺回路領域において前記素子層の前記一方の面側の表面部に第 2 の P 型ウェルが形成されており、

前記第 2 の P 型ウェルは前記素子層の前記他方の面側の表面部に到達していない

ことを特徴とする請求項 4 記載の X-Y アドレス型固体撮像素子。

【請求項 7】

前記素子層の厚さが 5 ~ 15 μm である

ことを特徴とする請求項 1 記載の X-Y アドレス型固体撮像素子。

【請求項 8】

前記光電変換素子は、光電変換した信号電荷を蓄積する領域と、前記領域の上に形成された当該領域と逆導電型の層とを有し、当該層が前記素子層の一方の面まで到達する深さ

で形成されている

ことを特徴とする請求項 1 記載の X-Y アドレス型固体撮像素子。

【請求項 9】

前記光電変換素子は、受光面側の表面積が前記配線層側の表面積よりも広く形成されている

ことを特徴とする請求項 1 記載の X-Y アドレス型固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなる X-Y アドレス型固体撮像素子に関する。

【背景技術】

【0002】

固体撮像素子は、CCD イメージセンサに代表される電荷転送型固体撮像素子と、CMOS イメージセンサに代表される X-Y アドレス型固体撮像素子とに大別される。ここで、これら 2 タイプのうち X-Y アドレス型固体撮像素子について、CMOS イメージセンサを例に採ってその断面構造の一例を示す図 9 を用いて説明する。

【0003】

図 9 から明らかなように、CMOS イメージセンサは、入射した光を光電変換する画素部 100 と、画素を駆動して信号を読み出し、これに対して信号処理を施して出力する周辺回路部 200 とが同一チップ（基板）に集積された構成となっている。また、画素部 100 を構成するトランジスタと周辺回路部 200 を構成するトランジスタとはその配線の一部を共通にしている。

【0004】

画素部 100 は、数百 μm 程度の厚さを持つ N 型シリコン基板 101 の表面側に形成されたフォトダイオード 102 を有するとともに、その上方に配線層 103 およびパッシベーション膜 104 を介して色フィルタ 105 およびマイクロレンズ 106 が配された構成となっている。色フィルタ 105 は色の信号を得るために設けられている。

【0005】

この画素部 100 において、フォトダイオード 102 と色フィルタ 105 との間には、

10

20

30

40

50

トランジスタや配線が存在するので、画素部100への入射光に対するフォトダイオード102への入射光の比、即ち開口率を上げるために、入射光をマイクロレンズ106によって配線の間を通してフォトダイオード102へ集光するようにしている(例えば、特許文献1参照)。

【0006】

【特許文献1】特開平11-111960号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上述したように、配線層103を通してフォトダイオード102に入射光を取り込む画素構造を採る従来技術では、マイクロレンズ106によって集光される光の一部が、配線によって跳ねられてしまうため、これが原因で次のような様々な問題が生じる。

【0008】

(1)配線によって跳ねられた分だけ光量が減るため感度が落ちる。

(2)配線によって跳ねられた光の一部が隣接する画素のフォトダイオードに入り、混色が生じる。

(3)フォトダイオード102の上に配線を置けない、太い配線を通せないなどの配線の制約によって特性が低下するとともに、画素の微細化が困難である。

(4)周辺部の画素では光が斜め入射になって跳ねられる割合が多くなるので、周辺の画素ほど暗いシェーディングが起こる。

(5)配線層がさらに増加した、進んだCMOSプロセスでCMOSイメージセンサを作るとすると、マイクロレンズ106からフォトダイオード102の受光面までの距離が遠くなるのでそれが困難である。

(6)上記(5)によって進んだCMOSプロセスのライブラリが使えなくなり、ライブラリにある回路のレイアウトし直しが入るとともに、配線層が制限されるので面積が増大するなどによってコストが上昇し、また1画素当たりの画素面積も大きくなる。

【0009】

さらに、赤色などの長波長の光が、図9において、フォトダイオード102よりも深い位置のPウェル107中で光電変換されると、発生した電子がPウェル107の中を拡散し、別の位置のフォトダイオードに入ってしまう、混色を起こしたり、黒を検出したりするために遮光してある画素に入ると、黒レベルを間違えて検出してしまうという問題がある。

【0010】

また、近年、CMOSイメージセンサにおいては、カメラ信号処理回路やDSP(Digital Signal Processor)などの、これまで別チップであった機能が画素部と同じチップに搭載される傾向にある。これらはプロセス世代が $0.4\mu\text{m}$ $0.25\mu\text{m}$ $0.18\mu\text{m}$ $0.13\mu\text{m}$ と進化していくので、CMOSイメージセンサ自体もこれらの新しいプロセスに対応できなければ微細化の恩恵が受けられず、また、豊富なCMOS回路のライブラリやIPが利用できなくなる。

【0011】

しかし、プロセス世代が進むほど配線構造が多層化し、例えば $0.4\mu\text{m}$ プロセスでは配線は3層であったが、 $0.13\mu\text{m}$ プロセスでは8層の配線を用いている。また、配線の厚さも増加し、マイクロレンズ106からフォトダイオード102の受光面までの距離が3倍~5倍になる。したがって、従来の配線層を通してフォトダイオード102の受光面まで光を導く表面照射型の画素構造では、効率良く光をフォトダイオード102の受光面に集光できなくなっており、その結果、上記(1)~(6)の問題が顕著になっている。

【0012】

一方、電荷転送型固体撮像素子には、光を裏面側から受光する裏面受光型フレーム転送CCDイメージセンサがある。この裏面受光型フレーム転送CCDイメージセンサでは、

10

20

30

40

50

シリコン基板を薄膜化して背面（裏面）にて受光し、シリコン内で光電変換した信号電荷が表面側から延びる空乏層に捕獲され、表面側の電位井戸に蓄積されて出力される構成となっている。

【 0 0 1 3 】

そのフォトダイオードの断面構造の一例を図 10 に示す。本例では、フォトダイオードは、シリコン基板 301 に対して配線等が形成される酸化膜 302 側の表面に P 型領域 303 によって作られており、N 型のウェル（エピ層）304 によってデプレッション層 305 を介して覆われた構造となっている。酸化膜 302 の上には、アルミニウムの反射膜 306 が形成されている。

【 0 0 1 4 】

上記構造の裏面受光型 CCD イメージセンサの場合、吸収率の高い、青色の感度が落ちる問題がある。また、光が背面に入射して浅い位置で光電変換されることによって発生した信号電荷が、拡散してある割合で周囲のフォトダイオードに入ってしまう。これらの問題があることに加えて、CCD イメージセンサでは、システムオンチップしないので配線層の高さを高くする必要がないこと、独自プロセスなので遮光膜をフォトダイオードの周囲に落とし込むことができるためオンチップレンズによる集光が容易であり、先述した(1)~(6)の問題が生じなく、裏面受光構造を採る必要性がないことから、裏面受光型の CCD イメージセンサがほとんど使われていないのが現状である。

【 0 0 1 5 】

これに対して、CMOS イメージセンサの場合は、プロセスは標準 CMOS プロセスにわずかの修正を加えたものを使用するので、裏面受光構造を採ることにより、配線工程に影響されず、常に最新のプロセスを用いることができるという CCD イメージセンサには無い利点がある。ただし、配線が何層も縦横に走る点は CCD イメージセンサとは異なっており、それに伴って先述した(1)~(6)の問題が CMOS イメージセンサ（これに代表される X-Y アドレス型固体撮像素子）特有の問題として顕著に現れる。

【 0 0 1 6 】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、CMOS イメージセンサに代表される X-Y アドレス型固体撮像素子において、裏面受光構造を採ることにより、画素の微細化および高開口率化を可能とした X-Y アドレス型固体撮像素子を提供することにある。

【課題を解決するための手段】

【 0 0 1 7 】

上記目的を達成するために、本発明では、光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなる X-Y アドレス型固体撮像素子において、光電変換素子が形成される素子層に対してその一方の面側に、前記光電変換素子から前記信号電荷を転送するためのゲート電極と、前記ゲート電極よりも前記一方の面側に位置する複数層の配線とを含む配線層を形成するととともに、前記配線層の前記素子層とは反対側に、貫通口の中に埋められた導電材によって外部と接続される、受光面と反対側に形成されたパッド間をつなぐ基板支持材を設け、入射光を素子層の他方の面側、即ち配線層と逆の面側から光電変換素子に取り込む裏面受光型の画素構造とする。

【 0 0 1 8 】

X-Y アドレス型固体撮像素子において、光電変換素子が形成される素子層に対してその一方の面側に、ゲート電極と当該ゲート電極よりも一方の面側に位置する複数層の配線とを含む配線層を形成するとともに、配線層の素子層とは反対側に、貫通口の中に埋められた導電材によって外部と接続される、受光面と反対側に形成されたパッド間をつなぐ基板支持材を設けてなる裏面受光型の画素構造を採ることにより、受光面を考慮した配線の必要がなくなる。すなわち、光電変換素子領域上への配線が可能となる。これにより、画素の配線の自由度が高くなり、画素の微細化を図ることができる。

【発明の効果】

10

20

30

40

50

【 0 0 1 9 】

本発明によれば、X-Yアドレス型固体撮像素子において、光電変換素子が形成される素子層に対してその一方の面側に、ゲート電極と当該ゲート電極よりも一方の面側に位置する複数層の配線とを含む配線層を形成するとともに、配線層の素子層とは反対側に、貫通口の中に埋められた導電材によって外部と接続される、受光面と反対側に形成されたパッド間をつなぐ基板支持材を設けてなる裏面受光型の画素構造を採ることにより、受光面を考慮した配線の必要がなくなるため、画素の配線の自由度が高くなり、画素の微細化を図ることができることになる。

【発明を実施するための最良の形態】

【 0 0 2 0 】

10

以下、本発明の実施の形態について図面を参照して詳細に説明する。本実施形態では、X-Yアドレス型固体撮像素子としてCMOSイメージセンサを例に採って説明するものとする。

【 0 0 2 1 】

図1は、本発明の一実施形態に係るCMOSイメージセンサの一例を示す概略構成図である。図1から明らかなように、本CMOSイメージセンサは、画素部11、垂直(V)選択回路12、S/H(サンプル/ホールド)&CDS(Correlated Double Sampling:相関二重サンプリング)回路13、水平(H)選択回路14、タイミングジェネレータ(TG)15、AGC(Automatic Gain Control)回路16、A/D変換回路17およびデジタルアンプ18等を有し、これらが同一の基板(チップ)19上に搭載された構成となっている。

20

【 0 0 2 2 】

画素部11は、後述する単位画素が行列状に多数配列され、行単位でアドレス線などが、列単位で垂直信号線がそれぞれ配線された構成となっている。垂直選択回路12は、画素を行単位で順に選択し、選択した行の各画素から画素信号をS/H&CDS回路13に読み出す。S/H&CDS回路13は、その読み出された画素信号について信号レベルから0レベルを減算し、画素ごとの固定パターンばらつき(ノイズ)を除去し、保持する処理を行う。

【 0 0 2 3 】

水平選択回路14は、S/H&CDS回路13に保持されている画素信号を順に取り出し、AGC回路16に渡す。AGC回路16は、その信号を適当なゲインで増幅し、A/D変換回路17に渡す。A/D変換回路17は、そのアナログ信号をデジタル信号に変換し、デジタルアンプ18に渡す。デジタルアンプ18は、そのデジタル信号を適当に増幅して出力する。垂直選択回路12、S/H&CDS回路13、水平選択回路14、AGC回路16、A/D変換回路17およびデジタルアンプ18の各動作は、タイミングジェネレータ15で発生される各種のタイミング信号に基づいて行われる。

30

【 0 0 2 4 】

本CMOSイメージセンサの特有の部分である単位画素の回路構成の一例を図2に示す。同図から明らかなように、単位画素は、光電変換素子として例えばフォトダイオード21を有し、この1個のフォトダイオード21に対して、転送トランジスタ22、増幅トランジスタ23、アドレストランジスタ24およびリセットトランジスタ25の4個のトランジスタを能動素子として有する構成となっている。

40

【 0 0 2 5 】

フォトダイオード21はそのアノードが接地され、入射光をその光量に応じた量の電荷(ここでは、電子)に光電変換する。転送トランジスタ22は、フォトダイオード21のカソードとフローティングディフュージョンFDとの間に接続され、転送配線26を通してそのゲートに転送信号が与えられることで、フォトダイオード21で光電変換された電子をフローティングディフュージョンFDに転送する。

【 0 0 2 6 】

フローティングディフュージョンFDには増幅トランジスタ23のゲートが接続されて

50

いる。この増幅トランジスタ23はアドレスタランジスタ24を介して垂直信号線27に接続され、画素部外の定電流源Iとソースフォロアを構成している。そして、アドレス配線28を通してアドレス信号がアドレスタランジスタ25のゲートに与えられ、当該アドレスタランジスタ25がオンすると、増幅トランジスタ23はフローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を垂直信号線27に出力する。垂直信号線27は、各画素から出力された電圧をS/H&CDS回路13に伝送する。

【0027】

リセットトランジスタ25は電源VddとフローティングディフュージョンFDとの間に接続され、リセット配線29を通してそのゲートにリセット信号が与えられることで、フローティングディフュージョンFDの電位を電源Vddの電位にリセットする。これらの動作は、転送トランジスタ22、アドレスタランジスタ24およびリセットトランジスタ25の各ゲートが接続される各配線26, 28, 29が行単位で配線されていることから、1行分の各画素について同時に行われる。

【0028】

ここで、単位画素についての配線としては、横方向に転送配線26、アドレス配線28およびリセット配線29の3本、縦方向に垂直信号線27の1本、さらにVdd供給配線と、フローティングディフュージョンFDと増幅トランジスタ23のゲートとをつなぐ内部配線と、ここでは図示していないが、画素境界部分と黒レベル検出画素のための遮光膜に使う2次元配線とが存在する。

【0029】

図3は、画素部および周辺回路部の構造の一例を示す断面図である。図3において、ウェハをCMP (Chemical Mechanical Polishing) によって研磨することにより、10~20 μm 程度の厚さのシリコン(Si)層(素子層)31が形成される。その厚さの望ましい範囲は、可視光に対して5~15 μm 、赤外光に対して15~50 μm 、紫外域に対して3~7 μm である。このシリコン層31の一方の面側にはSiO₂膜32を挟んで遮光膜33が形成されている。

【0030】

遮光膜33は配線と異なり、光学的な要素だけを考慮してレイアウトされる。この遮光膜33には開口部33Aが形成されている。遮光膜33の上には、パッシベーション膜としてシリコン窒化膜(SiN)34が形成され、さらに開口部33Aの上方に色フィルタ35およびマイクロレンズ36が形成されている。すなわち、シリコン層31の一方の面側から入射する光は、マイクロレンズ36および色フィルタ35を経由して、シリコン層31に形成される後述するフォトダイオード37の受光面に導かれる画素構造となっている。シリコン層31の他方の面側には、トランジスタや金属配線が形成される配線層38が形成され、その下にはさらに基板支持材39が貼り付けられている。

【0031】

ここで、従来のCMOSイメージセンサでは、配線層側を表面側とし、この配線層側から入射光を取り込む表面受光型の画素構造を採っていたのに対して、本実施形態に係るCMOSイメージセンサでは、配線層38と反対側の面(裏面)側から入射光を取り込むことから、裏面受光型の画素構造となっている。この裏面受光型画素構造から明らかなように、マイクロレンズ36からフォトダイオード37までの間には遮光層33が金属層として存在するだけであること、またこの遮光層33のフォトダイオード37からの高さがSiO₂膜32の膜厚(例えば、約0.5 μm)と低いことから、金属層でのけられによる集光の制限を無くすることができる。

【0032】

図4は、シリコン層31のウェル構造の一例を示す断面構造図であり、図中、図3と同等部分には同一符号を付して示している。

【0033】

本例では、N-型基板41を用いている。シリコン層31の厚さは、先述したように、可視光に対しては5~15 μm が望ましく、本例では10 μm としている。これにより、

10

20

30

40

50

可視光を良好に光電変換できる。シリコン層 3 1 の一方の面には、浅い P + 層 4 2 が画素部の全面に亘って形成されている。画素分離領域は深い P ウェル 4 3 によって形成されており、一方の面の P + 層 4 2 とつながっている。

【 0 0 3 4 】

フォトダイオード 3 7 は P ウェルを形成しないことで、N - 型基板 4 1 を利用して形成されている。この N - 型領域 (基板) 4 1 が光電変換領域であり、その面積が小さく濃度が薄いために完全空乏化している。その上に、信号電荷 (本例では、電子) を蓄積する N + 領域 4 4 が形成され、その上にさらに、埋め込みフォトダイオードとするための P + 層 4 5 が形成されている。

【 0 0 3 5 】

なお、フォトダイオード 3 7 は、図 4 から明らかなように、受光面側の表面積が配線層 3 8 側の表面積よりも広くなるように形成されている。これにより、入射光を効率良く取り込めることになる。このフォトダイオード 3 7 で光電変換されかつ N + 領域 4 4 に蓄積された信号電荷は、転送トランジスタ 4 6 (図 2 の転送トランジスタ 2 2) によって N + 型領域の F D (フローティングディフュージョン) 4 7 に転送される。フォトダイオード 3 7 側と F D 4 7 とは P - 層 4 8 によって電氣的に分離されている。

【 0 0 3 6 】

画素内の転送トランジスタ 4 6 以外のトランジスタ (図 2 の増幅トランジスタ 2 3、アドレストランジスタ 2 4 およびリセットトランジスタ 2 5) は、深い P ウェル 4 2 に通常通り形成されている。一方、周辺回路領域については、裏面の P + 層 4 2 に到達しない深さに P ウェル 4 9 が形成され、この P ウェル 4 9 の内側にさらに N ウェル 5 0 が形成され、これらウェル 4 9、5 0 の領域に C M O S 回路が形成された構成となっている。

【 0 0 3 7 】

次に、画素のレイアウト例について図 5 および図 6 を用いて説明する。図 5 および図 6 において、図 2 と同等部分には同一符号を付して示している。図 5 は、活性領域 (ゲート酸化膜の領域)、ゲート (ポリシリコン) 電極および両者のコンタクト部を示す平面パターン図である。同図から明らかなように、単位画素当たり、1 つのフォトダイオード (P D) 2 1 と 4 つのトランジスタ 2 2 ~ 2 5 が存在する。

【 0 0 3 8 】

図 6 は、ゲート電極よりも上の金属配線と、それらの間のコンタクト部を活性領域と共に示す平面パターン図である。ここで、金属配線 (例えば、アルミニウム配線) は 3 層構造となっており、第 1 層目は画素内の配線として、第 2 層目は縦方向の配線、即ち垂直信号線 2 7 やドレイン線として、第 3 層目は横方向の配線、即ち転送配線 2 6、アドレス配線 2 8 およびリセット配線 2 9 としてそれぞれ用いられている。

【 0 0 3 9 】

図 6 の配線パターンから明らかなように、垂直信号線 2 7 や、転送配線 2 6、アドレス配線 2 8 およびリセット配線 2 9 はフォトダイオード領域上に配線されている。これらの配線は、従来の画素構造では、配線層側から光を取り込む表面受光型画素構造を採っていたことから、フォトダイオード領域を避けて形成されていたものである。これに対して、本実施形態に係る画素構造では、図 3 から明らかなように、配線層と反対側 (裏面側) から光を取り込む裏面受光型画素構造を採っていることから、フォトダイオード領域上での配線の引き回しを可能としている。

【 0 0 4 0 】

上述したように、C M O S イメージセンサに代表される X - Y アドレス型固体撮像素子において、フォトダイオード 3 7 が裏面側から可視光を受光する裏面受光型画素構造を採ったことにより、従来の表面受光型画素構造のように受光面を配慮した配線の必要がなくなるため、画素の配線の自由度が高くなり、画素の微細化を図ることができるとともに、配線層の多い、進んだ C M O S プロセスで作ることができる。

【 0 0 4 1 】

また、フォトダイオード 3 7 が裏面の P + 層 4 5 に到達する深さで形成されているため

10

20

30

40

50

、吸収率の高い青色の感度が高くなり、またフォトダイオード37よりも深部で光電変換されることがないので、それが原因となる混色や黒レベルの誤検出の心配もなくなる。さらに、特に図3から明らかなように、受光面側に配線層38が存在しないことで、遮光膜33、色フィルタ35およびマイクロレンズ36を受光面に対して低い位置に作ることができるため、従来技術における感度低下、混色、周辺減光などの問題を解決することができる。

【0042】

次に、上記構成の裏面受光型画素構造のCMOSイメージセンサを作成するプロセスについて、図7および図8の工程図を用いて説明する。

【0043】

先ず、N-型基板51の表面に素子分離、ゲート電極(ポリシリコン電極)を作成するとともに、イオン打ち込みにより、先述した画素部分の深いPウェル43、フォトダイオード部分の浅いP+層42、周辺回路部分の浅いPウェル49およびNウェル50を形成し、さらにトランジスタや画素活性領域などを従来のCMOSイメージセンサと同一の工程で形成する(工程1)。このとき、裏面用の位置合わせマークを作るために基板51を数十 μm 程度トレンチしておく。

【0044】

次に、基板51の表面に第1層目~第3層目の金属配線(1A1, 2A1, 3A1)、パッド(PAD)52および層間膜53を作成する(工程2)。このとき、工程1でトレンチしておいた裏面用位置合わせマーク部分に例えばタングステン(W)またはアルミニウム(Al)を埋め込んで位置合わせマーク54を作る。続いて、配線層上面に数百 μm の厚さで第一基板支持材(例えば、ガラス、シリコン、有機膜など)55Aを流し込む(工程3)。このとき、パッド52の上はレジスト56でマスクしておくようにする。

【0045】

次に、パッド52上方のレジスト56を取り除くとともに、できたバンブに金属が流れ込むように表面処理する(工程4)。続いて、パッド52上に開口したバンブと第一基板支持材55Aの表面に導電体57を流し込む(工程5)。その後、パッド52の上方部分だけを残して基板支持材55の表面の導電体57を取り除く(工程6)。この残った部分がパッド52となる。

【0046】

次に、裏面加工中のパッド52の保護と表面の平坦化のために第二基板支持材55Bを流し込み、その後研磨するとともに、ウェハを裏返して基板51の厚さが10 μm 程度になるまでCMPによって研磨する(工程7)。続いて、CVD(Chemical Vapor Deposition)によってSiO₂膜を10nm程度の膜厚で形成し、次いで位置合わせマーク54に合わせてレジストをおき、画素部全面にSiO₂界面が正孔で埋まるだけのボロンをドーピングする(工程8)。工程8ではさらに、裏面にCVDによってSiO₂膜58を500nm程度の膜厚で形成し、次いでAlあるいはWで遮光膜59を作成し、その後パッシュベーション膜60としてプラズマSiN膜をCVDによって形成する。

【0047】

次に、従来のCMOSイメージセンサの場合と同様の方法で色フィルタ61およびマイクロレンズ62を作成する(工程9)。このとき、ステップ合わせは位置合わせマーク54を使うか、または遮光膜59を使用することによって行う。続いて、パッド52上の第二基板支持材55Bをエッチングで取り除き、パッド52を露出させる(工程10)。この際、必要に応じて、マイクロレンズ62の位置合わせや、チップの平坦化のために第二基板支持材55Bを研磨して所望の厚さに調整する。

【0048】

以上説明した製造方法によれば、裏面受光型の画素構造を簡単に作成することができることに加えて、パッド52が受光面と反対側に出た構造とすることができるため、受光面を上に向けた状態で直接基板に本CMOSイメージセンサを実装することができる。

【図面の簡単な説明】

10

20

30

40

50

【0049】

【図1】本発明の一実施形態に係るCMOSイメージセンサの一例を示す概略構成図である。

【図2】単位画素の回路構成の一例を示す回路図である。

【図3】画素部および周辺回路部の構造の一例を示す断面図である。

【図4】シリコン層のウェル構造の一例を示す断面構造図である。

【図5】活性領域（ゲート酸化膜の領域）、ゲート（ポリシリコン）電極および両者のコンタクト部を示す平面パターン図である。

【図6】ゲート電極よりも上の金属配線と、それらの間のコンタクト部を活性領域と共に示す平面パターン図である。

【図7】裏面受光型画素構造のCMOSイメージセンサを作成するプロセスを説明するための工程図（その1）である。

【図8】裏面受光型画素構造のCMOSイメージセンサを作成するプロセスを説明するための工程図（その2）である。

【図9】CMOSイメージセンサの従来構造を示す断面構造図である。

【図10】裏面受光型フレーム転送CCDイメージセンサのフォトダイオードの断面構造を示す断面図である。

【符号の説明】

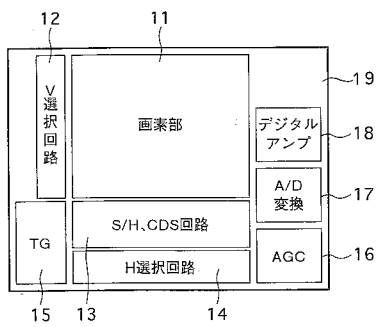
【0050】

11...画素部、12...垂直選択回路、14...水平選択回路、15...タイミングジェネレータ、21, 37...フォトダイオード、22...転送トランジスタ、23...増幅トランジスタ、24...アドレストランジスタ、25...リセットトランジスタ、31...シリコン(Si)層、33...遮光膜、35...色フィルタ、36...マイクロレンズ

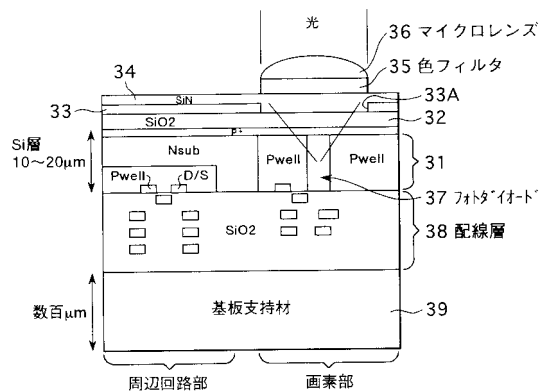
10

20

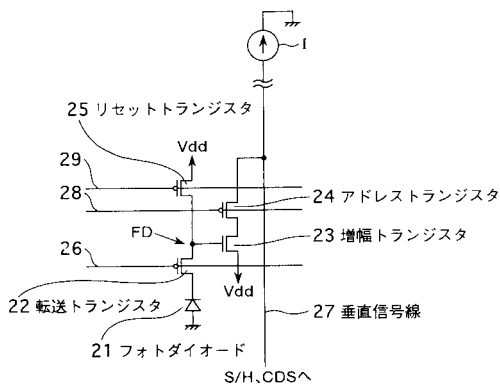
【図1】



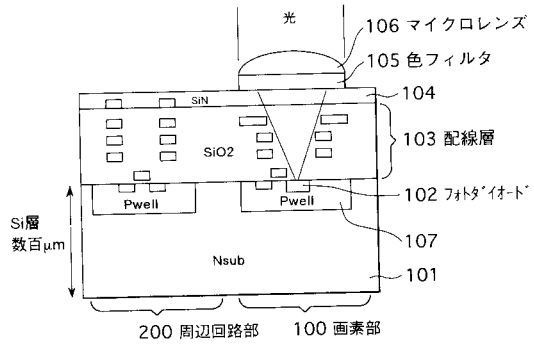
【図3】



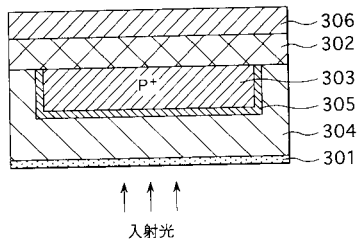
【図2】



【図9】



【図10】



フロントページの続き

審査官 恩田 春香

(56)参考文献 特開2000-150846(JP,A)
特開平11-097655(JP,A)
特開平09-045886(JP,A)
特開平08-241977(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/14 - 27/148