



(12) 发明专利

(10) 授权公告号 CN 111292794 B

(45) 授权公告日 2021. 11. 16

(21) 申请号 201811485153.4

(22) 申请日 2018.12.06

(65) 同一申请的已公布的文献号  
申请公布号 CN 111292794 A

(43) 申请公布日 2020.06.16

(73) 专利权人 华邦电子股份有限公司  
地址 中国台湾台中市大雅区科雅一路8号

(72) 发明人 中冈裕司

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205  
代理人 罗英 臧建明

(51) Int. Cl.  
G11C 29/12 (2006.01)

审查员 王浩同

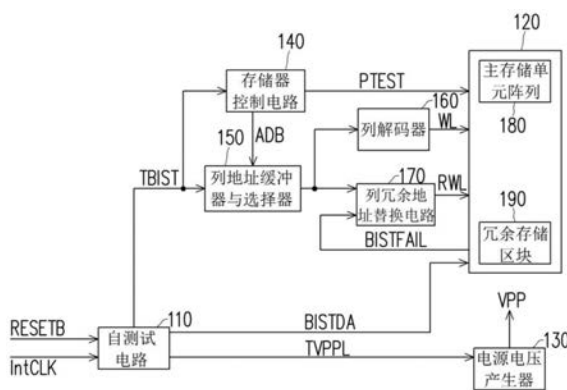
权利要求书2页 说明书6页 附图5页

(54) 发明名称

存储器装置及其内置自测试方法

(57) 摘要

本发明提供一种存储器装置及其内置自测试方法,所述存储器装置包括自测试电路、存储单元阵列、电源电压产生器与列冗余地址替换电路。自测试电路,用以产生自测试数据信号与电源电压控制信号。存储单元阵列接收自测试数据信号并输出自测试失效信号。电源电压产生器依据电源电压控制信号产生电源电压。列冗余地址替换电路接收电源电压与自测试失效信号以提供冗余字线地址至存储单元阵列。电源电压产生器被配置为使电源电压在内置自测试模式小于一般模式。



1. 一种存储器装置,包括:

自测试电路,被配置为产生自测试数据信号与电源电压控制信号,所述自测试电路依据重置信号被启用,使所述存储器装置自一般模式切换为内置自测试模式;

存储单元阵列,耦接至所述自测试电路,接收所述自测试数据信号,并输出自测试失效信号;以及

电源电压产生器,耦接至所述自测试电路,依据所述电源电压控制信号产生电源电压,冗余地址替换电路,接收所述电源电压与所述自测试失效信号,并提供冗余字线地址至所述存储单元阵列,

其中,所述电源电压产生器被配置为使所述电源电压在所述内置自测试模式小于所述一般模式。

2. 根据权利要求1所述的存储器装置,其中所述电源电压产生器包括:

电源电压检测电路,耦接至所述自测试电路,依据所述电源电压控制信号以产生电源电压调整信号;以及

电源电压产生电路,耦接至所述电源电压检测电路,依据所述电源电压调整信号以产生所述电源电压。

3. 根据权利要求2所述的存储器装置,其中所述电源电压检测电路包括:

分压电路,依据所述电源电压控制信号对所述电源电压分压以产生第一电压;以及

放大器,耦接所述分压电路,用以放大所述第一电压与参考电压的差值以产生所述电源电压调整信号。

4. 根据权利要求3所述的存储器装置,其中所述分压电路包括:

电阻串,用以提供分压电阻;

传输闸,与所述电阻串中的至少一电阻相互并联,依据所述电源电压控制信号以调整所述分压电阻并调整所述第一电压。

5. 根据权利要求4所述的存储器装置,其中所述电源电压检测电路还包括:

第一反相器,用以反相所述电源电压控制信号以产生第一控制信号;及

第二反相器,用以反相所述第一控制信号以产生第二控制信号,

其中,所述传输闸接收所述第一控制信号与所述第二控制信号。

6. 根据权利要求1至5中任一所述的存储器装置,其中所述存储器装置还包括:

存储器控制电路,耦接于所述自测试电路与所述存储单元阵列之间,所述存储器控制电路被配置为接收所述自测试电路产生的内置自测试信号,包括:

感测时间调整电路,被配置为根据感测致能信号与所述内置自测试信号提供第一经调整感测致能信号与第二经调整感测致能信号至所述存储单元阵列,使读取所述存储单元阵列的感测时间在所述内置自测试模式中小于所述一般模式。

7. 根据权利要求6所述的存储器装置,其中所述感测时间调整电路包括:

第一逻辑电路,被配置为针对所述感测致能信号以及所述内置自测试信号执行逻辑运算以产生第一逻辑信号;

延迟电路,耦接所述第一逻辑电路,被配置为延迟所述第一逻辑信号的输出;

第二逻辑电路,耦接所述延迟电路,被配置为针对所述感测致能信号以及所述延迟电路的输出执行逻辑运算以产生所述第一经调整感测致能信号及所述第二经调整感测致能

信号。

8. 一种存储器装置的内置自测试方法, 所述存储器装置包括存储单元阵列、自测试电路、电源电压产生器与列冗余地址替换电路, 所述内置自测试方法包括:

通过所述自测试电路产生自测试数据信号与电源电压控制信号, 使所述存储器装置自一般模式切换为内置自测试模式;

通过所述存储单元阵列接收所述自测试数据信号并输出自测试失效信号;

通过所述电源电压产生器依据所述电源电压控制信号产生电源电压, 所述电源电压在所述内置自测试模式小于所述一般模式; 以及

通过所述列冗余地址替换电路接收所述电源电压与所述自测试失效信号以提供冗余字线地址至所述存储单元阵列。

9. 根据权利要求8所述的内置自测试方法, 其中所述产生电源电压的步骤包括:

依据所述电源电压控制信号以产生电源电压调整信号; 以及

依据所述电源电压调整信号以产生所述电源电压。

10. 根据权利要求8或9所述的内置自测试方法, 其中所述内置自测试方法还包括:

调整读取所述存储单元阵列的感测时间, 使所述感测时间在所述内置自测试模式中小于所述一般模式。

11. 根据权利要求10所述的内置自测试方法, 其中调整读取所述存储单元阵列的感测时间还包括:

对感测致能信号以及所述自测试电路产生的内置自测试信号执行逻辑运算以产生第一逻辑信号;

通过延迟电路延迟所述第一逻辑信号的输出;

对所述感测致能信号以及所述延迟电路的输出执行逻辑运算以产生第一经调整感测致能信号及第二经调整感测致能信号;

提供所述第一经调整感测致能信号与所述第二经调整感测致能信号至所述存储单元阵列。

## 存储器装置及其内置自测试方法

### 技术领域

[0001] 本发明涉及一种半导体装置,尤其涉及一种存储器装置及其内置自测试方法。

### 背景技术

[0002] 在存储器测试中,可以在操作初始化后,运用列冗余阵列中的并行测试模式替换在内置自测试(built-in self-test,BIST)中所检测出的不良比特,以提升存储器的可靠性。然而,现有的内置自测试采用正常操作所使用的电源电压以及感测时间,使得不良比特不易被检测出。

### 发明内容

[0003] 本发明提供一种存储器装置及其内置自测试方法,以降低内自测试期间的电源电压,并提高不良比特的检测率。

[0004] 本发明提供一种存储器装置,包括自测试电路、存储单元阵列、电源电压产生器与列冗余地址替换电路。自测试电路,用以产生自测试数据信号与电源电压控制信号;存储单元阵列,耦接至自测试电路,接收自测试数据信号,并输出自测试失效信号;电源电压产生器,耦接至自测试电路,依据电源电压控制信号产生电源电压。列冗余地址替换电路,接收电源电压与自测试失效信号,并提供冗余字线地址至存储单元阵列。电源电压产生器被配置为使电源电压在内置自测试模式小于一般模式。

[0005] 本发明提供一种存储器装置的内置自测试方法,存储器装置包括存储单元阵列、自测试电路、电源电压产生器与列冗余地址替换电路,内置自测试方法包括:通过所述自测试电路产生自测试数据信号与电源电压控制信号;通过所述存储单元阵列接收自测试数据信号并输出自测试失效信号;通过所述电源电压产生器依据电源电压控制信号产生电源电压。通过所述列冗余地址替换电路接收电源电压与自测试失效信号以提供冗余字线地址至存储单元阵列。电源电压在内置自测试模式小于一般模式。

[0006] 基于上述,在本发明一实施例中,所述存储器装置在内置自测试模式中调降电源电压产生器产生的电源电压,使不良比特较容易被检测出来,以提高存储器装置的可靠性。

[0007] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附附图作详细说明如下。

### 附图说明

[0008] 图1是依据本发明一实施例所示出的存储器装置的方块示意图。

[0009] 图2是依据本发明一实施例所示出的电源电压产生器的方块示意图。

[0010] 图3是依据本发明一实施例所示出的电源电压检测电路的电路示意图。

[0011] 图4是依据本发明一实施例所示出的内置自测试方法的流程图。

[0012] 图5是依据本发明另一实施例所示出的存储器控制电路的方块示意图。

[0013] 图6是依据本发明另一实施例所示出的感测时间调整电路的电路示意图。

- [0014] 图7是依据本发明另一实施例所示出的内置自测试方法的流程图。
- [0015] **【符号说明】**
- [0016] 100:存储器装置
- [0017] 110:自测试电路
- [0018] 120:存储单元阵列
- [0019] 130:电源电压产生器
- [0020] 140:存储器控制电路
- [0021] 150:列地址缓冲器与选择器
- [0022] 160:列解码器
- [0023] 170:列冗余地址替换电路
- [0024] 180:主存储单元阵列
- [0025] 190:冗余存储区块
- [0026] 210:电源电压检测电路
- [0027] 220:电源电压产生电路
- [0028] INV1~9:反相器
- [0029] 320:分压电路
- [0030] 540:感测时间调整电路
- [0031] RESETB:重置信号
- [0032] IntCLK:时脉信号
- [0033] TVPPL:电源电压控制信号
- [0034] TBIST:内置自测试信号
- [0035] BISTDA:自测试数据信号
- [0036] BISTFAIL:自测试失效信号
- [0037] RWL:冗余字线地址
- [0038] WL:字线地址
- [0039] VPP:电源电压
- [0040] ADB:地址缓冲器控制信号
- [0041] PTEST:测试模式信号
- [0042] AMP:放大器
- [0043] TM1:传输闸
- [0044] RS:电阻串
- [0045] R1、R2、R3:电阻
- [0046] GND:接地电压
- [0047] VREF:参考电压
- [0048] VINV1:第一控制信号
- [0049] VINV2:第二控制信号
- [0050] V1:第一电压
- [0051] VPPUP:电源电压调整信号
- [0052] LC1:第一逻辑电路

- [0053] D1:延迟电路
- [0054] LC2:第二逻辑电路
- [0055] NAND1、NAND2:反及闸
- [0056] SE:感测致能信号
- [0057] SEB:反相感测致能信号
- [0058] TBISTB:反相内置自测试信号
- [0059] L1:第一逻辑信号
- [0060] SEN、SE1、SE2:经调整感测致能信号
- [0061] S410、S420、S430、S440、S710、S720、730、S740、S750、760:步骤

### 具体实施方式

[0062] 请参照图1,在一实施例中,存储器装置100包括自测试电路110、存储单元阵列120、电源电压产生器130、存储器控制电路140、列地址缓冲器与选择器150、列解码器160与列冗余地址替换电路170。自测试电路110被配置为根据重置信号RESETB与时脉信号IntCLK将自测试数据信号BISTDA提供至存储单元阵列120,并提供电源电压控制信号TVPPL至电源电压产生器130,且提供内置自测试信号TBIST至存储器控制电路140与列地址缓冲器与选择器150。存储单元阵列120例如包括多个动态随机存取存储单元,本发明并不限制存储单元阵列120的种类与结构。存储单元阵列120包括主存储单元阵列180与冗余存储区块190,冗余存储区块190内配置冗余列及冗余行,冗余列及冗余行具有冗余存储单元,用以取代主存储单元阵列180中不良或受损的存储单元,以维持存储器装置100的正常功能。存储单元阵列120接收自测试数据信号BISTDA并提供表示失效的自测试失效信号BISTFAIL至列冗余地址替换电路170。列冗余地址替换电路170可以根据自测试失效信号BISTFAIL输出冗余字线地址RWL,以将主存储单元阵列180中被检测出错误的字线地址WL替换成位于冗余存储区块190的冗余字线地址RWL。电源电压产生器130耦接至自测试电路110,且依据电源电压控制信号TVPPL以产生电源电压VPP。列解码器160与列冗余地址替换电路170接收电源电压VPP,以驱动列解码器160与列冗余地址替换电路170分别输出主存储单元阵列180的字线地址WL及冗余字线地址RWL。存储器控制电路140耦接于自测试电路110与存储单元阵列120之间,且依据内置自测试信号TBIST提供地址缓冲器控制信号ADB以及测试模式信号PTEST。列地址缓冲器与选择器150接收地址缓冲器控制信号ADB以选择性调整列地址信号(未示出)的电位。存储单元阵列120接收测试模式信号PTEST,并依据测试模式信号PTEST将存储单元阵列120配置于一般模式或内置自测试模式。

[0063] 在一实施例中,存储器装置100可以配置于一般模式或内置自测试模式,且电源电压VPP在内置自测试模式小于一般模式。举例来说,电源电压产生器130可以将一般模式的电源电压VPP配置为2.9V,且将内置自测试模式的电源电压VPP配置为2.7V。于一实施例中,通过高逻辑电平的重置信号RESETB使存储器装置100配置于内置自测试模式。

[0064] 请参照图2,电源电压产生器130包括电源电压检测电路210与电源电压产生电路220。电源电压检测电路210耦接至自测试电路110,电源电压检测电路210依据自测试电路110所提供的电源电压控制信号TVPPL而产生电源电压调整信号VPPUP。电源电压产生电路220接收电源电压调整信号VPPUP而产生电源电压VPP。

[0065] 请参考图3,电源电压检测电路210包括反相器INV1、反相器INV2、分压电路320、放大器AMP以及反相器INV3。反相器INV1接收并反相电源电压控制信号TVPPL以产生第一控制信号VINV1。反相器INV2耦接反相器INV1,且被配置为接收并反相第一控制信号VINV1以产生第二控制信号VINV2。分压电路320耦接反相器INV2,且被配置为依据第一控制信号VINV1与第二控制信号VINV2对电源电压VPP分压以产生第一电压V1。放大器AMP耦接分压电路320,并接收第一电压V1与参考电压VREF。放大器AMP用以放大第一电压V1与参考电压VREF的差值以产生电源电压调整信号VPPUP。参考电压VREF是内部产生的基准电位,在此可以设定参考电压VREF为1.0V。

[0066] 在一实施例中,分压电路320包括传输闸TM1与电阻串RS,其中电阻串包括电阻R1、电阻R2与电阻R3。在一实施例中,可以将电阻R1配置为相等于1.7倍的电阻R3、电阻R2配置为0.2倍的电阻R3,本发明并不限制电阻串的配置比例。电阻R1、电阻R2与电阻R3可以串联并耦接于电源电压VPP与接地电压GND之间,用以提供分压电阻,以产生第一电压V1。传输闸TM1与电阻串RS中的至少一电阻相互并联,例如是电阻R2。传输闸TM1可以依据第一控制信号VINV1与第二控制信号VINV2开启或关闭,调整所述分压电阻以产生第一电压V1。

[0067] 举例来说,当第一控制信号VINV1为低逻辑电平而第二控制信号VINV2为高逻辑电平,传输闸TM1导通而使电阻R2两端短路,分压电阻改变而提高第一电压V1。相反地,当第一控制信号VINV1为高逻辑电平而第二控制信号VINV2为低逻辑电平,传输闸TM1断路,分压电阻改变而降低第一电压V1。

[0068] 放大器AMP耦接分压电路320,用以放大第一电压V1与参考电压VREF的差值。在一实施例中,放大器AMP还通过反相器INV3以产生电源电压调整信号VPPUP。其中,放大器可以由运算放大器构成,本发明并不限制放大器的类型。

[0069] 举例而言,在一般模式下,电源电压控制信号TVPPL为低逻辑电平,传输闸TM1不导通而须考虑电阻R2。当电源电压大于等于2.9V时,第一电压V1大于等于1V,放大器AMP输出高逻辑电平且电源电压调整信号VPPUP为低逻辑电平以禁能电源电压产生电路220。当电源电压VPP小于2.9V时,第一电压V1小于1V,且电源电压调整信号VPPUP为高逻辑电平,以致能电源电压产生电路220,从而提升电源电压VPP至等于2.9V。

[0070] 在内置自测试模式下,电源电压控制信号TVPPL为高逻辑电平,传输闸TM1导通而可忽略电阻R2。当电源电压大于等于2.7V时,第一电压V1大于等于1V,放大器AMP输出高逻辑电平且电源电压调整信号VPPUP为低逻辑电平以禁能电源电压产生电路220。当电源电压VPP小于2.7V时,第一电压V1小于1V,且电源电压调整信号VPPUP为高逻辑电平,以致能电源电压产生电路220,从而提升电源电压VPP至等于2.7V。

[0071] 因此,在一实施例中,当存储器装置100配置于一般模式下时,电源电压产生器130可以将电源电压VPP配置为2.9V。当存储器装置100配置于内置自测试模式下时,电源电压产生器130可以将电源电压VPP降低为2.7V。

[0072] 请参考图4,于步骤S410中,自测试电路110产生自测试数据信号BISTDA与电源电压控制信号TVPPL。接着,于步骤S420中,存储单元阵列120接收自测试数据信号BISTDA并输出自测试失效信号BISTFAIL。于步骤S430中,电源电压产生器130依据电源电压控制信号TVPPL产生电源电压VPP。接着,于步骤S440中,列冗余地址替换电路170接收电源电压VPP与自测试失效信号BISTFAIL,并提供冗余字线地址RWL至存储单元阵列120。其中,电源电压在

内置自测试模式小于一般模式。

[0073] 请参考图5与图1,图5是依据本发明另一实施例所示出的存储器控制电路的方块示意图。在另一实施例中,存储器控制电路140包括感测时间调整电路540,其被配置为根据感测致能信号SE与内置自测试信号TBIST提供经调整感测致能信号SE1与经调整感测致能信号SE2至存储单元阵列120。通过感测时间调整电路540,可使内置自测试模式中读取存储单元阵列120的感测时间小于一般模式的感测时间。其中,感测时间为字线地址WL由低逻辑电平到高逻辑电平所需的时间长度。

[0074] 请参考图6,感测时间调整电路540包括第一逻辑电路LC1、延迟电路D1与第二逻辑电路LC2。第一逻辑电路LC1针对感测致能信号SE以及内置自测试信号TBIST执行逻辑运算以产生第一逻辑信号L1。延迟电路D1耦接第一逻辑电路LC1,被配置为延迟第一逻辑信号L1的输出,例如延迟1ns。延迟电路D1的输出耦接第二逻辑电路LC2,第二逻辑电路LC2针对感测致能信号SE以及延迟电路D1的输出执行逻辑运算以产生经调整感测致能信号SE1与经调整感测致能信号SE2。其中经调整感测致能信号SE1与经调整感测致能信号SE2用以调整感测时间。

[0075] 在另一实施例中,当存储器装置100配置于一般模式时,感测时间调整电路540延迟经调整感测致能信号SE1与经调整感测致能信号SE2。当存储器装置100配置于内置自测试模式时,感测时间调整电路540不延迟经调整感测致能信号SE1与经调整感测致能信号SE2。因此,当存储器装置100配置于内置自测试模式时,感测时间调整电路540产生的经调整感测致能信号SE1、SE2其转态时间相较于配置于一般模式快。

[0076] 在另一实施例中,第一逻辑电路LC1包括反相器INV4、反相器INV5与反及闸NAND1。反相器INV4与反相器INV5分别将感测致能信号SE与内置自测试信号TBIST反相以产生反相感测致能信号SEB与反相内置自测试信号TBISTB。反及闸NAND1耦接反相器INV4与反相器INV5的输出,用以对反相感测致能信号SEB与反相内置自测试信号TBISTB执行反及逻辑运算,以产生第一逻辑信号L1。

[0077] 举例而言,当存储器装置100配置于一般模式时,内置自测试信号TBIST为低逻辑电平(在此以0代称),因此反相内置自测试信号TBISTB为高逻辑电平(在此以1代称)。当感测致能信号SE从0转态至1时,反相感测致能信号SEB从1转态至0,并且第一逻辑信号L1从0转态至1。

[0078] 相对地,当存储器装置100配置于内置自测试模式时,内置自测试信号TBIST为1,因此反相内置自测试信号TBISTB为0,如此一来第一逻辑信号L1固定为1。由于第一逻辑信号L1固定为1而不发生转态,延迟电路D1在等效上对第一逻辑信号L1没有延迟效果。

[0079] 第二逻辑电路LC2包括反及闸NAND2、反相器INV6、反相器INV7、反相器INV8、反相器INV9。反及闸NAND2耦接延迟电路D1,反及闸NAND2用以对感测致能信号SE与延迟电路D1的输出执行反及逻辑运算,以产生经调整感测致能信号SEN。反相器INV6与反相器INV7串联以作为缓冲器,并耦接至反及闸NAND2的输出,用以接收经调整感测致能信号SEN而产生经调整感测致能信号SE1。同样的,反相器INV8与反相器INV9串联以作为缓冲器,并耦接至反及闸NAND2的输出,用以接收经调整感测致能信号SEN而产生经调整感测致能信号SE2。其中,经调整感测致能信号SE2与经调整感测致能信号SE1相等于经调整感测致能信号SEN。

[0080] 举例来说,当存储器装置100配置于一般模式时,由于第一逻辑信号L1的转态时间



被延迟电路D1往后延迟(例如延迟1ns),因此经调整感测致能信号SE1与经调整感测致能信号SE2的转态时间也被延迟1ns。相对地,当存储器装置100配置于内置自测试模式时,由于第一逻辑信号L1不发生转态,因此经调整感测致能信号SE1与经调整感测致能信号SE2的转态时间未被延迟。因此,在另一实施例中,存储器装置100配置于内置自测试模式下,其感测时间相较于一般模式为短。内置自测试模式下的感测时间例如可以比一般模式短1ns。

[0081] 请参考图7,图7是依据本发明另一实施例所示出的内置自测试方法的流程图。于步骤S710,存储器装置100开启并初始化存储器装置100内的信号与内部参数。于步骤S720,存储器装置100载入冗余地址(redundancy address),用以提供冗余存储器地址,以便提供存储器装置100在内置自测试模式结束之后,于一般模式中将检测出的不良比特取代掉。冗余存储器地址包括冗余字线地址RWL。于步骤S730,存储器装置100调降电源电压VPP与感测时间,以使测试环境变差,并使不良比特容易被检测出来。接着,于步骤S740,存储器装置100进入内置自测试模式而执行内置自测试。当完成内置自测试后,执行步骤S750,存储器装置100调升电源电压VPP与感测时间至一般模式的数值。接着,于步骤S760,存储器装置回到一般模式。

[0082] 综上所述,在本发明一实施例中,所述存储器装置在内置自测试模式中调降电源电压产生器产生的电源电压,以使不良比特相较于一般模式下容易被检测出来,提高存储器装置的可靠性。进一步地,在本发明另一实施例中,所述存储器装置还包括感测时间调整电路,用以在内置自测试模式中调降读取所述存储单元阵列的感测时间,使不良比特更容易被检测出来,进一步提高存储器装置的可靠性。

[0083] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中的技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求所界定的为准。

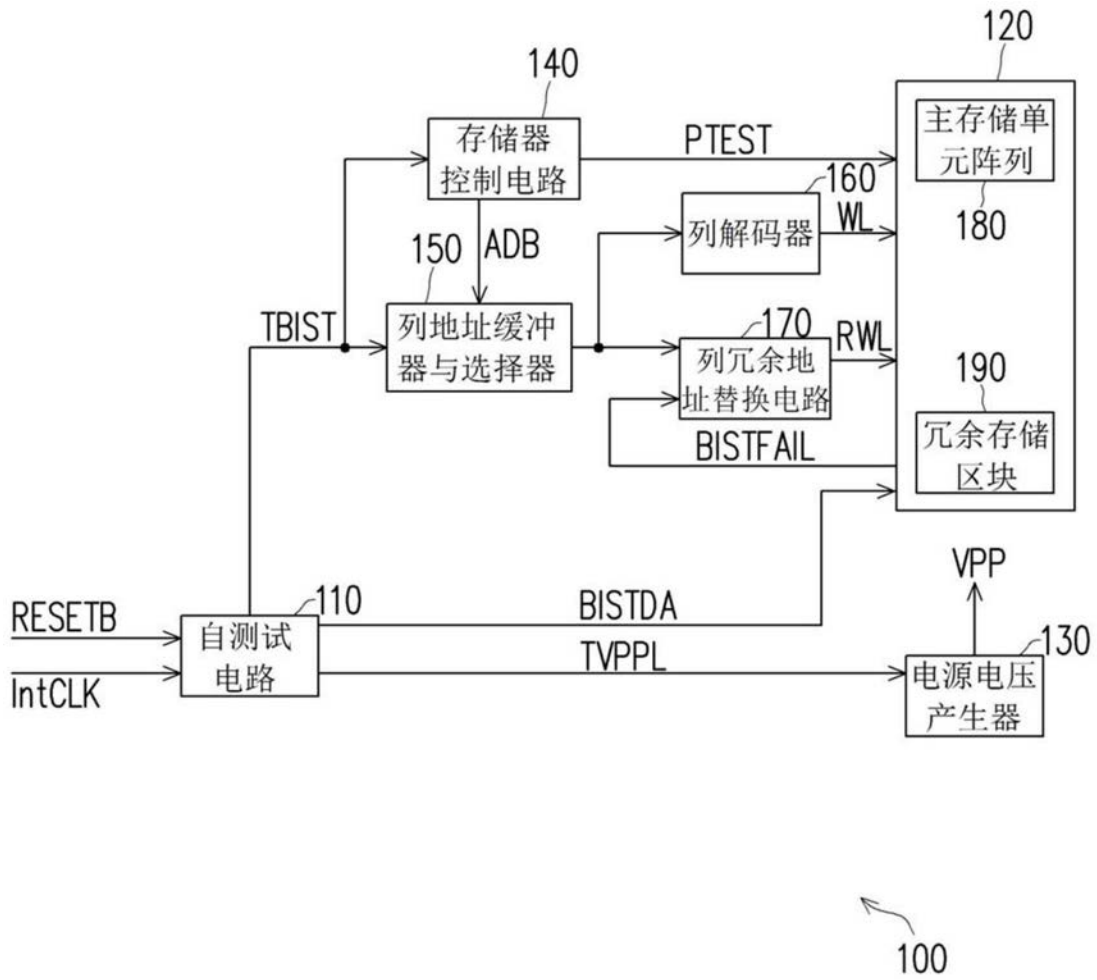


图1

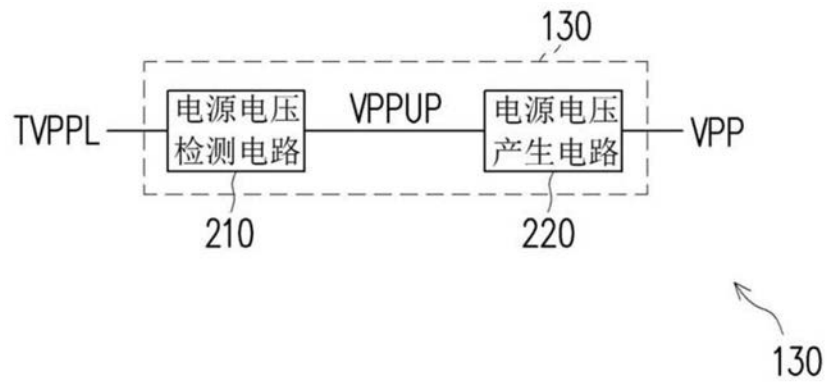


图2

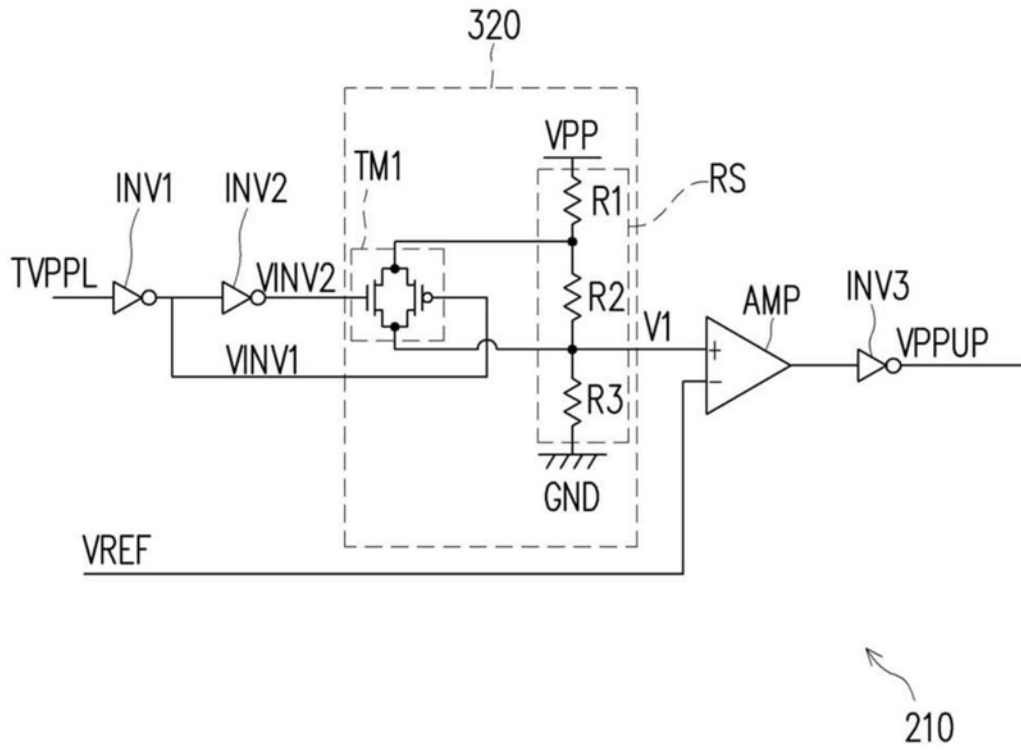


图3

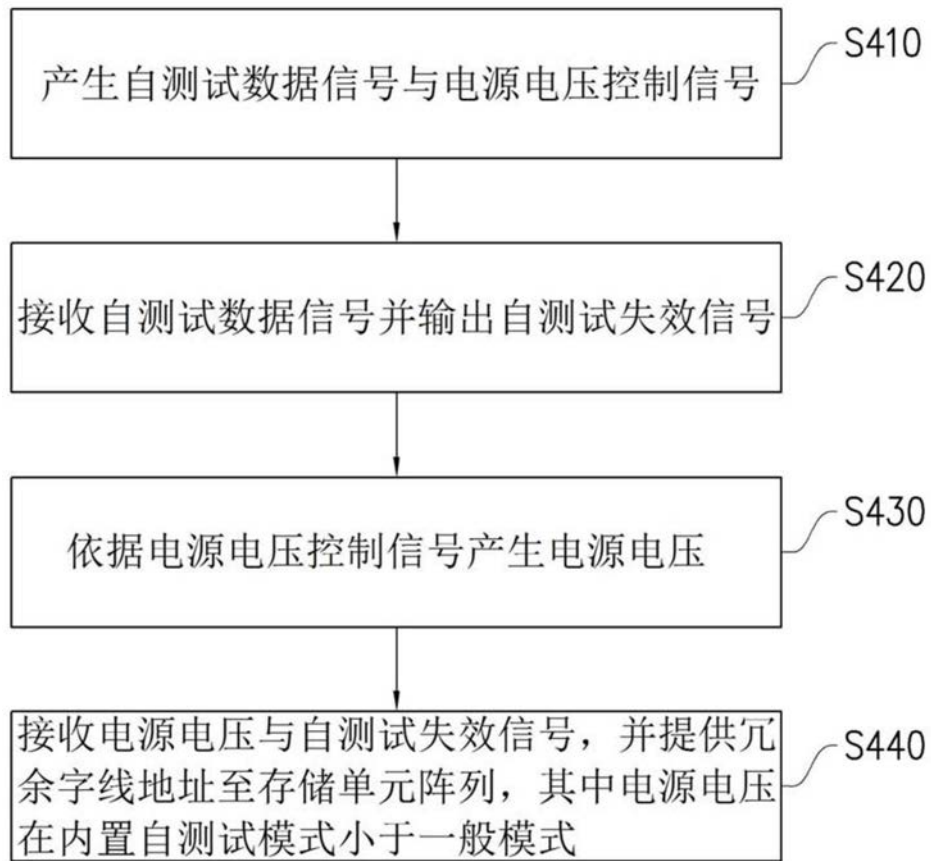


图4

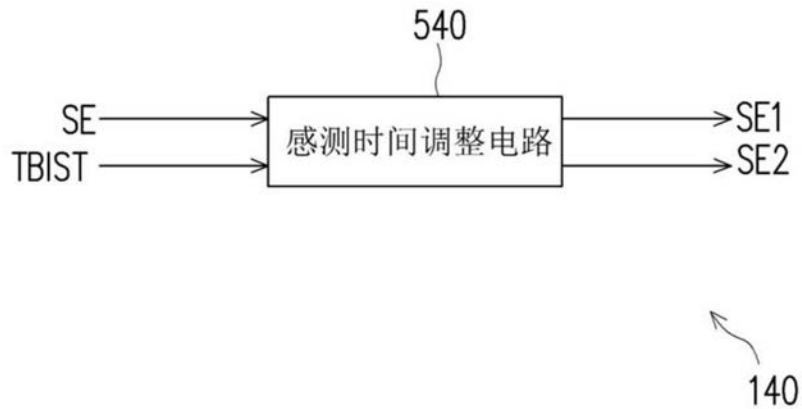


图5

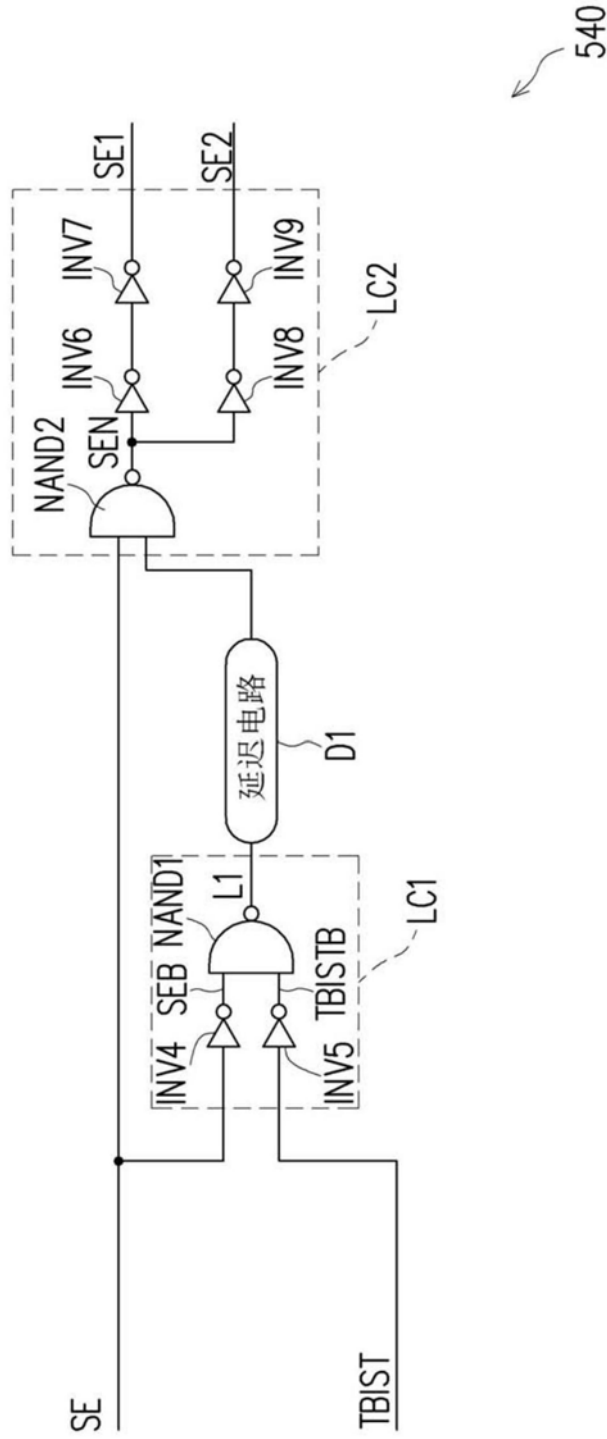


图6

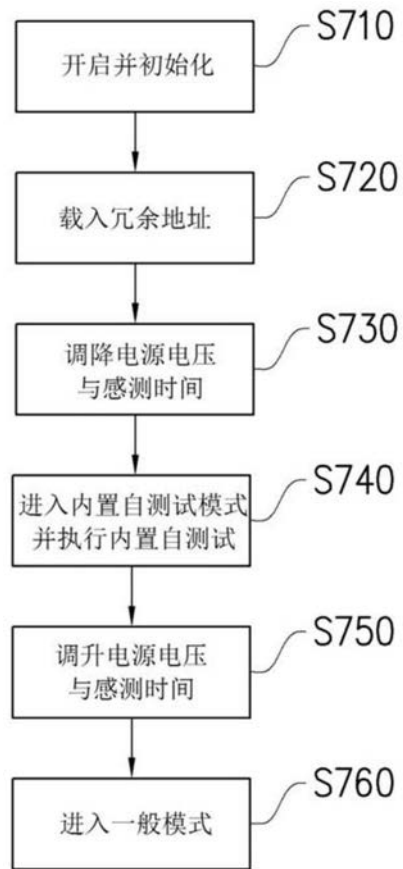


图7