

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5786601号
(P5786601)

(45) 発行日 平成27年9月30日(2015.9.30)

(24) 登録日 平成27年8月7日(2015.8.7)

(51) Int.Cl.		F I			
G09F	9/30	(2006.01)	G09F	9/30	330
G02F	1/1368	(2006.01)	G09F	9/30	338
			G02F	1/1368	

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2011-212184 (P2011-212184)	(73) 特許権者	000002369
(22) 出願日	平成23年9月28日 (2011.9.28)		セイコーエプソン株式会社
(65) 公開番号	特開2013-73038 (P2013-73038A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成25年4月22日 (2013.4.22)	(74) 代理人	100095728
審査請求日	平成26年7月22日 (2014.7.22)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	及川 広之
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	田辺 正樹

最終頁に続く

(54) 【発明の名称】 電気光学装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に設けられた配線と、
基板の前記配線上に設けられた第2絶縁膜と、
前記第2絶縁膜上に設けられた、第1導電体及び第2導電体と、
基板の前記第1導電体及び前記第2導電体上に設けられた第1絶縁膜と、
前記第1絶縁膜上に設けられ、データ線駆動回路に電源を供給する第1電源配線と、
前記第1絶縁膜上に設けられ、走査線駆動回路に電源を供給する第2電源配線と、
前記第1絶縁膜に設けられ、前記第1電源配線と前記第1導電体とを電氣的に接続させる第1コンタクトホールと、
前記第2絶縁膜に設けられ、前記第1導電体と前記配線とを電氣的に接続させる第2コンタクトホールと、
前記第1絶縁膜に設けられ、前記第2電源配線と前記第2導電体とを電氣的に接続させる第3コンタクトホールと、
前記第2絶縁膜に設けられ、前記第2導電体と前記配線とを電氣的に接続させる第4コンタクトホールと、を有し、
前記第2コンタクトホールの接続抵抗は、前記第1コンタクトホールの接続抵抗より高く、前記第4コンタクトホールの接続抵抗は、前記第3コンタクトホールの接続抵抗より高いことを特徴とする電気光学装置。

【請求項2】

請求項 1 に記載の電気光学装置であって、
前記第 1 導電体及び前記第 2 導電体は、ゲート電極と同一膜に設けられていることを特徴とする電気光学装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の電気光学装置であって、
複数の画素部に対応して設けられたトランジスターと、
前記トランジスターを遮光する遮光膜と、を有し、
前記配線は、前記遮光膜と同一膜に設けられていることを特徴とする電気光学装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項に記載の電気光学装置であって、
前記第 1 電源配線及び前記第 2 電源配線は、データ線と同一膜であることを特徴とする電気光学装置。

10

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置、及び電子機器に関する。

【背景技術】

20

【0002】

上記電気光学装置として、例えば、画素電極をスイッチング制御する素子としてトランジスターを画素ごとに備えたアクティブ駆動方式の液晶装置が知られている。この液晶装置は、例えば、製造過程において発生した静電気によって、周辺回路（特に電源と接続されたデータ線駆動回路や走査線駆動回路など）に設けられたトランジスターや配線に過剰な電圧が印加され静電破壊を起こすことがある。

【0003】

そこで、例えば、特許文献 1 に記載のように、共通配線を用いてデータ線駆動回路用の電源配線と走査線駆動回路用の電源配線とを接続して共通化することにより、製造途中などにおいて発生した静電気によってトランジスターや配線などが静電破壊することを抑えている技術が開示されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 65157 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 に記載の方法では、共通配線をトランジスターや配線などが設けられた層より上層に配置して接続しているため、配線などをパターニングするときには電源配線が共通化されていない。これにより、パターニングの際に静電気が発生した場合は、静電気を逃がす経路が無く、トランジスターや配線などに電荷が集中し、これらが破壊されるという課題がある。

40

【課題を解決するための手段】

【0006】

本発明は、上記課題の少なくとも一部を解決するためになされたものであり、以下の形態又は適用例として実現することが可能である。

【0007】

[適用例 1] 本適用例に係る電気光学装置は、データ線駆動回路と、走査線駆動回路と、前記データ線駆動回路に電源を供給する第 1 電源配線と、前記走査線駆動回路に電源を

50

供給する第2電源配線と、前記第1電源配線と前記第2電源配線とを電氣的に接続する配線と、前記第1電源配線と前記配線とを電氣的に接続する第1導電体と、前記第2電源配線と前記配線とを電氣的に接続する第2導電体と、を有することを特徴とする。

【0008】

この構成によれば、第1導電体、第2導電体及び配線を介して、第1電源配線と第2電源配線を電氣的に接続して（又は第1電源配線と第2電源配線となる部分を電氣的に接続して）共通化するので、データ線駆動回路や走査線駆動回路に接続されるトランジスタや配線などをパターニングする際に静電気が発生したとしても、導電体と配線とによって冗長させて引き回してしているので、静電気が一部分に集中することを防ぐことが可能となる。よって、静電気が緩和され、電源が供給される電源配線に接続されたトランジスタや配線が静電破壊することを抑えることができる。更に、導電体を突入抵抗として用いることができ、この部分で電荷を消費させることが可能となる。

10

【0009】

〔適用例2〕上記適用例に係る電気光学装置において、前記第1導電体及び前記第2導電体は、前記第1電源配線及び前記第2電源配線が設けられた層と前記配線が設けられた層との間に設けられており、前記第1電源配線と前記第2電源配線とが設けられた層と、前記第1導電体及び前記第2導電体が設けられた層との間に設けられた第1絶縁膜と、前記前記第1導電体及び前記第2導電体が設けられた層と、前記配線が設けられた層との間に設けられた第2絶縁膜を有することをことが好ましい。

【0010】

この構成によれば、第1絶縁膜と第2絶縁膜との間に設けられている第1導電体及び第2導電体によって、電源配線と配線との間を離すと共に冗長させて引き回してしているので、静電気が一部分に集中することを防ぐことが可能となる。よって、静電気が緩和され、電源が供給される電源配線に接続されたトランジスタや配線が静電破壊することを抑えることができる。

20

【0011】

〔適用例3〕上記適用例に係る電気光学装置において、前記第1電源配線と前記第1導電体との間、及び、前記第2電源配線と前記第2導電体との間は、前記第1絶縁層に設けられた第1コンタクトホールを介して接続されており、前記第1導電体及び前記第2導電体と前記配線は、前記第2絶縁層に設けられた第2コンタクトホールを介して接続されていることが好ましい。

30

【0012】

この構成によれば、第1コンタクトホール及び第2コンタクトホールを用いて電源配線、導電体、配線の間を離すと共に冗長させて引き回してしているので、静電気が一部分に集中することを防ぐことが可能となる。よって、静電気が緩和され、電源が供給される電源配線に接続されたトランジスタや配線が静電破壊することを抑えることができる。

【0013】

〔適用例4〕上記適用例に係る電気光学装置において、前記第2コンタクトホールの接続抵抗は、前記第1コンタクトホールの接続抵抗より高いことが好ましい。

【0014】

この構成によれば、配線側に近い第2コンタクトホールの接続抵抗の方が高いので、配線に静電気（電荷）が流れる前に静電気（電荷）を小さくしておくことが可能となる。よって、電源配線と接続されたトランジスタや配線を静電気から保護することができる。

40

【0015】

〔適用例5〕上記適用例に係る電気光学装置において、前記第1導電体及び前記第2導電体は、ゲート電極と同一膜に設けられていることが好ましい。

【0016】

この構成によれば、ゲート電極と同層に導電体が設けられているので、例えば、導電体を介して接続された導電体より下層側にある配線と、ゲート電極より上層に設けられたメタル配線（第1電源配線、第2電源配線）との距離を離すことが可能となる。よって、配

50

線が近距離で交差することを防ぐことができ、配線やトランジスターなどが静電破壊することを抑えることができる。

【0017】

〔適用例6〕上記適用例に係る電気光学装置において、複数の画素部に対応して設けられたトランジスターと、前記トランジスターを遮光する遮光膜と、を有し、前記配線は、前記遮光膜と同一膜に設けられていることが好ましい。

【0018】

この構成によれば、遮光膜と同層に配線が設けられているので、例えば、導電体を介して接続された導電体より下層側にある配線と、ゲート電極より上層に設けられたメタル配線（第1電源配線、第2電源配線）との距離を離すことが可能となる。よって、配線が近距離で交差することを防ぐことができ、配線やトランジスターなどが静電破壊することを抑えることができる。

10

【0019】

〔適用例7〕上記適用例に係る電気光学装置において、前記第1電源配線及び前記第2電源配線は、データ線と同一膜であることが好ましい。

【0020】

この構成によれば、データ線と同一膜で第1電源配線及び第2電源配線が設けられているので、それより下層に配置された導電体及び配線によって予め電源配線を共通化しておくことにより、第1電源配線や第2電源配線をパターンニングする際に静電気が発生したとしても、導電体及び配線に電荷を流すことが可能となり、電源配線に接続されたトランジスターや配線を静電気から保護することができる。

20

【0021】

〔適用例8〕本適用例に係る電子機器は、上記した電気光学装置を備えることを特徴とする。

【0022】

この構成によれば、上記に記載の電気光学装置を備えているので、周辺回路に設けられた電源配線と接続されたトランジスターや配線を静電気から保護することができ、信頼性や歩留まりを向上させることが可能な電子機器を提供することができる。

【図面の簡単な説明】

【0023】

【図1】電気光学装置としての液晶装置の構成を示す模式平面図。

【図2】図1に示す液晶装置のH-H'線に沿う模式断面図。

【図3】液晶装置の電気的な構成を示す等価回路図。

【図4】液晶装置の構成を示す模式断面図。

【図5】液晶装置における周辺回路の一部の構造を示す模式平面図。

【図6】図5に示す周辺回路のE-E'線に沿う模式断面図。

【図7】電気光学装置を備えた電子機器としての投射型表示装置（プロジェクター）の構成を示す概略図。

30

【発明を実施するための形態】

【0024】

以下、本発明を具体化した実施形態について図面に従って説明する。なお、使用する図面は、説明する部分が認識可能な状態となるように、適宜拡大又は縮小して表示している。

40

【0025】

なお、以下の形態において、例えば「基板上に」と記載された場合、基板の上に接するように配置される場合、又は基板の上に他の構成物を介して配置される場合、又は基板の上に一部が接するように配置され、一部が他の構成物を介して配置される場合を表すものとする。

【0026】

本実施形態では、電気光学装置として、薄膜トランジスター（TFT：Thin Film Tran

50

sistor)を画素のスイッチング素子として備えたアクティブマトリックス型の液晶装置を例に挙げて説明する。この液晶装置は、例えば、後述する投射型表示装置(液晶プロジェクター)の光変調素子(液晶ライトバルブ)として好適に用いることができるものである。

【0027】

<電気光学装置の構成>

図1は、電気光学装置としての液晶装置の構成を示す模式平面図である。図2は、図1に示す液晶装置のH-H'線に沿う模式断面図である。図3は、液晶装置の電氣的な構成を示す等価回路図である。図4は、液晶装置の構成を示す模式断面図である。以下、液晶装置の構造を、図1～図4を参照しながら説明する。

10

【0028】

図1及び図2に示すように、本実施形態の液晶装置100は、対向配置された素子基板10および対向基板20と、これら一对の基板によって挟持された液晶層15とを有する。素子基板10を構成する第1基板11、および対向基板20を構成する第2基板12は、例えば、ガラス基板等の透明基板、又はシリコン基板が用いられている。

【0029】

素子基板10は対向基板20よりも一回り大きく、両基板は、額縁状に配置されたシール材14を介して接合され、その隙間に正または負の誘電異方性を有する液晶が封入されて液晶層15を構成している。シール材14は、例えば、熱硬化性又は紫外線硬化性のエポキシ樹脂などの接着剤が採用されている。シール材14には、一对の基板の間隔を一定に保持するためのギャップ材が混入されている。

20

【0030】

対向基板20側における額縁状に配置されたシール材14の内側には、同じく額縁状に遮光層18が設けられている。遮光層18は、例えば、遮光性の金属あるいは金属酸化物などからなり、遮光層18の内側が複数の画素Pを有する表示領域Eとなっている。なお、図1では図示省略したが、表示領域Eにおいても複数の画素Pを平面的に区分する遮光部が設けられている。

【0031】

第1基板11の1辺部と、1辺部に沿ったシール材14との間にデータ線駆動回路22が設けられている。また、該1辺部に対向する他の1辺部に沿ったシール材14の内側に検査回路25が設けられている。さらに、該1辺部と直交し互いに対向する他の2辺部に沿ったシール材14の内側に走査線駆動回路24が設けられている。該1辺部と対向する他の1辺部のシール材14の内側には、2つの走査線駆動回路24を繋ぐ複数の配線(図示せず)が設けられている。

30

【0032】

これらデータ線駆動回路22、走査線駆動回路24に繋がる配線は、該1辺部に沿って配列した複数の外部接続端子61に接続されている。以降、該1辺部に沿った方向をX方向とし、該1辺部と直交し互いに対向する他の2辺部に沿った方向をY方向として説明する。なお、検査回路25の配置はこれに限定されず、データ線駆動回路22と表示領域Eとの間のシール材14の内側に沿った位置に設けてもよい。

40

【0033】

図2に示すように、第1基板11の液晶層15側の表面には、画素Pごとに設けられた光透過性を有する画素電極27およびスイッチング素子としての薄膜トランジスタ30(以降、「TFT30」と称する。)と、信号配線と、これらを覆う配向膜28とが形成されている。また、TFT30における半導体層に光が入射してスイッチング動作が不安定になることを防ぐ遮光構造が採用されている。

【0034】

第2基板12の液晶層15側の表面には、遮光層18と、これを覆うように成膜された層間絶縁層(図示せず)と、層間絶縁層を覆うように設けられた共通電極31と、共通電極31を覆う配向膜32とが設けられている。

50

【 0 0 3 5 】

遮光層 1 8 は、図 1 に示すように、平面的に走査線駆動回路 2 4、検査回路 2 5 と重なる位置において額縁状に設けられている。これにより対向基板 2 0 側から入射する光を遮蔽して、これらの駆動回路を含む周辺回路の光による誤動作を防止する役目を果たしている。また、不必要な迷光が表示領域 E に入射しないように遮蔽して、表示領域 E の表示における高いコントラストを確保している。

【 0 0 3 6 】

層間絶縁層は、例えば、酸化シリコンなどの無機材料からなり、光透過性を有して遮光層 1 8 を覆うように設けられている。このような層間絶縁層の形成方法としては、例えばプラズマ C V D (Chemical Vapor Deposition) 法などを用いて成膜する方法が挙げられる。

10

【 0 0 3 7 】

共通電極 3 1 は、例えば I T O (Indium Tin Oxide) などの透明導電膜からなり、層間絶縁層を覆うと共に、図 1 に示すように対向基板 2 0 の四隅に設けられた上下導通部 2 6 により素子基板 1 0 側の配線に電氣的に接続している。

【 0 0 3 8 】

画素電極 2 7 を覆う配向膜 2 8 および共通電極 3 1 を覆う配向膜 3 2 は、液晶装置 1 0 0 の光学設計に基づいて選定される。例えば、 SiO_x (酸化シリコン) などの無機材料を気相成長法を用いて成膜して、液晶分子に対して略垂直配向させたものが挙げられる。

【 0 0 3 9 】

図 3 に示すように、液晶装置 1 0 0 は、少なくとも表示領域 E において互いに絶縁されて直交する複数の走査線 3 a および複数のデータ線 6 a と、容量線 3 b とを有する。走査線 3 a が延在する方向が X 方向であり、データ線 6 a が延在する方向が Y 方向である。

20

【 0 0 4 0 】

走査線 3 a とデータ線 6 a ならびに容量線 3 b と、これらの信号線類により区分された領域に、画素電極 2 7 と、T F T 3 0 と、容量素子 1 6 とが設けられ、これらが画素 P の画素回路を構成している。

【 0 0 4 1 】

走査線 3 a は T F T 3 0 のゲートに電氣的に接続され、データ線 6 a は T F T 3 0 のデータ線側ソースドレイン領域に電氣的に接続されている。画素電極 2 7 は、T F T 3 0 の画素電極側ソースドレイン領域に電氣的に接続されている。

30

【 0 0 4 2 】

データ線 6 a は、データ線駆動回路 2 2 (図 1 参照) に接続されており、データ線駆動回路 2 2 から供給される画像信号 D_1, D_2, \dots, D_n を画素 P に供給する。走査線 3 a は、走査線駆動回路 2 4 (図 1 参照) に接続されており、走査線駆動回路 2 4 から供給される走査信号 SC_1, SC_2, \dots, SC_m を各画素 P に供給する。

【 0 0 4 3 】

データ線駆動回路 2 2 からデータ線 6 a に供給される画像信号 $D_1 \sim D_n$ は、この順に線順次で供給してもよく、互いに隣り合う複数のデータ線 6 a 同士に対してグループごとに供給してもよい。走査線駆動回路 2 4 は、走査線 3 a に対して、走査信号 $SC_1 \sim SC_m$ を所定のタイミングでパルス的に線順次で供給する。

40

【 0 0 4 4 】

液晶装置 1 0 0 は、スイッチング素子である T F T 3 0 が走査信号 $SC_1 \sim SC_m$ の入力により一定期間だけオン状態とされることで、データ線 6 a から供給される画像信号 $D_1 \sim D_n$ が所定のタイミングで画素電極 2 7 に書き込まれる構成となっている。そして、画素電極 2 7 を介して液晶層 1 5 に書き込まれた所定レベルの画像信号 $D_1 \sim D_n$ は、画素電極 2 7 と液晶層 1 5 を介して対向配置された共通電極 3 1 との間で一定期間保持される。

【 0 0 4 5 】

保持された画像信号 $D_1 \sim D_n$ がリークするのを防止するため、画素電極 2 7 と共通電

50

極 3 1 との間に形成される液晶容量と並列に容量素子 1 6 が接続されている。容量素子 1 6 は、T F T 3 0 の画素電極側ソースドレイン領域と容量線 3 b との間に設けられている。容量素子 1 6 は、透明導電膜からなる容量電極および画素電極 2 7 との間に誘電体を有するものである。

【 0 0 4 6 】

このような液晶装置 1 0 0 は、例えば透過型であって、画素 P が非駆動時に明表示となるノーマリーホワイトモードや、非駆動時に暗表示となるノーマリーブラックモードの光学設計が採用される。光の入射側と射出側とにそれぞれ偏光素子が光学設計に応じて配置されて用いられる。

【 0 0 4 7 】

次に、図 4 を参照して、画素 P の構造について、さらに詳しく説明する。図 4 に示すように、第 1 基板 1 1 上には、走査線 3 a が設けられている。走査線 3 a は、遮光性を有し、例えば、A l (アルミニウム)、T i (チタン)、C r (クロム)、W (タングステン)、T a (タンタル)、M o (モリブデン)などの金属のうち少なくとも 1 つを含む金属単体、合金、金属シリサイド、ポリシリサイド、ナイトライド、あるいはこれらが積層されたものを用いることができる。

【 0 0 4 8 】

走査線 3 a は半導体層 3 0 a より下層側に配置されているので、走査線 3 a を T F T 3 0 の半導体層 3 0 a よりも幅広に形成することによって、液晶プロジェクター等からの光に対して、T F T 3 0 のチャンネル領域 3 0 c を殆ど或いは完全に遮光できる。その結果、液晶装置 1 0 0 の動作時に、T F T 3 0 における光リーク電流が低減され、コントラスト比を向上させることができ、高品位の画像表示が可能となる。

【 0 0 4 9 】

走査線 3 a 上には、第 1 基板 1 1 及び走査線 3 a を覆うように、例えば、酸化シリコンなどからなる第 2 絶縁膜を構成する下地絶縁層 1 1 a が設けられている。更に、下地絶縁層 1 1 a 上には、島状に半導体層 3 0 a が設けられている。

【 0 0 5 0 】

半導体層 3 0 a は、例えば、多結晶シリコン膜からなり、不純物イオンが注入されて、データ線側ソースドレイン領域 3 0 s、チャンネル領域 3 0 c、画素電極側ソースドレイン領域 3 0 d を有する。

【 0 0 5 1 】

半導体層 3 0 a 上には、半導体層 3 0 a 及び下地絶縁層 1 1 a を覆うように、第 2 絶縁膜を構成する第 1 層間絶縁層 (ゲート絶縁層) 1 1 b が形成される。更に、第 1 層間絶縁層 1 1 b を挟んでチャンネル領域 3 0 c に対向する位置にゲート電極 3 0 g が設けられている。

【 0 0 5 2 】

ゲート電極 3 0 g 上には、ゲート電極 3 0 g 及び第 1 層間絶縁層 1 1 b とを覆うようにして第 1 絶縁膜を構成する第 2 層間絶縁層 1 1 c が設けられている。更に、平面的に半導体層 3 0 a の端部と重なる位置に、第 1 層間絶縁層 1 1 b 及び第 2 層間絶縁層 1 1 c を貫通する 2 つのコンタクトホール C N T 4 1 , C N T 4 2 が設けられている。

【 0 0 5 3 】

具体的には、コンタクトホール C N T 4 1 及びコンタクトホール C N T 4 2 を埋めると共に第 2 層間絶縁層 1 1 c を覆うように A l (アルミニウム)などの遮光性の導電部材料を用いて導電膜を成膜し、これをパターニングすることにより、コンタクトホール C N T 4 1、コンタクトホール C N T 4 2、及びコンタクトホール C N T 4 2 を介して画素電極側ソースドレイン領域 3 0 d に繋がる中継層 5 1 が形成される。

【 0 0 5 4 】

中継層 5 1 は、後述するデータ線 6 a と共に T F T 3 0 を遮光している。更に、中継層 5 1 は、T F T 3 0 及び画素電極 2 7 間の一部を電氣的に接続している。

【 0 0 5 5 】

10

20

30

40

50

中継層 5 1 上には、中継層 5 1 及び第 2 層間絶縁層 1 1 c を覆うようにして、第 1 絶縁膜を構成する第 3 層間絶縁層 1 1 d が設けられている。第 3 層間絶縁層 1 1 d には、平面的にコンタクトホール CNT 4 1 の一部と重なるようにコンタクトホール CNT 4 3 が設けられ、更に、中継層 5 1 の一部と重なるようにコンタクトホール CNT 4 4 が設けられている。

【 0 0 5 6 】

具体的には、コンタクトホール CNT 4 3 , CNT 4 4 を埋めると共に第 3 層間絶縁層 1 1 d を覆うように、Al (アルミニウム) などの遮光性の導電部材料を用いて導電膜を成膜し、これをパターニングすることにより、データ線 6 a、コンタクトホール CNT 4 3 , CNT 4 4、中継電極 4 7 が形成される。

10

【 0 0 5 7 】

データ線 6 a 及び中継電極 4 7 上には、データ線 6 a、中継電極 4 7、及び第 3 層間絶縁層 1 1 d を覆うように、第 4 層間絶縁層 1 1 e が設けられている。第 4 層間絶縁層 1 1 e は、例えば、シリコンの酸化物や窒化物からなり、TF T 3 0 などを覆うことによって生ずる表面の凹凸を平坦化する平坦化処理が施される。平坦化処理の方法としては、例えば、化学的機械的研磨処理 (Chemical Mechanical Polishing: CMP 処理) やスピントリート処理などが挙げられる。

【 0 0 5 8 】

第 4 層間絶縁層 1 1 e 上には、容量素子 1 6 を構成する I T O 膜などからなる第 1 容量電極 1 6 a がパターニングされて設けられている。第 1 容量電極 1 6 a 上には、容量素子 1 6 を構成する透光性の誘電体層 1 6 b がパターニングされて積層されている。

20

【 0 0 5 9 】

誘電体層 1 6 b としては、シリコン酸化膜やシリコン窒化膜等のシリコン化合物を用いることができる他、アルミニウム酸化膜、チタン酸化膜、タンタル酸化膜、ニオブ酸化膜、ハフニウム酸化膜、ランタン酸化膜、ジルコニウム酸化膜等の高誘電率の誘電体層を用いることができる。

【 0 0 6 0 】

誘電体層 1 6 b の上層には、容量素子 1 6 を構成する I T O 膜などからなる第 2 容量電極 1 6 c がパターニングされて積層されている。第 2 容量電極 1 6 c は、誘電体層 1 6 b を介して第 1 容量電極 1 6 a に重なって配置されており、第 1 容量電極 1 6 a 及び誘電体層 1 6 b と共に容量素子 1 6 を構成している。

30

【 0 0 6 1 】

また、第 2 容量電極 1 6 c の端部は、平面的に中継電極 4 7 の一部と重なっており、第 4 層間絶縁層 1 1 e に設けられたコンタクトホール CNT 6 5 を介して中継電極 4 7 の延在部と電氣的に接続されている。

【 0 0 6 2 】

第 2 容量電極 1 6 c 上には、第 2 容量電極 1 6 c 及び第 4 層間絶縁層 1 1 e を覆うように、第 5 層間絶縁層 1 1 f が設けられている。第 5 層間絶縁層 1 1 f は、例えば、シリコンの酸化物や窒化物からなり、配線や電極などを覆うことによって生ずる表面の凹凸を平坦化する平坦化処理が施される。

40

【 0 0 6 3 】

第 5 層間絶縁層 1 1 f 上には、I T O 膜などからなる画素電極 2 7 が設けられている。画素電極 2 7 は、第 5 層間絶縁層 1 1 f 及び第 4 層間絶縁層 1 1 e に設けられたコンタクトホール CNT 6 6 を介して中継電極 4 7 の延在部と電氣的に接続されている。

【 0 0 6 4 】

このようにして、画素電極 2 7 及び第 2 容量電極 1 6 c は、中継電極 4 7、コンタクトホール CNT 4 4、中継層 5 1、コンタクトホール CNT 4 2 を介して、TF T 3 0 の画素電極側ソースドレイン領域 3 0 d と電氣的に接続されている。

【 0 0 6 5 】

画素電極 2 7 の表面には、配向膜 2 8 (図 2 参照) が設けられている。配向膜 2 8 は、

50

例えば、シリコン酸化膜等の斜方蒸着膜からなる。本形態において、配向膜 28 は、 SiO_x ($x < 2$)、 SiO_2 、 TiO_2 、 MgO 、 Al_2O_3 、 In_2O_3 、 Sb_2O_3 、 Ta_2O_5 等の斜方蒸着膜からなる無機配向膜（垂直配向膜）である。

【0066】

図5は、液晶装置における周辺回路の一部の構造を示す模式平面図である。図6は、図5に示す周辺回路のE-E'線に沿う模式断面図である。以下、周辺回路の構造を、図5及び図6を参照しながら説明する。

【0067】

周辺回路101は、例えば、図1に示す液晶装置100のA部付近に設けられている。具体的には、図5に示すように、周辺回路101は、例えば、データ線駆動回路22に接続された第1電源配線としての第1VDD電源配線111と、走査線駆動回路24に接続された第2電源配線としての第2VDD電源配線112と、VSS電源配線113と、信号配線114とを有する。

10

【0068】

これらの配線は、例えば、外部接続端子61と繋がる電源配線であり、他の配線の平面的な面積と比較して大きな面積を有するものが多く、電荷の帯電量も他の配線と比較して多い。なお、第1VDD電源配線111や第2VDD電源配線112には、図示しないトランジスタなども接続されている。

【0069】

図6に示すように、第1VDD電源配線111と第2VDD電源配線112とは、コンタクトホールCNT132（第1コンタクトホール）、第1導電体121、コンタクトホールCNT131（第2コンタクトホール）、走査線3aとしても用いられる配線103a、コンタクトホールCNT133（第2コンタクトホール）、第2導電体122、コンタクトホールCNT134（第1コンタクトホール）を介して電氣的に接続されている。つまり、第1VDD電源配線111と第2VDD電源配線112とは、導電体121、122及び配線103aなどを介して電氣的に共通化されている。なお、コンタクトホールCNT131～CNT134は、導電体の一部を構成している。

20

【0070】

具体的には、上記したように、第1基板11上には、配線103aが設けられている。配線103aは走査線3aと同一膜である。したがって、配線103aは、走査線3aと同じように遮光性を有する遮光膜で構成されている。配線103a上には、配線103a及び第1基板11を覆うように下地絶縁層11a、更に、第1層間絶縁層11bが設けられている。

30

【0071】

第1層間絶縁層11b上には、第1導電体121及び第2導電体122が設けられている。なお、第1導電体121及び第2導電体122は、上記したゲート電極30gと同一膜である。第1導電体121は、配線103aの端部とコンタクトホールCNT131を介して電氣的に接続されている。第2導電体122は、配線103aの端部とコンタクトホールCNT133を介して電氣的に接続されている。

【0072】

第1導電体121及び第2導電体122上には、これら導電体121、122及び第1層間絶縁層11bを覆うように、第2層間絶縁層11c、更に第3層間絶縁層11dが設けられている。第3層間絶縁層11d上には、第1VDD電源配線111、第2VDD電源配線112、VSS電源配線113、信号配線114などが設けられている。これらの配線は、上記したデータ線6aと同一膜である。

40

【0073】

第1VDD電源配線111は、第2層間絶縁層11c及び第3層間絶縁層11dを貫通して設けられたコンタクトホールCNT132を介して第1導電体121と電氣的に接続されている。また、第2VDD電源配線112は、第2層間絶縁層11c及び第3層間絶縁層11dを貫通して設けられたコンタクトホールCNT134を介して第2導電体12

50

2と電氣的に接続されている。

【0074】

上記したように、特に面積の広い電源配線である第1VDD電源配線111及び第2VDD電源配線112は、第1導電体121、配線103a、第2導電体122、これらを接続するコンタクトホールCNT131～CNT134を介して、電氣的に接続されており、電氣的に共通化されている。

【0075】

このように、第1VDD電源配線111と第2VDD電源配線112とを、その下層に設けられた導電体121、122、更に、その下層に設けられた配線103aを介して接続することにより、製造過程において電源配線111、112などに蓄積する静電気を逃がす経路をつくることことができる。

10

【0076】

具体的には、第1VDD電源配線111、第2VDD電源配線112、VSS電源配線113、信号配線114などをパターンングした際（特に、シェーディングの際）に静電気が発生する。この静電気が特に配線の細い部分に集中すると、配線やトランジスタが静電破壊を起こす場合がある。これにより、製品の歩留まりが低下したり、製品の信頼性が低下するなどの問題が発生する。

【0077】

しかしながら、導電体121、122及び配線103aなどの共通配線によって電源配線111、112が電氣的に共通化されていると共に、共通配線を介して冗長させて電源配線111、112間を接続することにより、例えば、製造過程においてパターンングした際に静電気が発生した場合でも、電荷が集中して配線などが破壊する前に共通配線に電荷を流すことによって電荷の集中を緩和させることが可能となる。言い換えれば、電荷を分散させることが可能となる。よって、配線やトランジスタが静電破壊するような不具合を抑えることができる。

20

【0078】

また、導電体121、122は、電源配線111、112間を中継すると共に、突入する静電気に対する抵抗付加の役割も兼ねている。更に、配線103aに近いコンタクトホールCNT131、CNT133の接続抵抗が、コンタクトホールCNT132、CNT134の接続抵抗に比べて高いことが望ましい。よって、突入する電荷をより緩和させることができる。

30

【0079】

また、導電体121、122を経由して更に下層の配線103aに接続するので、メタル配線である電源配線111、112と配線103aとの距離を離すことが可能となる。よって、電源配線111、112と配線103aとの距離が近い場合など、電荷の集中が緩和できないなどの問題を抑えることができる。加えて、絶縁膜破壊などの発生を抑えることができる。

【0080】

なお、導電体121、122は、例えば、タングステンシリサイド膜とポリシリコン膜の積層構造である。膜厚は、例えば、各々100nmである。配線103aは、例えば、タングステンシリサイドで構成されている。膜厚は、例えば、200nmである。

40

【0081】

また、第1VDD電源配線111、第2VDD電源配線112、VSS電源配線113などは、例えば、チタン(Ti)、窒化チタン(TiN)、アルミニウム(Al)・シリコン(Si)・銅(Cu)の合金膜、窒化チタン(TiN)の4層積層構造になっている。

【0082】

<電子機器の構成>

図7は、上記した液晶装置を備えた電子機器としての投射型表示装置の構成を示す概略図である。以下、液晶装置を備えた投射型表示装置の構成を、図7を参照しながら説明す

50

る。

【 0 0 8 3 】

図 7 に示すように、本実施形態の電子機器としての投射型表示装置 1 0 0 0 は、システム光軸 L に沿って配置された偏光照明装置 1 1 0 0 と、光分離素子としての 2 つのダイクロイックミラー 1 1 0 4 , 1 1 0 5 と、3 つの反射ミラー 1 1 0 6 , 1 1 0 7 , 1 1 0 8 と、5 つのリレーレンズ 1 2 0 1 , 1 2 0 2 , 1 2 0 3 , 1 2 0 4 , 1 2 0 5 と、3 つの光変調手段としての透過型の液晶ライトバルブ 1 2 1 0 , 1 2 2 0 , 1 2 3 0 と、光合成素子としてのクロスダイクロイックプリズム 1 2 0 6 と、投射レンズ 1 2 0 7 とを備えている。

【 0 0 8 4 】

偏光照明装置 1 1 0 0 は、超高圧水銀灯やハロゲンランプなどの白色光源からなる光源としてのランプユニット 1 1 0 1 と、インテグレートレンズ 1 1 0 2 と、偏光変換素子 1 1 0 3 とから概略構成されている。

【 0 0 8 5 】

ダイクロイックミラー 1 1 0 4 は、偏光照明装置 1 1 0 0 から射出された偏光光束のうち、赤色光 (R) を反射させ、緑色光 (G) と青色光 (B) とを透過させる。もう 1 つのダイクロイックミラー 1 1 0 5 は、ダイクロイックミラー 1 1 0 4 を透過した緑色光 (G) を反射させ、青色光 (B) を透過させる。

【 0 0 8 6 】

ダイクロイックミラー 1 1 0 4 で反射した赤色光 (R) は、反射ミラー 1 1 0 6 で反射した後リレーレンズ 1 2 0 5 を経由して液晶ライトバルブ 1 2 1 0 に入射する。ダイクロイックミラー 1 1 0 5 で反射した緑色光 (G) は、リレーレンズ 1 2 0 4 を経由して液晶ライトバルブ 1 2 2 0 に入射する。ダイクロイックミラー 1 1 0 5 を透過した青色光 (B) は、3 つのリレーレンズ 1 2 0 1 , 1 2 0 2 , 1 2 0 3 と 2 つの反射ミラー 1 1 0 7 , 1 1 0 8 とからなる導光系を經由して液晶ライトバルブ 1 2 3 0 に入射する。

【 0 0 8 7 】

液晶ライトバルブ 1 2 1 0 , 1 2 2 0 , 1 2 3 0 は、クロスダイクロイックプリズム 1 2 0 6 の色光ごとの入射面に対してそれぞれ対向配置されている。液晶ライトバルブ 1 2 1 0 , 1 2 2 0 , 1 2 3 0 に入射した色光は、映像情報 (映像信号) に基づいて変調されクロスダイクロイックプリズム 1 2 0 6 に向けて射出される。このプリズムは、4 つの直角プリズムが貼り合わされ、その内面に赤色光を反射する誘電体多層膜と青色光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって 3 つの色光が合成されて、カラー画像を表す光が合成される。合成された光は、投射光学系である投射レンズ 1 2 0 7 によってスクリーン 1 3 0 0 上に投射され、画像が拡大されて表示される。

【 0 0 8 8 】

液晶ライトバルブ 1 2 1 0 は、上述した液晶装置 1 0 0 が適用されたものである。液晶装置 1 0 0 は、色光の入射側と射出側とにおいてクロスニコルに配置された一対の偏光素子の間に隙間を置いて配置されている。他の液晶ライトバルブ 1 2 2 0 , 1 2 3 0 も同様である。

【 0 0 8 9 】

このような投射型表示装置 1 0 0 0 によれば、上記した液晶装置 1 0 0 が採用された液晶モジュールを介すことによって、品質の信頼性を向上させることが可能な電子機器を提供することができる。

【 0 0 9 0 】

以上詳述したように、本実施形態の液晶装置 1 0 0 、及び電子機器によれば、以下に示す効果が得られる。

【 0 0 9 1 】

(1) 本実施形態の液晶装置 1 0 0 によれば、第 1 V D D 電源配線 1 1 1 と第 2 V D D 電源配線 1 1 2 とが、その下層に設けられた、共通配線を構成する第 1 導電体 1 2 1 、第

10

20

30

40

50

2 導電体 1 2 2、配線 1 0 3 a、これらを接続するコンタクトホール CNT 1 3 1 ~ CNT 1 3 4 を介して、電氣的に共通化されているので、電源配線 1 1 1、1 1 2 に接続されるトランジスタや配線などをパターニングする際に静電気が発生したとしても、これら冗長させて引き回した共通配線に電荷を流すことが可能となり、静電気が一部分に集中することを防ぐことが可能となる。よって、静電気が緩和され、電源が供給される電源配線 1 1 1、1 1 2 に接続されたトランジスタや配線が静電破壊することを抑えることができる。更に、導電体 1 2 1、1 2 2 を突入抵抗として用いることができ、この部分で電荷を消費させることが可能となる。

【0092】

(2) 本実施形態の電子機器によれば、上記に記載の液晶装置 1 0 0 を備えているので、周辺回路 1 0 1 に設けられた電源配線 1 1 1、1 1 2 に接続されたトランジスタや配線を静電気から保護することができ、信頼性や歩留まりを向上させることが可能な電子機器を提供することができる。

10

【0093】

なお、本発明は、上記した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨あるいは思想に反しない範囲で適宜変更可能であり、本発明の技術範囲に含まれるものである。また、以下のような形態で実施することもできる。

【0094】

(変形例 1)

上記した液晶装置 1 0 0 の構造であることに限定されず、電源配線、それよりも下層に設けられた第 1 導電体、第 2 導電体、及び配線を有する構造であれば、その他の構造の電気光学装置に適用するようにしてもよい。

20

【0095】

(変形例 2)

上記したように、第 1 VDD 電源配線 1 1 1 と第 2 VDD 電源配線 1 1 2 を共通配線 (コンタクトホール、導電体、配線) によって電氣的に共通化 (同電位) することに限定されず、その他の電源配線を電氣的に共通化するようにしてもよい。例えば、データ線駆動回路 2 2 に接続された VSS 電源配線と、走査線駆動回路 2 4 に接続された VSS 電源配線とを、共通配線を用いて電氣的に共通化するようにしてもよい。

【0096】

(変形例 3)

上記した電気光学装置は、液晶装置 1 0 0 であることに限定されず、例えば、有機 EL (Electro Luminescence) 装置、電気泳動装置などの表示装置にも適用することができる。また、反射型液晶装置 (LCOS)、プラズマディスプレイ (PDP)、電界放出型ディスプレイ (FED、SED)、デジタルマイクロミラーデバイス (DMD) にも適用可能である。

30

【0097】

(変形例 4)

上記したように、電子機器として投射型表示装置 1 0 0 0 (プロジェクター) を例に説明してきたが、これに限定されず、例えば、ビューワー、ビューファインダー、ヘッドマウントディスプレイなどに適用するようにしてもよい。また、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダー型又はモニター直視型のビデオテープレコーダー、ワークステーション、モバイル型のパーソナルコンピューター、テレビ電話、POS 端末、ページャー、電卓、タッチパネルなどの各種電子機器、また、電子ペーパーなどの電気泳動装置、カーナビゲーション装置等に適用するようにしてもよい。

40

【符号の説明】

【0098】

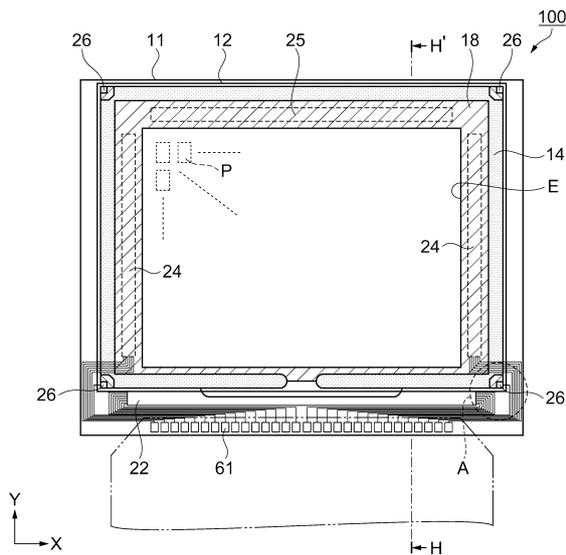
3 a ... 走査線、3 b ... 容量線、6 a ... データ線、1 0 ... 素子基板、1 1 ... 第 1 基板、1 1 a ... 下地絶縁層、1 1 b ... 第 1 層間絶縁層、1 1 c ... 第 2 層間絶縁層、1 1 d ... 第 3 層間絶縁層、1 1 e ... 第 4 層間絶縁層、1 1 f ... 第 5 層間絶縁層、1 2 ... 第 2 基板、1 4 ...

50

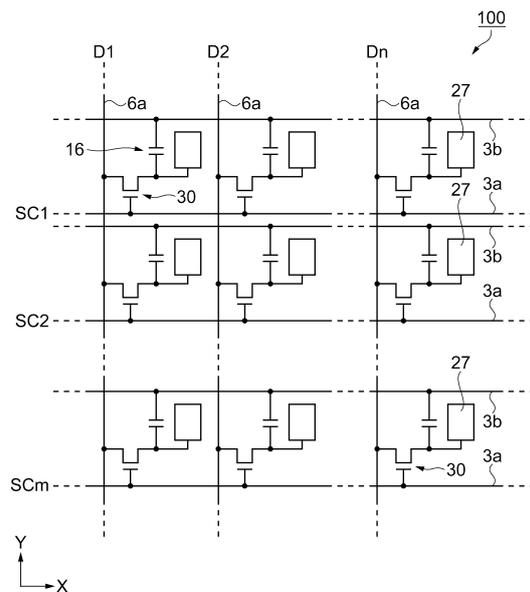
シール材、15...液晶層、16...容量素子、16a...第1容量電極、16b...誘電体層、16c...第2容量電極、18...遮光層、20...対向基板、22...データ線駆動回路、24...走査線駆動回路、25...検査回路、26...上下導通部、27...画素電極、28...配向膜、30...TFT、30a...半導体層、30c...チャンネル領域、30d...画素電極側ソースドレイン領域、30g...ゲート電極、30s...データ線側ソースドレイン領域、31...共通電極、32...配向膜、41, 42, 43, 44, 65, 66, 131, 132, 133, 134...コンタクトホール、47...中継電極、51...中継層、61...外部接続端子、100...液晶装置、101...周辺回路、103a...配線、111...第1電源配線としての第1VDD電源配線、112...第2電源配線としての第2VDD電源配線、113...VSS電源配線、114...信号配線、121...第1導電体、122...第2導電体、1000...投射型表示装置、1100...偏光照明装置、1101...ランプユニット、1102...インテグレートレンズ、1103...偏光変換素子、1104, 1105...ダイクロイックミラー、1106, 1107, 1108...反射ミラー、1201, 1202, 1203, 1204, 1205...リレーレンズ、1206...クロスダイクロイックプリズム、1207...投射レンズ、1210, 1220, 1230...液晶ライトバルブ、1300...スクリーン。

10

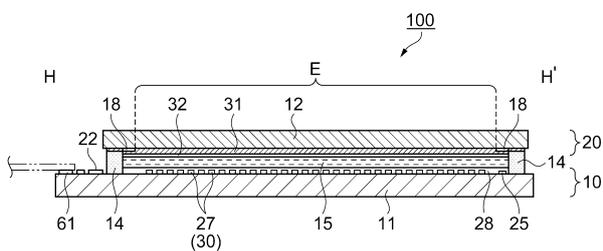
【図1】



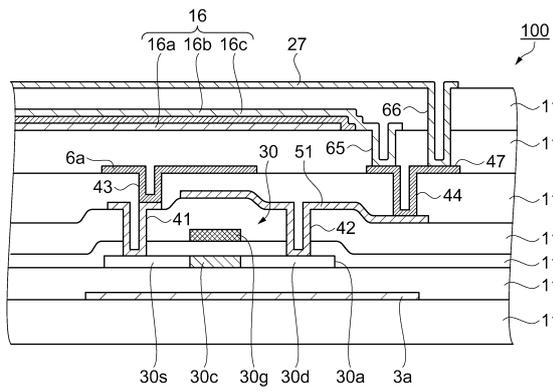
【図3】



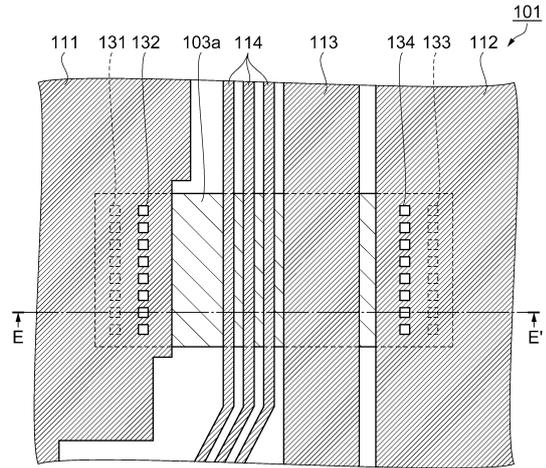
【図2】



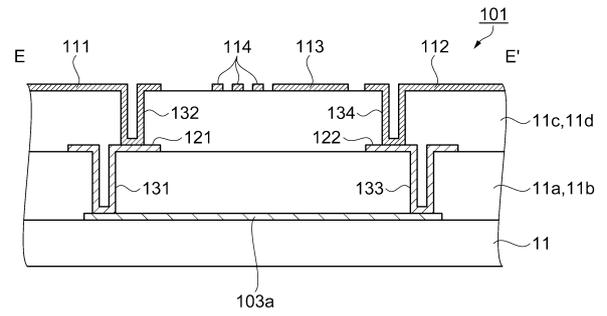
【図4】



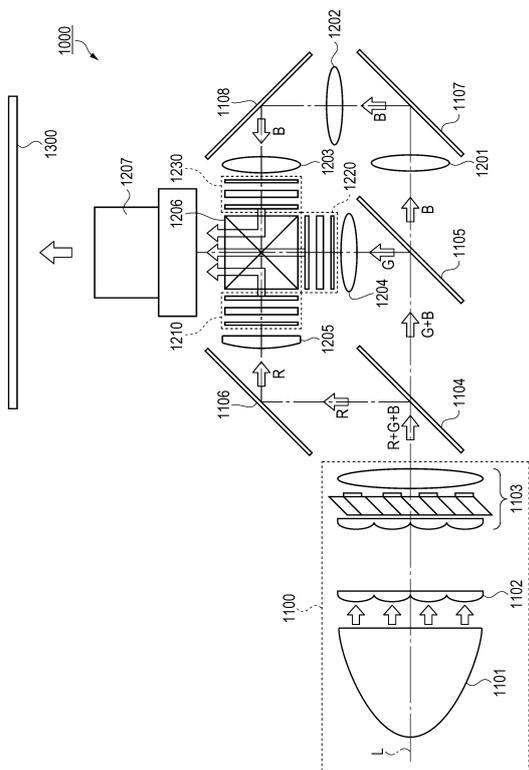
【図5】



【図6】



【図7】



フロントページの続き

- (56)参考文献 特開平 1 1 - 2 3 3 7 7 7 (J P , A)
特開 2 0 0 7 - 0 6 5 1 5 7 (J P , A)
特開 2 0 0 0 - 1 6 2 6 3 4 (J P , A)
特開 2 0 0 4 - 1 3 9 9 7 0 (J P , A)
特開 2 0 0 8 - 2 4 1 5 1 1 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 9 F 9 / 3 0 - 9 / 4 6
H 0 1 L 2 7 / 3 2、5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
G 0 2 F 1 / 1 3 - 1 / 1 4 1