

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年12月27日 (27.12.2002)

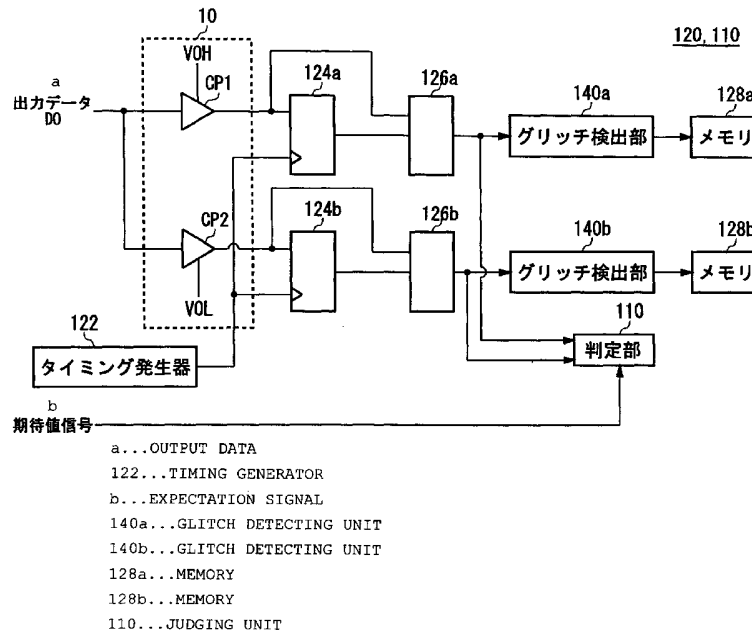
PCT

(10) 国際公開番号
WO 02/103379 A1

- (51) 国際特許分類: **G01R 31/319**
 - (21) 国際出願番号: PCT/JP02/05924
 - (22) 国際出願日: 2002年6月13日 (13.06.2002)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願2001-179106 2001年6月13日 (13.06.2001) JP
 - (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都練馬区旭町 1丁目3番1号 Tokyo (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 土井 優
 - (74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒160-0022 東京都新宿区新宿 1丁目2番12号 東信ビル6階 Tokyo (JP).
 - (81) 指定国 (国内): DE, JP, US.
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE TESTING INSTRUMENT AND SEMICONDUCTOR DEVICE TESTING METHOD

(54) 発明の名称: 半導体デバイス試験装置、及び半導体デバイス試験方法



(57) Abstract: Strobe pulses of multi-phase pulses having small phase differences between the timings of the rise and fall of data read out of a semiconductor device under test and the timings of the rise and fall of reference clocks outputted simultaneously with the data is used for sampling. The phase differences between the timings of the data and the timings of the reference clocks are determined. Glitches of the data are detected. The semiconductor device under test is judged if it is acceptable from the phase differences and/or glitches.

[続葉有]



WO 02/103379 A1



(57) 要約:

被試験半導体デバイスから読み出される各データの立上り又は立下りのタイミングと、これらのデータに同期して出力される基準クロックの立上り又は立下りのタイミングのそれぞれをわずかずつ位相差が与えられた多相パルスで構成されたストロブパルスでサンプリング動作して各データのタイミングと基準クロックのタイミングとの位相差をそれぞれ計測する。また、各データのグリッチを検出し、位相差及び／又はグリッチに基づいて被試験半導体デバイスの良否を判定する。

明 細 書

半導体デバイス試験装置、及び半導体デバイス試験方法

5 技術分野

本発明は、高速で書き込み、および読み出しが可能なメモリを装備した半導体デバイスを試験する場合に用いて好適な半導体デバイス試験方法およびこの試験方法を用いて動作する半導体デバイス試験装置に関する。また本出願は、下記の日本特許出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願 2001-179106

出願日 2001年6月13日

背景技術

15 この発明に係わる従来の技術を説明する前に念のため一般的な半導体デバイスを試験する半導体デバイス試験装置の概要を説明する。図25は、従来の半導体デバイス試験装置の構成を示す。図25中T E Sは半導体デバイス試験装置の全体を示す。半導体デバイス試験装置T E Sは主制御器13と、パターン発生部14、タイミング発生器15、波形フォーマッタ16、論理比較器12、ドライバ17、信号読取回路11、不良解析メモリ18、論理振幅基準電圧源19、比較基準電圧源21、デバイス電源22等により構成される。

主制御器13は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にパターン発生部14とタイミング発生器15を制御し、パターン発生部14から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ16で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源19で設定した振幅値を持った波形に電圧増幅するドライバ17を通じて被試験半導体デバイスDUTに印加

し記憶させる。

被試験半導体デバイスDUTから読み出した応答信号は信号読取回路11でその論理値を読み取る。論理比較器12は信号読取回路11で読み取った論理値がパターン発生部14から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ18に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

図25は1ピン分の試験装置の構成を示すが現実には、この構成が被試験半導体デバイスDUTのピン数分は設けられ、各ピン毎にテストパターンの入力と、被試験半導体デバイスDUTの応答信号の取り込みが実行される。以上は一般的な半導体デバイスを試験する半導体デバイス試験装置の構成である。

ところで半導体素子で構成されるメモリ等の半導体デバイスの品種の中にはクロックと共にデータを入力しクロックに同期して半導体デバイスへデータを書き込み、クロックと共にクロックに同期したデータが半導体デバイスから出力され、このクロックのタイミングを利用してデータの受け渡しを行うメモリが存在する。

図26は、この種のメモリの読み出し時の様子を示す。図26Aに示すDA、DB、DC…は半導体デバイスから出力されるデータ（ある1つのピンから出力されたデータ）を示す。TD1、TD2…は各テストサイクルを示す。図26Bに示すDQSはメモリから出力されるクロックを示す。データDA、DB、DC…はこのクロックDQSに同期して半導体デバイスから出力される。このクロックは実用されている状態では他の回路にデータDA、DB、DC…を受け渡す際の同期信号（データストロブ）として利用される。

この種の半導体デバイスを試験する場合の試験項目の一つに、各クロックDQS（以下このクロックを基準クロックと称す）の立上りおよび立下りのタイミングから、データの変化点までの時間差（位相差）dI1、dI2、dI3…を測定する項目がある。これらの時間差dI1、dI2、dI3…が例えば極力短い

程応答が速く優れた特性を持つデバイスとして評価される。この時間差の長短によって被試験半導体デバイスのグレードが決定される。

被試験半導体デバイスから出力される基準クロックDQSは実用されている状態ではクロック源で生成されたクロックが半導体デバイスに印加され、このクロックが半導体デバイスの内部の回路に配給され、このクロックに同期してデータが出力される。従って、半導体デバイス試験装置で試験を行う場合にも半導体デバイス試験装置側から被試験半導体デバイスにクロックを印加し、そのクロックが被試験半導体デバイスの内部を通り、データと共にデータ受渡しのための基準クロックとして出力される。従って、この基準クロックの立上りと立下りのタイミングを測定し、この測定した立上りと立下りのタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…を測定することになる。

上述したように半導体デバイスから出力される基準クロックはその半導体デバイスの内部を通過して出力されるため、その立上りのタイミングおよび立下りのタイミングはこの半導体デバイスの内部及び温度等の外的環境の影響を大きく受け、図27に示すように各半導体デバイス毎に基準クロックDQS1、DQS2、DQS3…の位相に差が発生する現象が見られる。さらに位相の差は各半導体デバイスの違いによるものに加えて、半導体デバイスの内部でもアクセスするメモリのアドレスの違い、時間の経過（熱的な変化）に従って変動するいわゆるジッタJが発生する現象も見られる。

従って、基準クロックDQSの立上りのタイミングおよび立下りのタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…を正確に測定するためには、まず半導体デバイスから出力される基準クロックDQSの立上りのタイミングおよび立下りのタイミングを正確に測定しなければならない。このため、従来は半導体デバイス試験装置に装備している信号読取回路のストロブの印加タイミングを漸次移動させ、基準クロックDQSの立上りおよび立下りのタイミングを測定し、その測定結果を使って時間dI1、dI2、

d I 3…を測定している。

図 2 8 は、従来用いられている基準クロック D Q S の立上りおよび立下りのタイミングを測定するための部分を示す。レベル比較器 1 0 は一対の電圧比較器 C P 1 と C P 2 によって構成され、これら一対の電圧比較器 C P 1 と C P 2 により
5 被試験半導体デバイス D U T が出力する基準クロック D Q S の論理値が正規の電圧条件を満たしているか否かを判定する。電圧比較器 C P 1 は基準クロック D Q S の H 論理の電圧値が正規の電圧値 V O H 以上であるか否かを判定する。また電圧比較器 C P 2 は基準クロック D Q S の L 論理側の電圧値が正規の電圧 V O L 以下であるか否かを判定する。

10 これらの判定結果を信号読取回路 1 1 に入力し、この信号読取回路 1 1 で基準クロック D Q S の立上りのタイミングおよび立下りのタイミングを測定する。信号読取回路 1 1 はストローク S T B の印加タイミング毎にそのとき入力されている論理値を読み取る動作を実行する。

図 2 9 は、D Q S に対するストロークの位相の一例を示す。ストローク S T B
15 は図 2 9 に示すように各テストサイクル毎に少しずつ位相差 (τT) が与えられて印加される。つまり、テストサイクル毎にストローク S T B が信号読取回路 1 1 に 1 個ずつ与えられて電圧比較器 C P 1 および C P 2 の出力の状態を読み取る動作を実行する。

論理比較器 1 2 は信号読取回路 1 1 が出力する論理値と予め定めた期待値 (図
20 2 8 の例では H 論理) とを比較し、信号読取回路 1 1 が出力する論理値が期待値と一致した時点でパス (良) を表わすパス信号 P A を出力する。レベル比較器 1 0 の出力が H 論理に反転したことを読み取ったストローク S T B 1 (図 2 9 B) の発生タイミング (ストローク S T B の発生タイミングは既知) から時間 T 1 (図 2 9 C) を知り基準クロック D Q S の立上りのタイミングを決定する。

25 基準クロック D Q S の立下りのタイミングを検出する場合はストローク S T B の発生は基準クロック D Q S の H 論理に立上ったタイミングより後のタイミングで発生を開始し、立上りの検出と同様に電圧比較器 C P 2 の出力が H 論理に

反転した状態を読み取ったストロープにより立下りのタイミングを検出する。

上述したように、従来は基準クロックDQSの発生タイミングを半導体試験装置に装備している信号読取回路11とこの信号読取回路11に印加するストロープSTBを用いたタイミング測定手段を利用して測定しているから基準クロックDQSの立上りおよび立下りのタイミングを測定するだけでもテストサイクルTDを何サイクルも繰り返し実行しなくてはならないため、時間がかかる欠点がある。

しかも、基準クロックDQSの立上りおよび立下りのタイミングの測定は試験すべき被試験メモリの全てのアドレス、あるいは発熱によるジッタの影響を回避する場合には試験パターンの開始から終了までの全てにわたって測定しなければならないから、基準クロックの立上りおよび立下りのタイミングを測定するには長い時間が必要となる。基準クロックDQSの立上りおよび立下りのタイミングを測定する時間を短くする方法としてはストロープSTBに与える位相差 τ_T を粗く採り、テストサイクルの実行回数を減らすことも考えられるが、ストロープSTBに与える位相差 τ_T を粗く変化させると、基準クロックDQSの立上りおよび立下りのタイミング測定の精度が低下し、この結果として基準クロックDQSとデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…の測定結果の信頼性が低下する欠点がある。

そこで本発明は、上記の課題を解決することのできる半導体デバイス試験装置、及び半導体デバイス試験方法を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

発明の開示

上記課題を解決するために、本発明の第1の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験装置であって、わずかずつ位相の異なる複数のストロープを有するマルチストロープを

発生するマルチストローク発生器と、マルチストロークに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出部と、マルチストロークに基づいて、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックの立上がり又は立下がりのタイミングを検出する基準クロック変化点検出部と、出力データ変化点検出部が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、半導体デバイスの良否を判定する判定部とを備えることを特徴とする半導体デバイス試験装置を提供する。

- 10 判定部は、出力データ変化点検出部が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、半導体デバイスの良否を判定してよい。

- 15 マルチストローク発生器は、出力データの値の変化点を検出するための第1マルチストロークと、基準クロックの値の変化点を検出するための第2マルチストロークとを生成してよい。

- 出力データ、及び基準クロックを、H論理又はL論理で表されるデジタルデータに変換するレベル比較器を更に備え、出力データ変化点検出部は、第1マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された出力データの値を検出し、第1マルチストロークのうちの第1のストロークの位相における出力データの値と、第1のストロークに隣接する第2のストロークの位相における出力データの値とが異なる場合に、第1のストロークの位相を、出力データの値の変化点として検出し、基準クロック変化点検出部は、第2マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された基準クロックの値を検出し、第2マルチストロークのうちの第3のストロークの位相における基準クロックの値と、第3のストロークに隣接する第4のストロークの位相における基準クロックの値とが異なる場合に、第3のストロ

ープの位相を、基準クロックの値の変化点として検出し、判定部は、出力データの値の変化点と、基準クロックの値の変化点とに基づいて、半導体デバイスの良否を判定してよい。

判定部は、出力データ変化点検出部が、第1マルチストロープのいずれのストロープのタイミングにおいて、出力データの値の変化点を検出したかを示す、第1マルチストロープのストロープ番号と、基準クロック変化点検出部が、第2マルチストロープのいずれのストロープのタイミングにおいて、基準クロックの値の変化点を検出したかを示す、第2マルチストロープのストロープ番号との番号差が、予め定められた範囲で有るか否かに基づいて、半導体デバイスの良否を判定してよい。

判定部は、出力データの値の変化点を検出した、第1マルチストロープのストロープ番号と、基準クロックの値の変化点を検出した、第2マルチストロープのストロープ番号とのそれぞれの組み合わせに対する、半導体デバイスの良否を定める参照表を格納するメモリを有し、参照表に基づいて、半導体デバイスの良否を判定してよい。

出力データ変化点検出部は、出力データの値の変化点において、デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有してよい。

出力データ変化点検出部は、複数の出力データの値の変化点を検出した場合に、位相の最も早い変化点、又は位相の最も遅い変化点を、出力データの値の変化点としてよい。

半導体デバイス試験装置は、出力データ変化点検出部が検出した、出力データの波形の立上がり又は立下がりのタイミングに基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出部を更に備えてよい。

判定部は、グリッチ検出部が検出したグリッチの有無に更に基づいて、半導体デバイスの良否を判定してよい。

グリッチ検出部は、出力データの値の変化点に基づいて、出力データにおける

グリッチの有無を検出してよい。

グリッチ検出部は、出力データの値の変化点が2以上有る場合に、出力データにグリッチが有ると判定してよい。

マルチストローク発生器は、遅延時間の異なる複数の遅延素子を有し、複数の
5 それぞれにストロークを供給し、複数の遅延素子がそれぞれ異なる時間遅延させて出力する複数のストロークを、マルチストロークとして出力してよい。

マルチストローク発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストロークを供給し、複数の遅延素子がそれぞれ遅延させて出力するストロークに基づいて、マルチストロークを発生してよい。

10 本発明の第2の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験装置であって、出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する第1マルチストローク発生器と、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックの波形の立上がり又は立下がりのタイミングである出力タイミングを計測する
15 基準位相計測部と、出力タイミングを記憶する基準位相記憶部と、第1マルチストロークに基づいて、出力データの値の変化点を検出する変化点検出部と、出力タイミングと、出力データの値の変化点との位相差を計測する位相差計測部と、位相差に基づいて、半導体デバイスの良否を判定する判定部とを備えることを特徴とする半導体デバイス試験装置を提供する。
20

第1マルチストローク発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストロークを供給し、複数の遅延素子がそれぞれ遅延させて出力するストロークに基づいて、第1マルチストロークを発生してよい。

25 変化点検出部は、出力データを、H論理又はL論理で表されるデジタルデータに変換する手段を有し、変化点検出部は、第1マルチストロークのそれぞれのストロークの位相におけるデジタルデータの値を検出し、第1マルチストロークのうちの第1のストロークの位相におけるデジタルデータの値と、第1の

トローブに隣接する第2のストローブの位相におけるデジタルデータの値と異なる場合に、第1のストローブの位相を、出力データの値の変化点として検出してよい。

5 変化点検出部は、変化点において、デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有してよい。

変化点検出部は、複数の出力データの値の変化点を検出した場合に、位相の最も早い変化点、又は位相の最も遅い変化点を、出力データの値の変化点としてよい。

10 基準位相計測部は、基準クロックに対して、わずかずつ位相の異なる複数のストローブを有する第2マルチストローブを発生する手段と、第2マルチストローブに基づいて、基準クロックの値の変化点を検出する手段と、基準クロックの値の変化点を検出した第2マルチストローブのストローブ番号に基づいて、基準クロックの出力タイミングを算出する手段とを有してよい。

15 基準位相記憶部は、基準クロックの値の変化点を検出した第2マルチストローブのストローブ番号を格納してよい。

第1マルチストローブ発生器は、基準位相記憶部が格納した第2マルチストローブのストローブ番号に基づいて、第1マルチストローブの位相を定めてよい。

半導体デバイス試験装置は、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出部を更に備えてよい。

20 判定部は、グリッチの有無に更に基づいて、半導体デバイスの良否を判定してよい。

グリッチ検出部は、変化点検出部が検出した出力データの値の変化点が、2点以上有る場合に、出力データにグリッチが有ると判定してよい。

25 本発明の第3の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験方法であって、出力データに対して、わずかずつ位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生段階と、第1マルチストローブに基づいて、出

カデータの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出段階と、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックに対して、わずかずつ位相の異なる複数のストロークを有する第2マルチストロークを発生する第2マルチストローク発生段階と、第2マルチストロークに基づいて、基準クロックの波形の立上がり又は立下がりのタイミングを検出する基準クロック変化点検出段階と、出力データ変化点検出段階が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出段階が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、半導体デバイスの良否を判定する判定段階とを備えることを特徴とする半導体デバイス試験方法を提供する。

半導体デバイス試験方法は、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備え、判定段階は、グリッチ検出段階が検出したグリッチの有無に更に基づいて半導体デバイスの良否を判定してよい。

本発明の第4の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験方法であって、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックの、出力タイミングを計測する基準位相計測段階と、出力タイミングを記憶する基準位相記憶段階と、出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する第1マルチストローク発生段階と、第1マルチストロークに基づいて、出力データの値の変化点を検出する出力データ変化点検出段階と、出力タイミングと、出力データの値の変化点との位相差を計測する位相差計測段階と、位相差に基づいて、半導体デバイスの良否を判定する判定段階とを備えることを特徴とする半導体デバイス試験方法を提供する。

半導体デバイス試験方法は、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備えてよい。

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

図面の簡単な説明

- 5 図1は、本発明に係る試験装置100の構成の一例を示す。
図2は、半導体デバイス試験装置100の処理部120及び判定部110の詳細な構成の一例を示す。
図3は、第2マルチストロープ発生器30が発生する第2マルチストロープの一例を示す。
- 10 図4は、第2マルチストロープ発生器30が発生する第2マルチストロープの他の例を示す。
図5は、信号読取回路40及び比較判定手段50の構成の一例を示す。
図6は、変換手段31の動作アルゴリズムを示す。
図7は、タイミング選択回路33の構成の一例を示す。
- 15 図8は、第2マルチストロープ発生器30の変形実施例を示す。
図9は、処理部120及び判定部110の構成の他の例を示す。
図10は、データストロープ番号変換手段31D及び基準ストロープ番号変換手段31Rの動作アルゴリズムを示す。
図11は、位相比較部60の構成の一例を示す。
- 20 図12は、位相比較部60における演算の一例を示す。
図13は、位相比較部60における演算の他の例を示す。
図14は、良否判定手段70とスペック設定器71の構成の一例を示す。
図15は、処理部120及び判定部110の変形実施例を示す。
図16は、メモリ80が格納する参照表の一例を示す。
- 25 図17は、処理部120及び判定部110の構成の他の例を示す。
図18は、グリッチ検出部140の構成の一例を示す。
図19は、プライオリティエンコーダ144の構成の一例を示す。

図20は、図19に示したプライオリティエンコーダ144が受け取るデジタル信号と、出力するデジタル信号の一例を示す。

図21は、検出器146の構成の一例を示す。

5 図22は、メモリ128が格納するデータの処理及びデータ構成の一例を示す。

図23は、本発明に係る半導体デバイス試験方法の一例のフローチャートを示す。

図24は、本発明に係る半導体デバイス試験方法の他の例のフローチャートを示す。

10 図25は、従来の半導体デバイス試験装置の構成を示す。

図26は、メモリの読み出し時の様子を示す。

図27は、各半導体デバイス毎に基準クロックDQS1、DQS2、DQS3…の位相に差が発生する現象を示す。

15 図28は、従来用いられている基準クロックDQSの立上りおよび立下りのタイミングを測定するための部分を示す。

図29は、DQSに対するストロブの位相の一例を示す。

発明を実施するための最良の形態

20 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

25 図1は、本発明に係る半導体デバイス試験装置100の構成の一例を示す。半導体デバイス試験装置100は、半導体デバイス(DUT)108を試験するための試験パターンを生成するパターン発生部102と、試験パターンを整形し、半導体デバイス108に供給する波形整形部104と、半導体デバイス108が当該試験パターンに基づいて出力する出力データを処理する処理部120と、処理部120が処理した出力データと、パターン発生部102が試験パターンに基づいて生成し

た期待値信号とに基づいて、半導体デバイス108の良否を判定する判定部110とを備える。

パターン発生部102は、例えば利用者が生成した試験プログラムに基づいた試験パターンを生成し、波形整形部104に供給する。また、パターン発生部102は、生成した試験パターンに基づいて、半導体デバイス108が当該試験パターンを受け取った場合に出力すべき期待値信号を生成する。波形整形部104は、受け取った試験パターンを整形し、半導体デバイス108に供給する。例えば、波形整形部104は、利用者が生成した試験プログラムに基づいて、試験パターンを遅延させ、所望のタイミングで半導体デバイス108に試験パターンを供給する。

10 処理部120は、半導体デバイス108が、入力された試験パターンに基づいて出力する出力データ、及び出力データの受け渡しのタイミングを定める信号であって、半導体デバイス108が出力データに付随して出力する基準クロック(DQS)を受け取り、受け取った信号に所定の処理を施し、判定部110に供給する。判定部110は、処理部120から受け取った信号と、パターン発生部102から受け取った期待値信号とに基づいて、半導体デバイス108の良否を判定する。例えば、判定部110は、処理部120から受け取った信号と、パターン発生部102から受け取った期待値信号とが一致した場合に、半導体デバイス108を良品と判定する。以下、処理部120及び判定部110の構成及び動作について詳細に説明する。

20 図2は、半導体デバイス試験装置100の処理部120及び判定部110の詳細な構成の一例を示す。処理部120は一例として、基準クロックDQSを出力するピンに対してレベル比較器10と、基準位相計測部172と、基準位相記憶部とを有する。当該基準位相計測部172は、第2マルチストロブ発生器30と、複数の信号読取回路40と、比較判定手段50と、比較判定手段50の判定結果をマルチストロブのストロブ番号に変換する変換手段31とを有する。基準位相計測部172は、出力データの受け渡しのタイミングを定める信号であって、半導体デバイス108が、出力データに付随して出力する基準クロックDQSの、出力タイミングを計測する。

本例において、第2マルチストローク発生器30は、遅延時間がわずかつ異なる値に設定された複数の遅延素子DY1、DY2、DY3、DY4、DY5…、DYN（ただしNは整数）を有する。第2マルチストローク発生器30は、複数の遅延素子のそれぞれにタイミングストロークを供給し、複数の遅延素子がそれぞれ遅延させて出力するタイミングストロークに基づいて、第2マルチストロークを発生する。当該タイミングストロークは、例えばパルス信号であってよい。第2マルチストローク発生器30は、基準クロックDQSに対して、わずかつ位相の異なる複数のストロークを有する第2マルチストロークを発生する。各遅延素子DY1、DY2、DY3、DY4、DY5…、DYNの遅延時間に例えば100PS（ピコ秒）ずつの時間差を持たせることにより、100PSの時間差を持つ第2マルチストロークを発生させることができる。また、マルチストローク発生器30は、後述する第1マルチストローク発生器154（図18参照）と同様に、縦続接続された複数の遅延素子を有してよい。

信号読取回路40及び比較判定手段50は、第2マルチストローク発生器30が発生した第2マルチストロークに基づいて、基準クロックDQSの値の変化点を検出する。変換手段31は、基準クロックDQSの値の変化点を検出した第2マルチストロークの、いずれのストロークが基準クロックDQSの値の変化点を検出したかを示すストローク番号を、メモリ32に供給する。例えば、第2マルチストロークを構成する複数のストロークに対して、位相の早いストロークから昇順に番号が与えられ、変換手段31は、基準クロックDQSの値の変化点を検出したストロークの番号をメモリ32に供給する。基準位相計測部172は、基準クロックDQSの値の変化点を検出した第2マルチストロークのストローク番号に基づいて、基準クロックDQSの出力タイミングを算出してよい。

基準位相記憶部は、図2におけるメモリ32であってよく、基準位相計測部172が計測した基準クロックDQSの出力タイミングを記憶する。本例において、メモリ32は、基準クロックDQSの出力タイミングとして、変換手段31が変換したストローク番号を記憶する。つまり、基準位相記憶部であるメモリ32は、基準

クロックDQSの値の変化点を検出した第2マルチストローブのストローブ番号を格納する。

また、処理部120は、タイミング選択回路33、及び第1マルチストローブ発生器34を更に有する。タイミング選択回路33は、テスト時にメモリ32から読み出したストローブ番号から、第1マルチストローブ発生器34が発生する第1マルチストローブSTBの発生タイミングを選択して出力する。第1マルチストローブ発生器34は、タイミング選択回路33で選択したタイミングで第1マルチストローブSTBを発生する。本例において、第1マルチストローブ発生器34は、第2マルチストローブ発生器30と同一又は同様の機能及び構成を有する。また、判定部110は一例として、信号読取回路11と、論理比較器12と、不良解析メモリ18とを有する。信号読取回路11及び論理比較器12は、図28に関連して説明した信号読取回路11及び論理比較器12と同一又は同様の機能及び構成を有する。信号読取回路11は、第1マルチストローブSTBのそれぞれのストローブのタイミングにおける、半導体デバイス108の出力信号の値を検出する。論理比較器12は、信号読取回路11が検出した出力信号の値と、期待値とを比較する。不良解析メモリ18は、論理比較器12が、出力信号と期待値とを比較した結果を格納する。図1に関連して説明したパターン発生部102は、試験パターンに基づく当該期待値を論理比較器12に供給してよい。

図3は、第2マルチストローブ発生器30が発生する第2マルチストローブの一例を示す。テストサイクルTDの所定の位相位置から例えば100PSずつ、位相差が与えられた第2マルチストローブP1、P2、P3、P4…、Pn（ただしnは整数）が信号読取回路40の各回路TC1、TC2、TC3、TC4、TC5…、TCn（ただしnは整数）のタイミング入力端子に与えられる。本例において、第2マルチストローブの相数を6、すなわちn=6として説明する。また、本例では、基準クロックDQSの立上がりのタイミングを測定する例について説明する。

信号読取回路40の各回路TC1～TC6は、それぞれの入力端子において、レベル比較器10からレベル比較結果を受け取る。本例において、信号読取回路40

の各回路TC1～TC6は、それぞれの入力端子において、レベル比較器10の、
H論理側のレベル比較を行う電圧比較器CP1の出力を受けとる。電圧比較器CP
1は、基準クロックDQSの電圧レベルが、比較電圧VOHより高い場合、H論理
を出力し、基準クロックDQSの電圧レベルが、比較電圧VOHより低い場合にL
5 論理を出力する。

図3Aは、半導体デバイス108が出力する基準クロックDQSの波形の一例を
示す。図3Aにおいて、横軸は時間軸であり、縦軸は電圧レベルを示す。図3Bは、
第2マルチストローク発生器30が発生する、第2マルチストロークの各ストロー
ブのタイミングの一例を示す。図3Bにおいて、横軸は図3Aにおける時間軸と同
10 一の時間軸である。信号読取回路40の各回路TC1～TC6は、第2マルチスト
ロークの、それぞれ対応するストロークのタイミングにおける電圧比較器CP1の
出力を検出し、比較判定手段50に検出結果を供給する。

比較判定手段50は、信号読取回路40の各回路TC1～TC6にそれぞれ対応
した判定器PF1～PF6を有する。判定器PF1～PF6は、それぞれ期待値（本
15 例においてはH論理）と、信号読取回路40の回路TC1～TC6のうち対応する
回路の検出結果とを比較する。判定器PF1～PF6は、対応する回路TC1～T
C6の出力と、期待値とが一致する場合、当該一致を表すH論理を出力する。本例
において、判定器PF1～PF6は、それぞれの判定結果と、前段の判定器（対応
する第2マルチストロークのストローク番号が一つ若い番号の判定器）の判定結果
20 とを比較し、自己の判定結果と前段の判定結果とが不一致である場合に、基準クロ
ックDQSの値の変化点を検出したことを示すH論理を出力する。つまり、判定器
PF1～PF6は、対応する第2マルチストロークのタイミングにおいて、基準ク
ロックDQSの値の変化点を検出した場合に、H論理を出力する。

図3A及び図3Bに示す、基準クロックDQS及び第2マルチストロークのタイ
25 ミングの例では、比較判定手段50は、図3Cに示す信号を変換手段31に供給す
る。つまり、本例において、比較判定手段50は、図3BのP4で示すストローク
のタイミングで基準クロックDQSの値の変化点、すなわち波形の立上りを検出

し、P 4 で示すストローブに対応する判定器 P F 4 が H 論理を変換手段 3 1 に供給する。

図 4 は、第 2 マルチストローブ発生器 3 0 が発生する第 2 マルチストローブの他の例を示す。本例では、基準クロック D Q S の立上がりのタイミングを測定する例
5 について説明する。図 4 A は、図 3 A と同様に、半導体デバイス 1 0 8 が出力する基準クロック D Q S の波形の一例を示す。図 4 B は、図 3 B と同様に、第 2 マルチストローブ発生器 3 0 が発生する、第 2 マルチストローブの各ストローブのタイミングの一例を示す。

基準クロック D Q S の波形の立下り側のタイミングを測定する構成は図 2 では省
10 略しているが、その構成は図 2 における、基準クロック D Q S の波形の立上がり側のタイミングを測定する構成と同様の構成を有する。つまり、処理部 1 2 0 は、基準クロック D Q S の立上がりを検出するための基準位相計測部 1 7 2 と、基準クロック D Q S の立下りを検出するための基準位相計測部 1 7 2 とを有してよい。また、処理部 1 2 0 は、基準クロック D Q S の立上がり及び立下りを検出する基準
15 位相計測部 1 7 2 を有してもよい。この場合、信号読取回路 4 0 の各回路及び比較判定手段 5 0 の判定器は、後述する構成（図 5 参照）を有することが好ましい。

基準クロック D Q S の立下りを検出するための基準位相計測部 1 7 2 の、信号
読取回路 4 0 の各回路 T C 1 ~ T C 6 は、第 2 マルチストローブの、それぞれ対応
するストローブのタイミングにおける電圧比較器 C P 2 の出力を検出し、比較判定
20 手段 5 0 に検出結果を供給する。

比較判定手段 5 0 は、信号読取回路 4 0 の各回路 T C 1 ~ T C 6 にそれぞれ対応
した判定器 P F 1 ~ P F 6 を有する。判定器 P F 1 ~ P F 6 は、それぞれ期待値（本
例においては L 論理）と、信号読取回路 4 0 の回路 T C 1 ~ T C 6 のうち対応する
回路の検出結果とを比較する。判定器 P F 1 ~ P F 6 は、対応する回路 T C 1 ~ T
25 C 6 の出力と、期待値とが一致する場合、当該一致を表す H 論理を出力する。本例
において、判定器 P F 1 ~ P F 6 は、それぞれの判定結果と、前段の判定器（対応
する第 2 マルチストローブのストローブ番号が一つ若い番号の判定器）の判定結果

とを比較し、自己の判定結果と前段の判定結果とが不一致である場合に、基準クロックDQSの値の変化点を検出したことを示すH論理を出力する。つまり、判定器PF1～PF6は、対応する第2マルチストロークのタイミングにおいて、基準クロックDQSの値の変化点を検出した場合に、H論理を出力する。

- 5 図4A及び図4Bに示す、基準クロックDQS及び第2マルチストロークのタイミングの例では、比較判定手段50は、図4Cに示す信号を変換手段31に供給する。つまり、本例において、比較判定手段50は、図4BのP4で示すストロークのタイミングで基準クロックDQSの値の変化点、すなわち波形の立下がりを検出し、P4で示すストロークに対応する判定器PF4がH論理を変換手段31に供給
- 10 する。

- 図5は、信号読取回路40及び比較判定手段50の構成の一例を示す。本例では、信号読取回路40の回路TC4及び比較判定手段50の判定器PF4の構成の一例を示す。信号読取回路の各回路TC1～TCnは、本例において説明するTC4と同様の構成を有してよい。また、比較判定手段50の各判定器PF1～PFnは、
- 15 本例において説明するPF4と同様の構成を有してよい。

- 回路TC4は、回路182a及び回路182bを有する。回路182aは、レベル比較器10の電圧比較器CP1が出力する信号を受け取る。また、回路182bは、レベル比較器10の電圧比較器CP2が出力する信号を受け取る。また、回路182aは、例えば図3bに示したような、第2マルチストロークのストロークP
- 20 4を受け取り、ストロークP4のタイミングにおける電圧比較器CP1の出力を検出し、判定器PF4に検出結果を供給する。また、回路182bは、例えば図4bに示したような、第2マルチストロークのストロークP4'を受け取り、ストロークP4'のタイミングにおける電圧比較器CP2の出力を検出し、判定器PF4に検出結果を供給する。

- 25 判定器PF4は、図5に示すように、ゲートG1～G4を有する。ゲートG1は、期待値EXPと、回路182aの出力とを比較する。ゲートG1は、回路182aの出力と、期待値EXPとの論理積を出力する論理積回路であってよい。本例にお

いて、基準クロックDQSの立上がりを検出する場合、期待値EXPとしてH論理が与えられ、基準クロックDQSの立下がりを検出する場合、期待値EXPとしてL論理が与えられる。つまり、期待値EXPにH論理が設定されることにより、ゲートG1が有効となり、ゲートG1は回路182aの出力がL論理からH論理に反転するか否かを監視する。ゲートG2は、回路182bの出力と、期待値EXPとを比較する。ゲートG1は、回路182bの出力と、期待値EXPの反転信号との論理積を出力する論理積回路であってよい。

また、ゲートG3は、ゲートG1、G2の出力の論理和を出力する。ゲートG4は、ゲートG3の出力と、前段の判定器のゲートG3の出力との不一致を検出する。本例において、PF4のゲートG4は、PF4のゲートG3の出力と、PF3のゲートG3の出力との不一致を検出する。基準クロックDQSの立上りのタイミングは、電圧比較器CP1と、回路182aと、ゲートG1と、ゲートG3と、ゲートG4とを通過する系路で検出することができる。同様に、基準クロックの立下がりのタイミングは、電圧比較器CP2と、回路182bと、ゲートG2と、ゲートG3と、ゲートG4とを通過する経路で検出することができる。以下、基準クロックDQSの立上がりを検出する場合の、判定器PF4の動作について説明する。

回路182aがH論理を出力すると、ゲートG1はH論理を出力する。ゲートG1が出力したH論理は、ゲートG3を介してゲートG4に供給される。ゲートG4は例えば排他的論理和回路であって、その一方の入力端子には前段の判定器PF3のゲートG3の出力が供給される。前段の判定器PF3のゲートG3の出力がH論理でなく、判定器PF4のゲートG4の出力がH論理である場合に、ゲートG4はH論理を出力する。ゲートG4の出力は、図2に示す変換手段31に供給される。また、ゲートG3の出力は、次段の判定器PF5のゲートG4に供給される。次段の回路TC5における回路182aはH論理を判定器PF5に供給し、判定器PF4のゲートG3はH論理を判定器PF5に供給する。このため、判定器PF5のゲートG4は不一致を検出せず、判定器PF5のゲートG4は一致を表すL論理を出力する。

以上説明したように、基準クロックDQSのレベルがレベル比較のために設けた比較電圧VOHを越えた時点から、最初にストローブを受け取った判定器のみがH論理を出力することになる。尚、本例において初段の判定器PF1の不一致検出ゲートG4には前段のゲートG3の出力としてL論理を与える。これにより、信号読
5 取回路TC1がH論理を出力した場合、判定器PF1のゲートG4はH論理の不一致を検出し、当該不一致を表すH論理を出力する。つまり、テストサイクルTDの初期において基準クロックDQSが立上ったことを検出する。以上、比較判定手段50が、基準クロックの立上りのタイミングを検出する場合の動作について説明したが、比較判定手段50が基準クロックの立下りを検出する場合も、同様の動作により基準クロックの立下りを検出することができる。
10

変換手段31は各判定器PF1、PF2、PF3、PF4、PF5…、PFnの比較判定結果を取り込んで、可及的に小さいビット数のデータに変換する。例えば、変換手段31は、判定器PF1、PF2、PF3、PF4、PF5…、PFnの出力の出力をnビットの信号として受け取り、受け取った信号に基づいて、出力がH
15 論理である判定器の番号を示すデジタル信号を生成する。つまり、変換手段31は、対応する判定器PF1～PFnの出力がH論理である、第2マルチストローブのストローブ番号を示すデジタル信号を生成する。変換手段31が生成するデジタル信号は、基準クロックDQSの値の変化点を検出したストローブ番号を示す。

図6は、変換手段31の動作アルゴリズムを示す。第2マルチストローブは、半
20 導体デバイス108のスペックに対して、測定精度を十分満足することのできるストローブ間隔のストローブを有することが望ましい。また、信号読取回路40及び比較判定手段50は、第2マルチストローブの各ストローブにそれぞれ対応する回路TC1、TC2、…、TCn及び判定器PF1、PF2、…、PFnを有することが望ましい。本例においては、比較判定手段50が、8個の判定器PF1～PF
25 8を有する場合について説明する。

まず、8個の判定器PF1～PF8の何れか一つがH論理（図では1で示す）を出力する。変換手段31は、判定器PF1～PF8の出力信号を、8ビットの信号

として受け取る。例えば、図6に示すように、基準クロックの値の変化点を、判定器PF7が検出した場合、変換手段31は、01000000、で表されるデジタル信号を受け取る。変換手段31は、受け取ったデジタル信号において、1を示すビットのビット位置を1～8の数値に変換し、更にその数値から「1」を減算する。例えば、変換手段31は、01000000、で表されるデジタル信号を受け取った場合、1を示すビット位置として数値7を検出し、検出した数値7から、1を減算した値である数値6を算出する。

次に、変換手段31は、算出した数値を、例えば4ビットの数値データD0～D7に変換する。例えば、変換手段31は、数値6を算出した場合、数値6を4ビットの数値データD6（0110）に変換する。4ビットの数値データF0～F7はマルチストロークP1～P8の位相順序を表わすストローク番号として取り扱うことができる。変換手段31は、当該ストローク番号を示す数値データD0～D7を、メモリ32に格納する。このように、例えば8ビットの比較判定結果を4ビットのストローク番号データに変換することにより、メモリ32の記憶容量を小さくできる利点を得られる。

図7は、タイミング選択回路33の構成の一例を示す。本例において、タイミング選択回路33は、第1マルチストロークSTBの発生タイミングを格納したタイミングメモリ33Aと、タイミングメモリ33Aに格納した発生タイミングの何れかをメモリ32が格納した判定結果に基づいて選択するセクタ33Bとを有する。タイミングメモリ33Aは、例えば200PS、300PS、400PS、500PS…の16種類の時間値を格納する。当該時間値は各テストサイクルTDの初期位相位置からの時間値に対応し、測定した基準クロックDQSの立上りまたは立下りのタイミングを示す。タイミングメモリ33Aが格納した時間値で示すタイミングが、半導体デバイス108の出力データの変化点を検出するための第1マルチストロークSTBの基準位相位置となる。セクタ33Bは、当該時間値の何れかを、メモリ32が格納した判定結果に基づいて選択し、選択した当該時間値を第1マルチストローク発生器34に供給する。

第1マルチストローク発生器34は、タイミング選択回路33から受け取った時間値に、半導体デバイス108の出力データの値の変化点までの時間（予定値）を加算または減算し、演算結果に基づくタイミングで第1マルチストロークSTBを発生し、この第1マルチストロークSTBを信号読取回路11に供給する。信号読取回路11は、受け取った第1マルチストロークSTBのそれぞれのストロークのタイミングで、半導体デバイス108が出力する出力データの値を検出する。半導体デバイス試験装置100は、信号読取回路11が検出した当該出力データの値に基づいて、半導体デバイス108の良否を判定する。

第1マルチストローク発生器34は、第2マルチストローク発生器30と同様の構成を有してよく、基準位相記憶部であるメモリ32が格納した、第2マルチストロークのストローク番号に基づいて、複数のストロークを有する第1マルチストロークを発生してよい。前述したように、第1マルチストローク発生器34は、タイミング選択回路33から入力された時間値と、半導体デバイス108の出力データの値の変化点までの予定時間とに基づいて、第1マルチストロークの位相を定めてよい。第1マルチストローク発生器34は、半導体デバイス108の出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生し、半導体デバイス試験装置100は、第1マルチストロークのそれぞれのストロークの位相における、半導体デバイス108の出力データの値を検出し、出力データの立上がり、又は立下がりを検出する。

半導体デバイス108において、基準クロックDQSの立上り又は立下りのタイミングから、半導体デバイス108出力する出力データの値の変化点までの時間の設計値は、予め定められている。従って、基準クロックDQSの立上り及び立下りのタイミングを予め測定し、当該タイミングを既知の値にしておくことにより、出力データの値の変化点の位相の概略値を容易に推測することができる。本例における半導体デバイス試験装置100は、基準クロックDQSの立上り及び立下りのタイミングをまず検出し、検出した当該タイミングに基づいて、出力データの値の変化点を検出するための第1マルチストロークSTBの発生タイミング及び発生範囲

を定めることにより、効率よく出力タイミングの値の変化点を検出することができる。

図8は、第2マルチストローク発生器30の変形実施例を示す。本例において、第2マルチストローク発生器30は、縦続接続された互いに等しい遅延時間を持つ遅延素子DY1、DY2、DY3・・・、DYnを有する。第2マルチストローク発生器30は、継続接続された各遅延素子DY1、DY2、DY3・・・、DYnの各出力信号に基づいて、わずかずつ位相の異なる複数のストロークを有する第2マルチストロークを発生する。

本例における半導体デバイス試験装置100によれば、図3及び図4に示した第2マルチストロークP1、P2、P3、P4、P5・・・、Pn及びP1'、P2'、P3'、P4'、P5'・・・、Pn'を用いることにより、1テストサイクルTDの時間内で基準クロックDQSの立上がり又は立下がりのタイミングを測定するため、従来と比較して極めて短時間に基準クロックDQSの立上がり又は立下がりのタイミングを測定することができる。

図9は、処理部120及び判定部110の構成の他の例を示す。処理部120は、レベル比較器10と、出力データ変化点検出部176と、データストローク番号変換手段31Dと、位相比較部60と、基準クロック変化点検出部178と、基準ストローク番号変換手段31Rとを有する。また、判定部110は、スペック設定器71及び良否判定手段70を有する。図9において、図2と対応する部分には同一符号を付して示す。

出力データ変化点検出部176及び基準クロック変化点検出部178は、信号読取回路40及び比較判定手段50を有する。出力データ変化点検出部176は、第1マルチストロークに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する。また、基準クロック変化点検出部178は、基準クロックDQSの波形の立上がり又は立下がりのタイミングを検出する。

本例において、レベル比較器10は、半導体デバイス108が出力する出力データD0、D1、・・・、Dn、及び基準クロックDQSと、基準電圧VOH又はVOL

とをレベル比較する。レベル比較器10は、レベル比較結果を信号読取回路40に供給する。レベル比較器10は、図2に関連して説明したレベル比較器10と同一又は同様の機能及び構成を有してよい。

5 信号読取回路40は、基準クロックDQS及び半導体デバイス108の出力データD0、D1、…、Dnの値を、第1マルチストローク発生器34又は第2マルチストローク発生器30が発生した第1マルチストローク又は第2マルチストロークのタイミングに基づいて検出する。信号読取回路40は、図2に関連して説明した信号読取回路40と同一又は同様の機能及び構成を有してよい。また、本例において、処理部120は、第1マルチストロークを発生する第1マルチストローク発生器34と、第2マルチストロークを発生する第2マルチストローク発生器30とを有していたが、他の例においては、処理部120は、第1マルチストローク及び第2マルチストロークを発生するマルチストローク発生器を有してよい。

比較判定手段50は、信号読取回路40が検出した出力信号及び基準クロックDQSの値に基づいて、出力信号及び基準クロックの値の変化点を検出する。比較判定手段50は、図2に関連して説明した比較判定手段50と同一又は同様の機能及び構成を有してよい。

図9において、処理部120は、半導体デバイスの出力データD0、D1、…、Dnの値を、第1マルチストローク発生器34が発生する第1マルチストロークに基づいて測定する。また、処理部120は、基準クロックDQSの値を、第2マルチストローク発生器30が発生する第2マルチストロークに基づいて測定する。第1マルチストローク発生器34及び第2マルチストローク発生器30は、同一又は同様の機能及び構成を有してよい。例えば、第1マルチストローク発生器34及び第2マルチストローク発生器30のそれぞれは、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストロークを供給し、複数の遅延素子がそれぞれ遅延させて出力するストロークに基づいて、第1マルチストローク又は第2マルチストロークを発生する。

比較判定手段50は、信号読取回路40から出力データ及び基準クロックDQS

の値を受け取り、受け取った信号に基づいて、マルチストロークの中のいずれの相のストロークにおけるタイミングで、データD₀、D₁、…、D_n及び基準クロックDQSの値が変化したかを判定する。

比較判定手段50は、第1マルチストロークのそれぞれのストロークの位相においてデジタルデータに変換された、半導体デバイス108の出力データの値を検出し、第1マルチストロークのうちの第1のストロークの位相における出力データの値と、第1のストロークに隣接する第2のストロークの位相における出力データの値とが異なる場合に、第1のストロークの位相を出力データの値の変化点として検出する。例えば、比較判定手段50は、図2に関連して説明した比較判定手段50と同様の方法で、出力データの値の変化点を検出する。

また、比較判定手段50は、第2マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された、基準クロックDQSの値を検出し、第2マルチストロークのうちの第3のストロークの位相における出力データの値と、第3のストロークに隣接する第4のストロークの位相における出力データの値とが異なる場合に、第3のストロークの位相を出力データの値の変化点として検出する。例えば、比較判定手段50は、図2に関連して説明した比較判定手段50と同様の方法で、基準クロックDQSの値の変化点を検出する。

判定部110は、出力データの値の変化点の位相と、基準クロックDQSの値の変化点の位相とに基づいて、電子デバイス108の良否を判定する。また、比較判定手段50において、図5において説明した場合と同様に、信号の変化点を検出したストロークに対応する判定器のみが優先的に「1」を出力する。

データストローク番号変化手段31Dは、どの位相におけるストロークが出力データD₀、D₁、…、D_nの値の変化点を検出したかを、比較判定手段50が判定した判定結果を受け取る。本例において、データストローク番号変換手段31Dは、図2に関連して説明した変換手段31と同様に、比較判定手段50の判定器PF₁～PF_nのそれぞれから、デジタル信号を受け取り、受け取ったデジタル信号に基づいて、変化点を検出したストローク番号DN₀を示すデジタル信号を生成

する。

基準ストローク番号変換手段31Rは、どの位相におけるストロークが基準クロックDQSの値の変化点を検出したかを、比較判定手段50が判定した判定結果を受け取る。本例において、基準ストローク番号変換手段31Rは、図2に関連して
5 説明した変換手段31と同様に、比較判定手段50の判定器PF1~PFnのそれぞれから、デジタル信号を受け取り、受け取ったデジタル信号に基づいて、変化点を検出したストローク番号RN0を示すデジタル信号を生成する。

図10は、データストローク番号変換手段31D及び基準ストローク番号変換手段31Rの動作アルゴリズムを示す。本例において、データストローク番号変換手段31D及び基準ストローク番号変換手段31Rは、図6に関連して説明した変換手段31と同一又は同様のアルゴリズムに基づいて動作してよい。データストローク番号変換手段31D及び基準ストローク番号変換手段31Rは、比較判定手段50がH論理（図10においてはH論理を1で示す）を出力したビット位置を、数値データF1~F8に変換する。つまり、データストローク番号変換手段31D及び
10 基準ストローク番号変換手段31Rは、数値データF1~F8を、出力データの値の変化点を検出したデータストローク番号DN0と、基準クロックDQSの値の変化点を検出した基準ストローク番号RN0として出力する。位相比較部60（図9参照）は、データストローク番号DN0と、基準ストローク番号RN0とに基づいて、出力データの値の変化点の位相と、基準クロックの値の変化点の位相との位相
15 差を検出する。

図11は、位相比較部60の構成の一例を示す。本例において、位相比較部60は、デジタル減算器を有する。図11に示すように、位相比較部60は、デジタル減算器のプラス入力端子側にデータストローク番号DN0を入力し、マイナス入力端子側に基準ストローク番号RN0を入力する。デジタル減算器は、データ
25 ストローク番号DN0から、基準ストローク番号RN0を減算した値を、良否判定手段70に供給する。

図12は、位相比較部60における演算の一例を示す。図12に示すように、比

比較判定手段50が、出力データの値の変化点の検出結果として、00100000、
で表されるデジタル信号を出力した場合、データストローブ番号変換手段31D
は、データストローブ番号DN0として6の数値を示すデジタル信号、0110、
を出力する。また、比較判定手段50が、基準クロックDQSの値の変化点の検出
5 結果として、00000100、で表されるデジタル信号を出力した場合、基準
ストローブ番号変換手段31Rは、基準ストローブ番号RN0として3の数値を示
すデジタル信号、0011、を出力する。位相比較部60は、データストローブ
番号DN0から、基準ストローブ番号RN0を減算した結果である、3の数値を示
すデジタル信号を、良否判定手段70に供給する。

- 10 図13は、位相比較部60における演算の他の例を示す。図13に示すように、
比較判定手段50が、出力データの値の変化点の検出結果として、0000010
0、で表されるデジタル信号を出力した場合、データストローブ番号変換手段3
1Dは、データストローブ番号DN0として3の数値を示すデジタル信号、00
11、を出力する。また、比較判定手段50が、基準クロックDQSの値の変化点
15 の検出結果として、01000000、で表されるデジタル信号を出力した場合、
基準ストローブ番号変換手段31Rは、基準ストローブ番号RN0として7の数値
を示すデジタル信号、0111、を出力する。位相比較部60は、データストロ
ーブ番号DN0から、基準ストローブ番号RN0を減算した結果である、-4の数
値を示すデジタル信号を、良否判定手段70に供給する。比較判定手段50は、
20 演算結果を例えば2進数化したデジタル信号として、良否判定手段70に供給し
てよい。

- 図14は、良否判定手段70とスペック設定器71の構成の一例を示す。良否判
定手段70は、出力データ変化点検出部176が検出した、出力データの波形の立
上がり又は立下がりのタイミングと、基準クロック変化点検出部178が検出した、
25 基準クロックDQSの波形の立上がり又は立下がりのタイミングとに基づいて、半
導体デバイス108の良否を判定してよい。例えば、良否判定手段70は、出力デ
ータ変化点検出部176が検出した、出力データの波形の立上がり又は立下がりの

タイミングと、基準クロック変化点検出部178が検出した、基準クロックDQSの波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、半導体デバイス108の良否を判定してよい。

本例において、スペック設定器71は、レジスタG1及びレジスタG2を有する。

- 5 レジスタG1及びG2は、半導体デバイス108の、基準クロックDQSの値の変化点と、出力信号の値の変化点との位相差に関するスペックに基づいた値を格納してよい。例えば、利用者が被試験半導体デバイスに対応した仕様の設定値を設定する。本例では、レジスタG1が5の値を示すデータを格納し、レジスタG2が0の値を示すデータを格納する場合について説明する。

- 10 良否判定手段70は、一例として減算器U1、減算器U2、エンコーダE1、エンコーダE2、及びゲートORを有する。減算器U1は、位相比較部60が出力する比較結果と、スペック設定器71のレジスタG1が格納した設定値を受け取る。減算器U1は、レジスタG1が格納した設定値から、位相比較器60における比較結果を減算する。例えば、レジスタG1が5の値を示すデータを格納し、位相差比較器60が3の値を示すデータを出力した場合、減算器U1は、2の値を示すデータをエンコーダE1に供給する。

- 減算器U2は、位相差比較部60が出力する比較結果と、スペック設定器71のレジスタG2が格納した設定値を受け取る。減算器U2は、位相比較器60における比較結果から、レジスタG1が格納した設定値を減算する。例えば、レジスタG2が0の値を示すデータを格納し、位相比較器60が3の値を示すデータを出力した場合、減算器U2は、3の値を示すデータをエンコーダE2に供給する。

- エンコーダE1及びE2は、それぞれ対応する減算器U1又はU2の出力が0又は正の値を示す場合、L論理（図14では0で示す）を出力し、対応する減算器U1又はU2の出力が負の値を示す場合、H論理（図14では1で示す）を出力する。
- 25 ゲートORは、エンコーダE1が出力するデータと、エンコーダE2が出力するデータとの論理和を、半導体デバイス108の良否判定結果として出力する。判定部110は、ゲートORの出力が0の場合、半導体デバイス108をパス（良）と判

定し、ゲートORの出力が1の場合、フェイル（不良）と判定する。例えば、位相比較器60が3を示すデータを出力し、レジスタG1が5を示すデータを格納し、レジスタG2が0を示すデータを格納する場合、エンコーダE1及びE2は、共にL論理を出力する。ゲートORは、L論理を出力し、判定部110は、半導体デバイス108をパス（良）と判定する。つまり、本例において、判定部110は、出力データの値の変化点を検出した、第1マルチストロークのストローク番号と、基準クロックの値の変化点を検出した、第2マルチストロークのストローク番号との番号差が、予め定められた範囲で有るか否かに基づいて、半導体デバイスの良否を判定する。本例において、レジスタG1は、出力データの値の変化点と、基準クロックの値の変化点との位相差の上限値を格納し、レジスタG2は、出力データの値の変化点と、基準クロックの値の変化点との位相差の下限值を格納する。判定部110は、位相比較部60が検出した、出力データの値の変化点と、基準クロックの値の変化点との位相差が、当該上限値と当該下限値との間の値である場合に、半導体デバイス108をパス（良）と判定する。

図15は、処理部120及び判定部110の変形実施例を示す。図15において、図9と同一の符号を付したものは、図9に関連して説明したものと同一又は同様の機能及び構成を有してよい。処理部120は、図9に関連して説明した処理部120と同一又は同様の構成を有する。また、判定部110は、データストローク番号変換手段31Dの出力と、基準ストローク番号変換手段31Rの出力との組み合わせに基づいて、半導体デバイス108の良否を判定するための参照表を格納するメモリ80を有する。判定部110は、データストローク番号変換手段31Dの出力と、基準ストローク番号変換手段31Rの出力とに基づいて参照表を参照し、参照結果を半導体デバイス108の良否の判定結果として出力する。つまり、判定部110は、出力データの値の変化点を検出した、第1マルチストロークのストローク番号と、基準クロックの値の変化点を検出した第2マルチストロークのストローク番号とのそれぞれの組み合わせに対する、半導体デバイス108の良否を定める参照表を格納する手段を有し、参照表に基づいて、半導体デバイス108の良否を判

定する。

一例としてメモリ 80 は、行列形式の参照表を格納する。例えば、メモリ 80 は、行番号を示すデータとしてデータストロブ番号 DNO を受け取り、列番号を示すデータとして基準ストロブ番号 RNO を受け取る。メモリ 80 は、受け取ったデータストロブ番号 DNO 及び基準ストロブ番号 RNO が示す行列番号に基づいて参照表を参照し、当該行列番号に対応するアドレスに格納した良否判定データを検出する。

図 16 は、メモリ 80 が格納する参照表の一例を示す。図 16 A は、データストロブ番号 DNO と、基準ストロブ番号 DNO との差を示す。例えば、データストロブ番号 DNO と、基準ストロブ番号 DNO との番号差が、 $-2 \sim +2$ までの範囲である半導体デバイス 108 をパス（良）と判定する場合、メモリ 80 は、図 16 B に示す参照表のように、図 16 A の表において、 $-2 \sim +2$ の範囲内にあるセルに対応するアドレスにパスを表す信号（P）を格納し、 $-2 \sim +2$ の範囲に無いセルに対応するアドレスにフェイルを表す信号（F）を格納する。

本例における半導体デバイス試験装置 100 によれば、参照表を格納するメモリ 80 を有し、基準ストロブ番号 RNO 及びデータストロブ番号 DNO の組み合わせに基づいて参照表を参照することにより、容易に良否の判定を行うことができる。また、本例における半導体デバイス試験装置 100 によれば、リアルタイムで基準クロックと各出力データの値の変化点の位相差を測定し、当該位相差が所定の範囲か否か、または基準クロックより速いか遅いか等を判定して、良否を判定するため、試験パターンを開始から終了までの 1 巡だけ発生させるだけで試験を終了することができる。この結果、従来より短時間に試験を終了することができる。また、複数の位相比較部 60 の各出力値を試験開始から終了までの間メモリ等に記憶させることによりデータと基準クロックとの位相差のゆらぎ、或いはジッタ等を解析することができる。

図 17 は、処理部 120 及び判定部 110 の構成の他の例を示す。処理部 120 はレベル比較器 10 と、タイミング比較器 124 と、セクタ 126 と、グリッチ

検出部140と、メモリ128と、タイミング発生器122とを有する。図17において、処理部120及び判定部110の構成として、半導体デバイス108が一つのピンから出力する出力データD0に対応する処理部120及び判定部110の構成を示したが、処理部120及び判定部110は、図17に示した構成と同様の構成を、半導体デバイス108の複数のピンにそれぞれ対応して有してよい。

レベル比較器10は、図2及び図9に関連して説明したレベル比較器10と同一の機能及び構成を有する。レベル比較器10は、半導体デバイス108の出力データD0を受け取り、出力データD0において、基準電圧VOHより高い電圧値をとる位相に対してH論理、基準電圧VOHより低い電圧値をとる位相に対してL論理を示す信号（以下SH信号とする）をタイミング比較器124a又はセレクタ126aに供給する。また、レベル比較器10は、出力データD0において、基準電圧VOLより高い電圧値を取る位相に対してH論理、基準電圧VOLより低い電圧値を取る位相に対してL論理を示す信号（以下SL信号とする）をタイミング比較器124b又はセレクタ126bに供給する。

タイミング発生器122は、タイミング比較器124a及びタイミング比較器124bに、所定の時間間隔のタイミングを供給する。タイミング比較器124a及びタイミング比較器124bは、受け取ったタイミングにおける、SH信号又はSL信号の論理値を、デジタルデータ（以下FH信号及びFL信号とする）としてセレクタ126a又はセレクタ126bに供給する。タイミング発生器122は、図9に関連して説明した第2マルチストロブ発生器30と同一又は同様の機能及び構成を有してよい。また、タイミング比較器124a及びタイミング比較器124bは、図9に関連して説明した信号読取回路40と同一又は同様の機能及び構成を有してよい。

セレクタ126aは、受け取ったSH信号を、グリッチ検出部140aに供給するか、受け取ったFH信号を判定部110に供給するかを選択する。また、セレクタ126bは、受け取ったSL信号を、グリッチ検出部140bに供給するか、受け取ったFL信号を判定部110に供給するかを選択する。

グリッチ検出部140a及びグリッチ検出部140bは、受け取ったSH信号又はSL信号に基づいて、出力データD0におけるグリッチの有無を検出する。例えば、グリッチ検出部140は、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出する。メモリ128a及びメモリ128bは、グリッチ検出部140の検出結果を格納する。

判定部110は、受け取ったFH信号、FL信号、及びパターン発生部102が出力した期待値信号に基づいて、半導体デバイス108の良否を判定する。また、判定部110は、グリッチ検出部140が検出した出力データにおけるグリッチの有無に基づいて、半導体デバイス108の良否を判定してよい。以下、グリッチ検出部140の構成及び機能について詳細に説明する。

図18は、グリッチ検出部140の構成の一例を示す。グリッチ検出部140は、第1マルチストロブ発生器154、メモリ148、出力データ変化点検出部142、及び検出器146を有する。

第1マルチストロブ発生器154は、出力データに対して、わずかずつ位相の異なる複数のストロブを有する第1マルチストロブを発生する。第1マルチストロブ発生器154は、縦続接続された複数の遅延素子VD1、VD2、VD3、・・・、VD16と、縦続接続された複数の遅延素子D1、D2、D3、・・・、D16と、複数のタイミング比較器C0、C1、C2、・・・C15、C16とを有する。第1マルチストロブ発生器154は、第1マルチストロブを発生するためのタイミングストロブと、出力データとを受け取る。本例において、遅延素子VD1、VD2、VD3、・・・、VD16は、可変遅延素子である。第1マルチストロブ発生器154は、縦続接続された遅延素子VD1、VD2、VD3、・・・、VD16に、タイミングストロブを供給し、それぞれの遅延素子の入力及び出力から、わずかずつ位相の異なる複数のストロブを取り出す。当該複数のストロブにおけるストロブの位相差は、それぞれ対応する遅延素子VD1、VD2、VD3、・・・、VD16における遅延量と略等しい。また、第1マルチストロブ発生器154は、タイミング発生器122から、タイミングストロブを受け取って

よい。

また、本例において、第1マルチストロブ発生器154は、出力データとしてSH信号を受け取り、遅延素子VD1、VD2、VD3、・・・、VD16の入力及び出力から取り出した、わずかずつ位相の異なる複数のストロブのそれぞれのストロブの位相における、SH信号の値を検出する。まず、第1マルチストロブ発生器154は、遅延素子VD1の入力におけるタイミングストロブと、SH信号を取り出し、タイミング比較器C0に供給する。タイミング比較器C0は、タイミングストロブのタイミングにおける、SH信号の値を検出する。次に、第1マルチストロブ発生器154は、遅延素子VD1の出力における、遅延素子VD1
10 における遅延量だけ遅延されたタイミングストロブと、SH信号を取り出し、タイミング比較器C1に供給する。タイミング比較器C1は、遅延素子VD1の出力におけるタイミングストロブのタイミングにおける、SH信号の値を検出する。以下同様に、タイミング比較器C2、C3、・・・、C16は、それぞれ対応する遅延素子の出力におけるタイミングストロブのタイミングにおける、SH信号の値
15 を検出する。

また、図18に示すように、第1マルチストロブ発生器154は、縦続接続された複数の遅延素子D1、D2、D3、・・・、D16に、SH信号を供給し、タイミング比較器C1、C2、・・・、C16は、それぞれ対応する遅延素子D1、D2、D3、・・・、D16の出力におけるSH信号の値を検出してよい。この場合、複数の遅延素子D1、D2、D3、・・・、D16における遅延量は、複数の遅延素子VD1、VD2、VD3、・・・、VD16におけるオフセット遅延量と略等しい遅延量である。遅延素子VD1、VD2、VD3、・・・、VD16には、遅延素子における遅延量の他に、例えば経路における遅延が生じる場合がある（オフセット遅延量）。SH信号を、複数の遅延素子D1、D2、D3、・・・、D16によって、対応する複数の遅延素子VD1、VD2、VD3、・・・、VD16におけるオフセット遅延量だけ遅延させることにより、タイミング比較器C0、C1、C2、・・・、C16は、精度のよくSH信号の値を検出することができる。

また、複数の遅延素子VD 1、VD 2、VD 3、・・・、VD 16は可変遅延素子であって、対応する複数の遅延素子D 1、D 2、D 3、・・・、D 16における遅延に対して、複数の遅延素子VD 1、VD 2、VD 3、・・・、VD 16における遅延が、それぞれ所望の値となるように調整できることが好ましい。例えば、対応する

5 複数の遅延素子D 1、D 2、D 3、・・・、D 16における遅延に対して、タイミングストロブをそれぞれ50 p sずつ遅延させるように、複数の遅延素子VD 1、VD 2、VD 3、・・・、VD 16における遅延量を調整する。本例における第1マルチストロブ発生器154によれば、非常に精度のよいタイミングで、半導体デバイス108の出力データの値をサンプリングすることができる。

10 複数のメモリ148は、それぞれタイミング比較器C 0、C 1、C 2、・・・、C 16が検出したSH信号の値を受け取る。複数のメモリ148は、例えばFIFO (First-in First-out)方式のメモリである。複数のメモリ148は、それぞれ、複数の遅延素子VD 1、VD 2、VD 3、・・・、VD 16から取り出された複数のストロブのタイミングで、タイミング比較器C 0、C 1、C 2、・・・、C 16が

15 検出したSH信号の値を格納する。複数のメモリ148は、外部からデータ取り出し用の信号STRBが与えられ、信号STRBを受け取ったタイミングに基づいて、最初に格納したデータを、最初に出力するように、格納したデータを、出力データ変化点検出部142に供給する。

出力データ変化点検出部142は、一例として複数のデジタル回路152及び

20 プライオリティエンコーダ144を有する。出力データ変化点検出部142は、第1マルチストロブのそれぞれのストロブにおける、出力データの値を検出し、第1マルチストロブのうちの第1のストロブの位相における出力データの値と、第1のストロブに隣接する第2のストロブの位相における出力データの値とが異なる場合に、第1のストロブの位相を、出力データの値の変化点として検出す

25 る。図18において、複数のデジタル回路152はそれぞれ、第1マルチストロブの位相が隣接するストロブにおける出力データの値を、メモリ148から受け取り、第1マルチストロブの位相が隣接するストロブにおける出力データの

値が異なる場合に、当該ストロブの位相において、出力データの値が変化したと判定する。

例えば、図18における複数のメモリ148が順にSH信号の値として、

0001001111111111

5 を格納した場合に、複数のデジタル回路152は、順に、

0011010000000000

を出力する。つまり、複数のデジタル回路152は、SH信号の値の変化点を1で示すデジタル信号を出力する。デジタル回路152のそれぞれは、例えば排他論理和を出力するデジタル回路であってよい。

10 本例における出力データ変化点検出部144によれば、複数のデジタル回路152が出力したデジタル信号における、SH信号の値の変化点のビット番号と、複数の遅延素子VD1、VD2、VD3、・・・、VD16におけるそれぞれの遅延量とに基づいて、出力データの値の変化点の位相を容易に算出することができる。

15 複数のデジタル回路152は、出力データの値の変化点を示すデジタル信号を、プライオリティエンコーダ144及び検出器146に供給する。プライオリティエンコーダ144は、受け取ったデジタル信号に基づいて、最も位相の早い出力データの変化点を検出する。本例において、プライオリティエンコーダ144は、16ビットのデジタル信号を受け取り、最も位相の早い出力データの変化点のデータとして5ビットのデジタル信号を出力する。

20 検出器146は、受け取ったデジタル信号に1が複数個ある場合に、出力データにグリッチが有ると判定する。検出器146は、例えばグリッチを検出した場合に1を出力し、グリッチを検出しなかった場合に0を出力する。

25 メモリ128は、プライオリティエンコーダ144及び検出器146が出力したデータを対応づけて格納する。メモリ128が格納したデータに基づいて、半導体デバイス108が出力した出力データにおける、グリッチの有無、グリッチが有る場合の当該グリッチの位相を容易に算出することができる。また、グリッチが無い場合の、出力データの値の変化点を容易に算出することができる。また、メモリ1

28は、出力データの値の変化点において、出力データの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを示すための、ネガ・ポジ判定データを受け取ってよい。つまり、当該ネガ・ポジ判定データは、出力データの値の変化点において、出力データの立上りを検出したか、立下りを検出したかを
5 示すためのデータである。当該ネガ・ポジ判定データは、図18に示すように、第1マルチストロブにおいて、最も遅い位相のストロブのタイミングにおける出力データの値であってよい。

また、本例においては、第1マルチストロブのストロブ数を16として、グリッチ検出部140の構成を説明したが、他の例においては、第1マルチストロブのストロブ数は他のストロブ数を取ってよいことは明らかである。この場合、
10 グリッチ検出部140は、生成するべき第1マルチストロブのストロブ数に基づいた数の、遅延素子、メモリ148、デジタル回路152を有する。

図19は、プライオリティエンコーダ144の構成の一例を示す。本例におけるプライオリティエンコーダ144は、図19に示すように、複数の論理積回路及び
15 複数の論理和回路を有する。プライオリティエンコーダ144は、複数のデジタル回路152から、それぞれデータD00、D01、D02、・・・、D16を受け取る。プライオリティエンコーダ144は、図19に示すように受け取ったデータデータD00、D01、D02、・・・、D16と、H論理を示す信号”H”とに基づいて、位相の最も早い出力データの値の変化点を検出する。本例において、
20 プライオリティエンコーダ144は、16ビットのデジタル信号を受け取り、最も位相の早い変化点を検出したデジタル信号のビット番号を、5ビットのデジタル信号として出力する。また、本例においては、最も位相の早い変化点を検出したが、他の例においては、最も位相の遅い変化点を検出してよい。例えば、図19において、D00の端子に、D16のデータを入力し、D01の端子にD15のデータを入力し、
25 ・・・、D16の端子にD00のデータを入力するように、データを反転して入力することにより、最も位相の遅い変化点を検出できる。

図20は、図19に示したプライオリティエンコーダ144が受け取るディジタ

ル信号と、出力するデジタル信号の一例を示す。図20に示すように、受け取ったデジタル信号に変化点が無い場合、プライオリティエンコーダ144は、000000を出力する。また、D00に最も位相の早い変化点がある場合には、000001を出力する。以下同様に、プライオリティエンコーダ144は、最も位相の早い変化点がある入力データ番号に対応したデジタル信号を出力する。

図21は、検出器146の構成の一例を示す。検出器146は、複数のデジタル回路152から受け取るデジタル信号に基づいて、出力データにおけるグリッチの有無を検出する。検出器146は、出力データの値の変化点が2点以上有る場合に、出力データにグリッチが有ると判定する。図21に示すように、検出器146は、複数のデジタル回路152から受け取ったデジタル信号に、1が複数個ある場合に、1を出力し、1が0又は1個である場合に、0を出力するデジタル回路構成を有する。

図22は、メモリ128が格納するデータの処理及びデータ構成の一例を示す。図22(a)に示すように、まずセレクタ162が、グリッチ検出部140a及びグリッチ検出部140bから、それぞれSH信号又はSL信号に対して、プライオリティエンコーダ140が出力するデジタル信号、検出器146が出力するデジタル信号、及びポジ・ネガ判定データを受け取る。

セレクタ162は、外部から期待信号EXPを受け取り、期待信号EXPに基づいて、SH信号に対するデジタル信号又はSL信号に対するデジタル信号のいずれかを選択し、出力する。メモリ128は、セレクタ162が出力した信号に、期待信号EXPを付加したデジタル信号を格納する。

メモリ128は、図22(b)に示すように、8ビットのデジタル信号(FH信号又はFL信号)を格納する。8ビットのデジタル信号のデータ構成は、一例として図22(b)に示すように、D7が期待信号EXPを示し、D6がグリッチの有無を示し、D5がポジ・ネガ判定データを示し、D4からD0が出力データの値の変化点を示す。D0からD4のデータは、プライオリティエンコーダ144が出力したデジタル信号であり、出力データの値の変化点の位相を示す。本例にお

いて、複数の遅延素子VD 1、VD 2、VD 3、・・・、VD 16における遅延量は、それぞれ50 p sであるので、図22 (b) に示す変化点コードの値から1を引いた値に、50 p sを乗算した値が、出力データの値の変化点の位相を示す。

D 5のデータは、ポジ・ネガ判定データであり、1のとき、変化点コードに示す位相で、出力データの立下がりを検出したことを示し、0のとき、変化点コードに示す位相で、出力データの立上りを検出したことを示す。D 6のデータは、検出器146が出力したデータであり、1のとき、出力データにグリッチが検出されたことを示し、0のとき、出力データにグリッチが検出されなかったことを示す。D 7のデータは、期待信号EXPであって、1のときH論理期待で、FHが格納されていることを示し、0のとき、L論理期待で、FLが格納されていることを示す。つまり、1のとき、SH信号に基づく信号が格納されていることを示し、0のとき、SL信号に基づく信号が格納されていることを示す。

メモリ128が格納したデータに基づいて、出力データにおけるグリッチの有無、グリッチが有る場合のグリッチの位相、グリッチが無い場合の出力データの立上り、又は立下りの位相を容易に検出することができる。また、期待信号EXPと、FH信号又はFL信号とを対応づけて、FH信号及びFL信号のいずれかを格納することにより、格納するべきデータを半分にすることができる。また、判定部110は、メモリ128が格納したデータに基づいて、半導体デバイス108の良否を判定してよい。

以上説明した半導体デバイス試験装置100は、処理部120において、それぞれ図2から図8に関連して説明した第1の構成、図9から図16に関連して説明した第2の構成、及び図17から図22に関連して説明した第3の構成のうちの一つの構成を有していたが、半導体デバイス試験装置100は、第1の構成、第2の構成、及び第3の構成を任意に組み合わせた構成を有する処理部120を備えてよいことは明らかである。例えば、半導体デバイス試験装置100は、グリッチ検出機能を有する第3の構成と、第1の構成又は第2の構成とを組み合わせた処理部120及び判定部110を備えてよい。このように、複数の構成を組み合わせることに

より、より精度よく且つ多機能な試験を行うことができる。

図23は、本発明に係る半導体デバイス試験方法の一例のフローチャートを示す。まず、第1マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する(S102)。S102では、例えば図9に関連して説明した第1マルチストローク発生器34、又は図18に関連して説明した第1マルチストローク発生器154を用いて、第1マルチストロークを発生してよい。

次に、出力データ変化点検出段階で、第1マルチストロークに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する(S104)。S104では、例えば図9に関連して説明した出力データ変化点検出部176、又は図18に関連して説明した出力データ変化点検出部142を用いて、出力データの波形の立上がり又は立下がりのタイミングを検出してよい。

次に、グリッチ検出段階で、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出する(S106)。S106では、図18に関連して説明した検出器146を用いて、出力データにおけるグリッチの有無を検出してよい。

次に、第2マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第2マルチストロークを発生する(S108)。S108では、例えば図9に関連して説明した第2マルチストローク発生器174を用いて、第2マルチストロークを発生してよい。

次に、基準クロック変化点検出段階で、第2マルチストロークに基づいて、基準クロックの波形の立上がり又は立下がりのタイミングを検出する(S110)。S110では、例えば図9に関連して説明した基準クロック変化点検出部178を用いて、基準クロックの波形の立上がり又は立下がりのタイミングを検出してよい。

次に、判定段階で、出力データ変化点検出段階が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出段階が検出した、基準クロックの波形の立上がり又は立下がりのタイミングと、グリッチ検出段階が検出したグリッチの有無とに基づいて、半導体デバイスの良否を判定する(S11

2)。例えば、判定段階は、出力データにグリッチがある場合に、半導体デバイスを不良と判定し、出力データにグリッチが無い場合、図9に関連して説明した判定部110を用いて、半導体デバイスの良否を判定してよい。

5 以上説明した半導体デバイス試験方法によれば、極めて短時間に、出力データ及び基準クロックDQSの波形の立上がり又は立下がりを検出することができ、効率的に試験を行うことができる。また、出力データにおけるグリッチの有無を容易に検出でき、精度のよい試験を行うことができる。

10 図24は、本発明に係る半導体デバイス試験方法の他の例のフローチャートを示す。まず基準位相計測段階で、基準クロックの出力タイミングを計測する(S202)。S202では、例えば図2に関連して説明した基準位相計測部172を用いて、基準クロックの出力タイミングを計測してよい。

次に、基準位相記憶段階で、計測した出力タイミングを記憶する(S204)。S204では、例えば図2に関連して説明したメモリ32を用いて、出力タイミングを計測してよい。

15 次に、第1マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する(S206)。S206では、例えば図2に関連して説明した第1マルチストローク発生器34、又は図18に関連して説明した第1マルチストローク発生器154を用いて、第1マルチストロークを発生してよい。

20 次に、出力データ変化点検出段階で、第1マルチストロークに基づいて、出力データの値の変化点を検出する(S208)。S208では、例えば図18に関連して説明した出力データ変化点検出部142を用いて、出力データの値の変化点を検出してよい。

25 次に、位相差計測段階で、基準クロックDQSの出力タイミングと、出力データの値の変化点との位相差を計測する(S210)。S210では、例えば図2に関連して説明した論理比較器12を用いて、位相差を計測してよい。

次に、グリッチ検出段階で、出力データの値の変化点に基づいて、出力データに

におけるグリッチの有無を検出する (S 2 1 2)。S 2 1 2では、例えば図 1 8に関連して説明した検出器 1 4 6 を用いて、グリッチの有無を検出してよい。

次に、判定段階で、S 2 1 2 で検出したグリッチの有無、及び S 2 1 0 で計測した位相差に基づいて、半導体デバイスの良否を判定する (S 2 1 4)。S 2 1 4では、
5 例えば図 2 3 に関連して説明した判定段階と同様の方法で、半導体デバイスの良否を判定してよい。

以上説明した半導体デバイス試験方法によれば、極めて短時間に、出力データ及び基準クロック D Q S の波形の立上がり又は立下がりを検出することができ、効率的に試験を行うことができる。また、出力データにおけるグリッチの有無を容易に
10 検出でき、精度のよい試験を行うことができる。

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らか
15 である。

産業上の利用可能性

上記説明から明らかなように、本発明によれば、極めて短時間に、半導体デバイスの出力データ及び基準クロック D Q S の波形の立上がり又は立下がりのタイ
20 ミングを検出でき、出力データ及び基準クロックの位相差を算出できる。そのため、効率的に試験を行うことができる。また、グリッチを容易に検出することができ、精度のよい試験を行うことができる。

請求の範囲

1. 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験装置であって、

5 わずかずつ位相の異なる複数のストローブを有するマルチストローブを発生するマルチストローブ発生器と、

前記マルチストローブに基づいて、前記出力データの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出部と、

10 前記マルチストローブに基づいて、前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックの立上がり又は立下がりのタイミングを検出する基準クロック変化点検出部と、

前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下がりのタイミングと、前記基準クロック変化点検出部が検出した、前記基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、前記半導体デバイスの良否を判定する判定部と

を備えることを特徴とする半導体デバイス試験装置。

2. 前記判定部は、前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下がりのタイミングと、前記基準クロック変化点検出部が検出した、前記基準クロックの波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項1に記載の半導体デバイス試験装置。

3. 前記マルチストローブ発生器は、前記出力データの値の変化点を検出するための第1マルチストローブと、前記基準クロックの値の変化点を検出するための第2マルチストローブとを生成することを特徴とする請求項1に記載の半導体デバイス試験装置。

4. 前記出力データ、及び前記基準クロックを、H論理又はL論理で表される

デジタルデータに変換するレベル比較器を更に備え、

前記出力データ変化点検出部は、前記第1マルチストロークのそれぞれのストロークの位相における前記デジタルデータに変換された前記出力データの値を検出し、前記第1マルチストロークのうちの第1のストロークの位相における
5 前記出力データの値と、前記第1のストロークに隣接する第2のストロークの位相における前記出力データの値とが異なる場合に、前記第1のストロークの位相を、前記出力データの値の変化点として検出し、

前記基準クロック変化点検出部は、前記第2マルチストロークのそれぞれのストロークの位相における前記デジタルデータに変換された前記基準クロック
10 の値を検出し、前記第2マルチストロークのうちの第3のストロークの位相における前記基準クロックの値と、前記第3のストロークに隣接する第4のストロークの位相における前記基準クロックの値とが異なる場合に、前記第3のストロークの位相を、前記基準クロックの値の変化点として検出し、

前記判定部は、前記出力データの値の変化点と、前記基準クロックの値の変化
15 点とに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項3に記載の半導体デバイス試験装置。

5. 前記判定部は、前記出力データ変化点検出部が、前記第1マルチストロークのいずれのストロークのタイミングにおいて、前記出力データの値の変化点を検出したかを示す、前記第1マルチストロークのストローク番号と、前記基準クロック変化点検出部が、前記第2マルチストロークのいずれのストロークのタイ
20 ミングにおいて、前記基準クロックの値の変化点を検出したかを示す、前記第2マルチストロークのストローク番号との番号差が、予め定められた範囲で有るか否かに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項4に記載の半導体デバイス試験装置。

25 6. 前記判定部は、前記出力データの値の変化点を検出した、前記第1マルチストロークのストローク番号と、前記基準クロックの値の変化点を検出した、前記第2マルチストロークのストローク番号とのそれぞれの組み合わせに対する、

前記半導体デバイスの良否を定める参照表を格納するメモリを有し、前記参照表に基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項4に記載の半導体デバイス試験装置。

7. 前記出力データ変化点検出部は、前記出力データの値の変化点において、
5 前記デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有することを特徴とする請求項4から6のいずれかに記載の半導体デバイス試験装置。

8. 前記出力データ変化点検出部は、複数の前記出力データの値の変化点を検出した場合に、位相の最も早い前記変化点、又は位相の最も遅い前記変化点を、
10 前記出力データの値の変化点とすることを特徴とする請求項4から6のいずれかに記載の半導体デバイス試験装置。

9. 前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下がりのタイミングに基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出部を更に備えることを特徴とする請求項1に記載の
15 半導体デバイス試験装置。

10. 前記判定部は、前記グリッチ検出部が検出した前記グリッチの有無に更に基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項9に記載の半導体デバイス試験装置。

11. 前記グリッチ検出部は、前記出力データの値の変化点に基づいて、前記
20 出力データにおけるグリッチの有無を検出することを特徴とする請求項9に記載の半導体デバイス試験装置。

12. 前記グリッチ検出部は、前記出力データの値の変化点が2以上有る場合に、前記出力データにグリッチが有ると判定することを特徴とする請求項11に記載の半導体デバイス試験装置。

13. 前記マルチストローク発生器は、遅延時間の異なる複数の遅延素子を有し、前記複数の前記遅延素子のそれぞれにストロークを供給し、複数の前記遅延素子がそれぞれ異なる時間遅延させて出力する複数のストロークを、前記マルチ
25

ストロープとして出力することを特徴とする請求項 1 に記載の半導体デバイス試験装置。

1 4. 前記マルチストロープ発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の前記遅延素子にストロープを供給し、複数の前記遅延素子がそれぞれ遅延させて出力するストロープに基づいて、前記マルチストロープを発生することを特徴とする請求項 1 に記載の半導体デバイス試験装置。

1 5. 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験装置であって、

前記出力データに対して、わずかずつ位相の異なる複数のストロープを有する第 1 マルチストロープを発生する第 1 マルチストロープ発生器と、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックの波形の立上がり又は立下がりのタイミングである出力タイミングを計測する基準位相計測部と、

前記出力タイミングを記憶する基準位相記憶部と、

前記第 1 マルチストロープに基づいて、前記出力データの値の変化点を検出する変化点検出部と、

前記出力タイミングと、前記出力データの値の変化点との位相差を計測する位相差計測部と、

前記位相差に基づいて、前記半導体デバイスの良否を判定する判定部とを備えることを特徴とする半導体デバイス試験装置。

1 6. 前記第 1 マルチストロープ発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の前記遅延素子にストロープを供給し、複数の前記遅延素子がそれぞれ遅延させて出力するストロープに基づいて、前記第 1 マルチストロープを発生することを特徴とする請求項 1 5 に記載の半導体デバイス試験装置。

1 7. 前記変化点検出部は、前記出力データを、H論理又はL論理で表されるデジタルデータに変換する手段を有し、

前記変化点検出部は、前記第1マルチストロークのそれぞれのストロークの位相における前記デジタルデータの値を検出し、前記第1マルチストロークのうちの第1のストロークの位相におけるデジタルデータの値と、前記第1のストロークに隣接する第2のストロークの位相におけるデジタルデータの値とが異なる場合に、前記第1のストロークの位相を、前記出力データの値の変化点として検出することを特徴とする請求項15に記載の半導体デバイス試験装置。

18. 前記変化点検出部は、前記変化点において、前記デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有することを特徴とする請求項17に記載の半導体デバイス試験装置。

19. 前記変化点検出部は、複数の前記出力データの値の変化点を検出した場合に、位相の最も早い前記変化点、又は位相の最も遅い前記変化点を、前記出力データの値の変化点として特徴とする請求項18に記載の半導体デバイス試験装置。

20. 前記基準位相計測部は、

前記基準クロックに対して、わずかずつ位相の異なる複数のストロークを有する第2マルチストロークを発生する手段と、

前記第2マルチストロークに基づいて、前記基準クロックの値の変化点を検出する手段と、

前記基準クロックの値の変化点を検出した前記第2マルチストロークのストローク番号に基づいて、前記基準クロックの前記出力タイミングを算出する手段とを有することを特徴とする請求項15に記載の半導体デバイス試験装置。

21. 前記基準位相記憶部は、前記基準クロックの値の変化点を検出した前記第2マルチストロークのストローク番号を格納することを特徴とする請求項20に記載の半導体デバイス試験装置。

22. 前記第1マルチストローク発生器は、前記基準位相記憶部が格納した前記第2マルチストロークのストローク番号に基づいて、前記第1マルチストローク

ブの位相を定めることを特徴とする請求項 2 1 に記載の半導体デバイス試験装置。

2 3. 前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出部を更に備えることを特徴とする請求項 1 5 に記載の半導体デバイス試験装置。

2 4. 前記判定部は、前記グリッチの有無に更に基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 2 3 に記載の半導体デバイス試験装置。

2 5. 前記グリッチ検出部は、前記変化点検出部が検出した前記出力データの値の変化点が、2 点以上有る場合に、前記出力データにグリッチが有ると判定することを特徴とする請求項 2 3 に記載の半導体デバイス試験装置。

2 6. 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験方法であって、

前記出力データに対して、わずかずつ位相の異なる複数のストロークを有する第 1 マルチストロークを発生する第 1 マルチストローク発生段階と、

前記第 1 マルチストロークに基づいて、前記出力データの波形の立上がり又は立下りのタイミングを検出する出力データ変化点検出段階と、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックに対して、わずかずつ位相の異なる複数のストロークを有する第 2 マルチストロークを発生する第 2 マルチストローク発生段階と、

前記第 2 マルチストロークに基づいて、前記基準クロックの波形の立上がり又は立下りのタイミングを検出する基準クロック変化点検出段階と、

前記出力データ変化点検出段階が検出した、前記出力データの波形の立上がり又は立下りのタイミングと、前記基準クロック変化点検出段階が検出した、前記基準クロックの波形の立上がり又は立下りのタイミングとに基づいて、前記半導体デバイスの良否を判定する判定段階と

を備えることを特徴とする半導体デバイス試験方法。

27. 前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備え、

5 前記判定段階は、前記グリッチ検出段階が検出したグリッチの有無に更に基づいて前記半導体デバイスの良否を判定することを特徴とする請求項26に記載の半導体デバイス試験方法。

28. 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験方法であって、

10 前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックの、出力タイミングを計測する基準位相計測段階と、

前記出力タイミングを記憶する基準位相記憶段階と、

前記出力データに対して、わずかずつ位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生段階と、

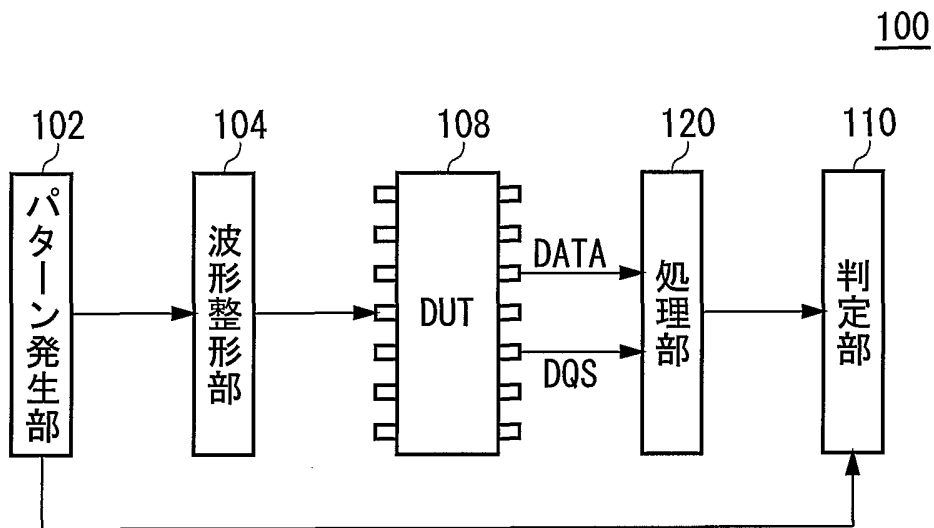
15 前記第1マルチストローブに基づいて、前記出力データの値の変化点を検出する出力データ変化点検出段階と、

前記出力タイミングと、前記出力データの値の変化点との位相差を計測する位相差計測段階と、

20 前記位相差に基づいて、前記半導体デバイスの良否を判定する判定段階とを備えることを特徴とする半導体デバイス試験方法。

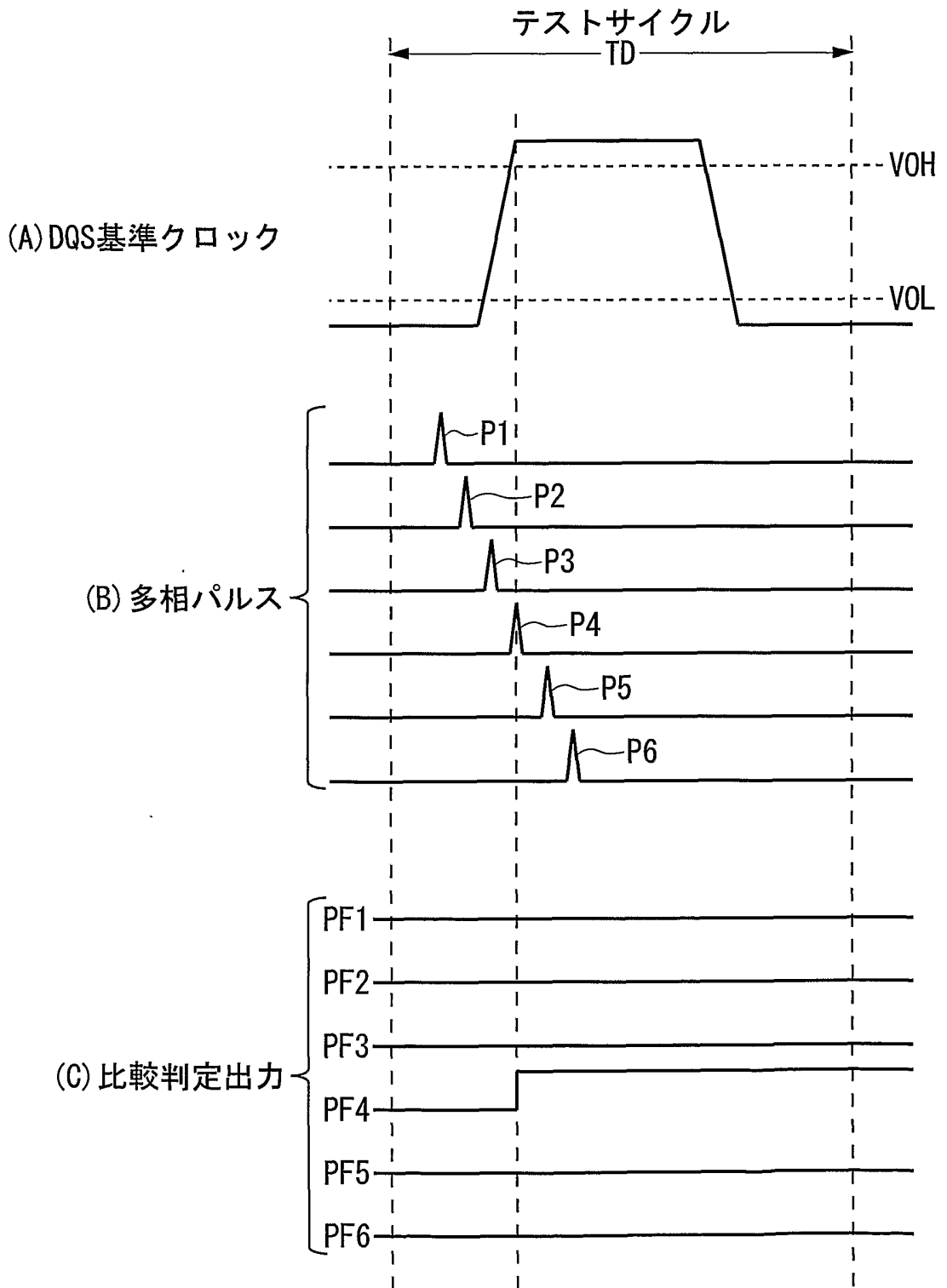
29. 前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備えることを特徴とする請求項28に記載の半導体デバイス試験方法。

図 1



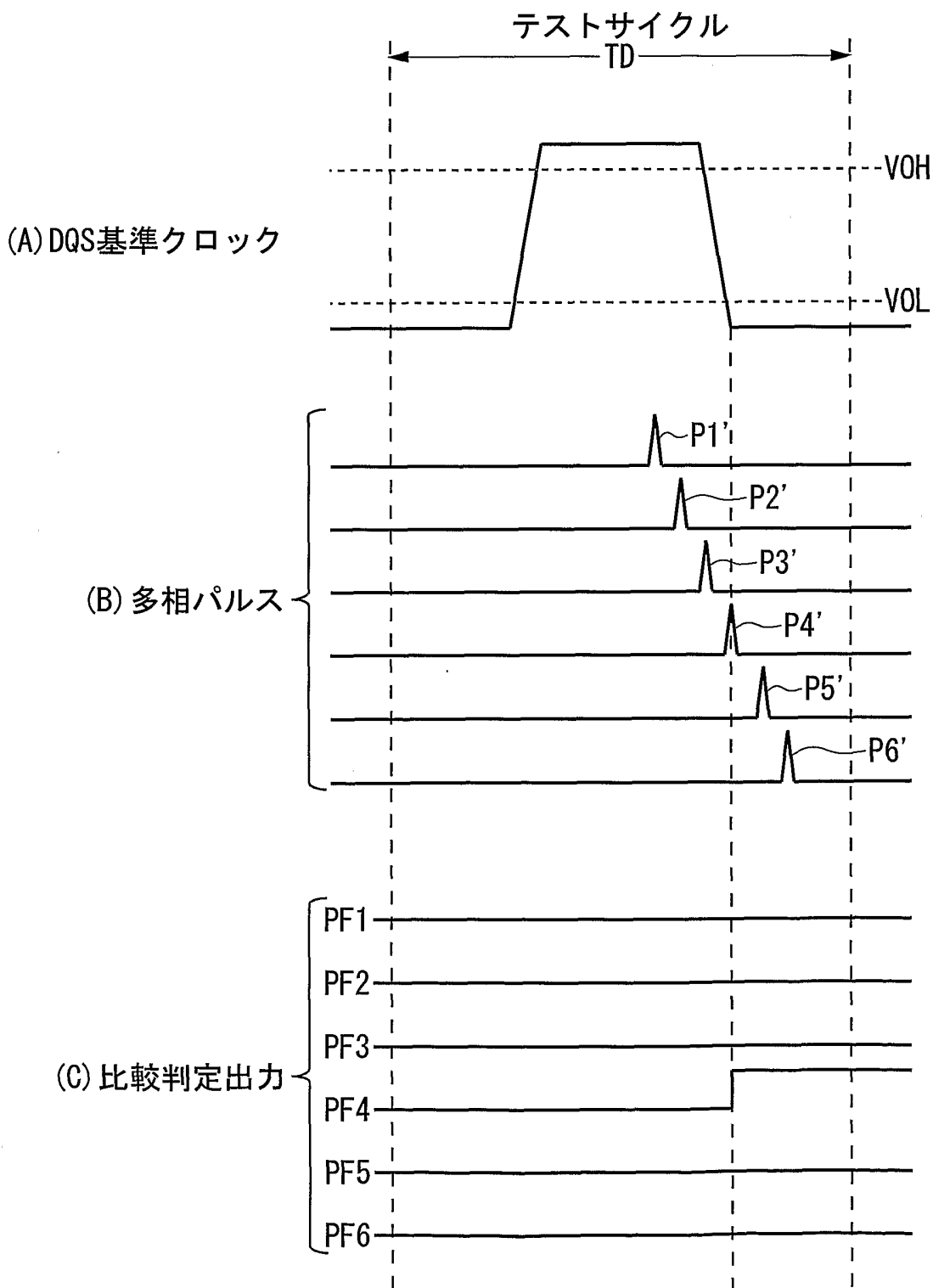
3/27

図 3



4/27

図 4



5/27

図 5

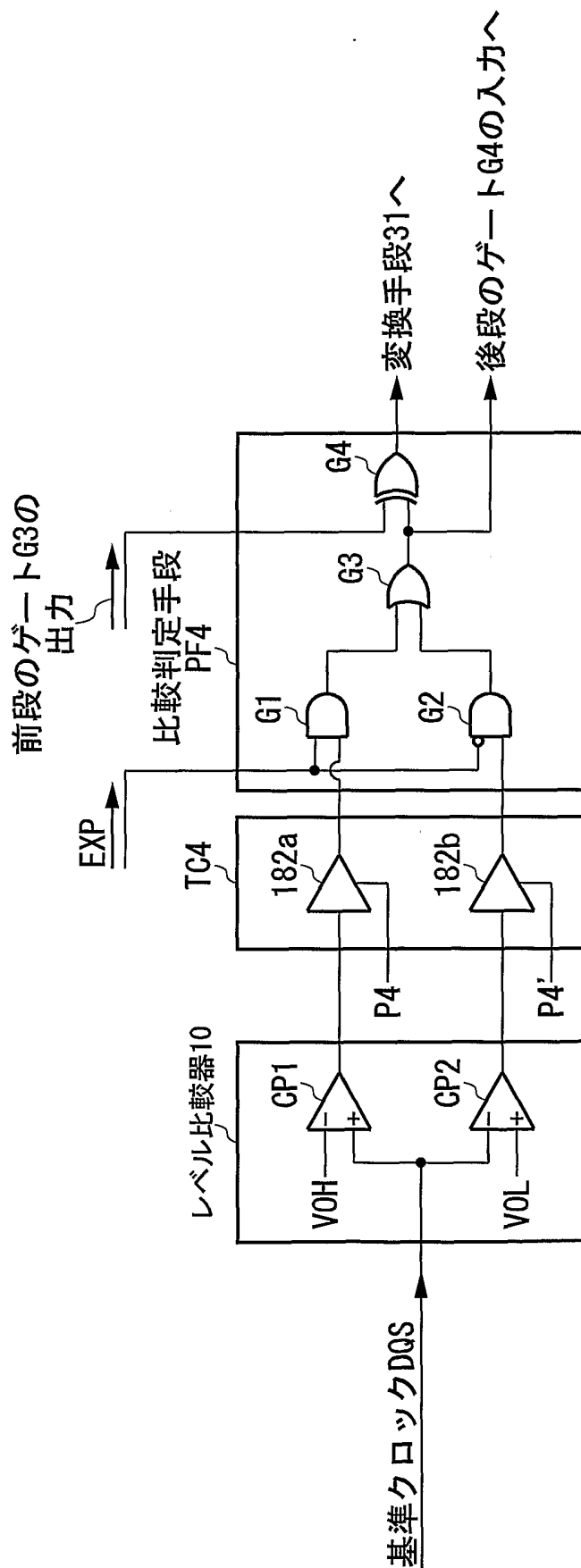


図 6

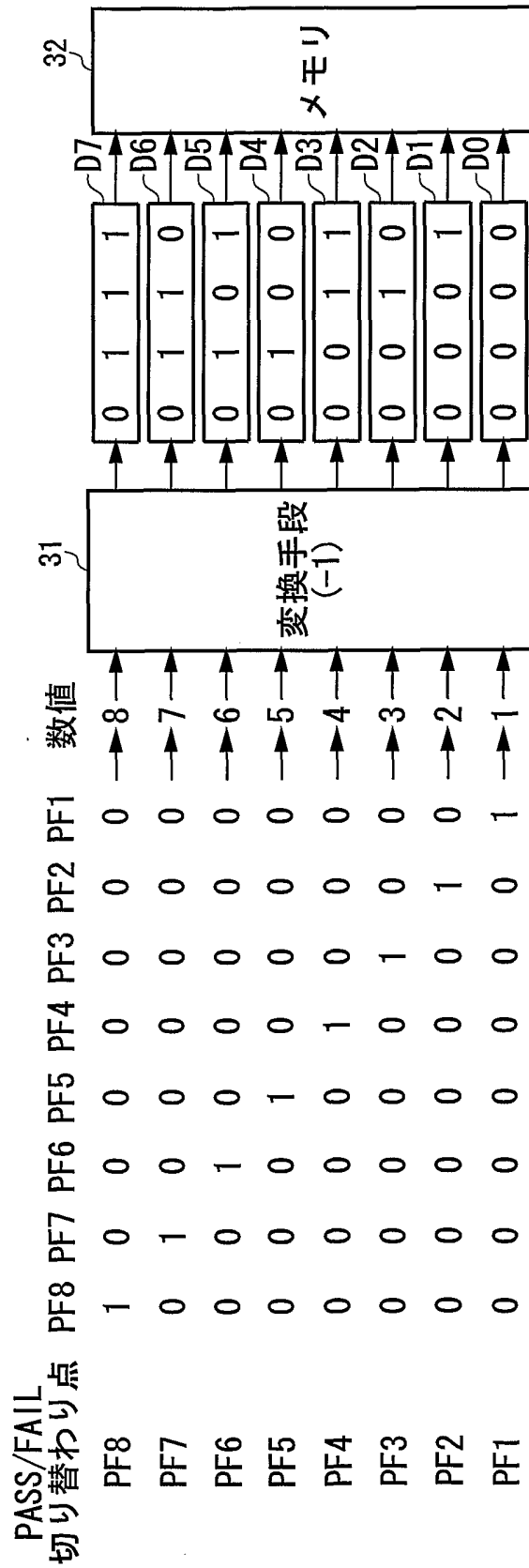


図 7

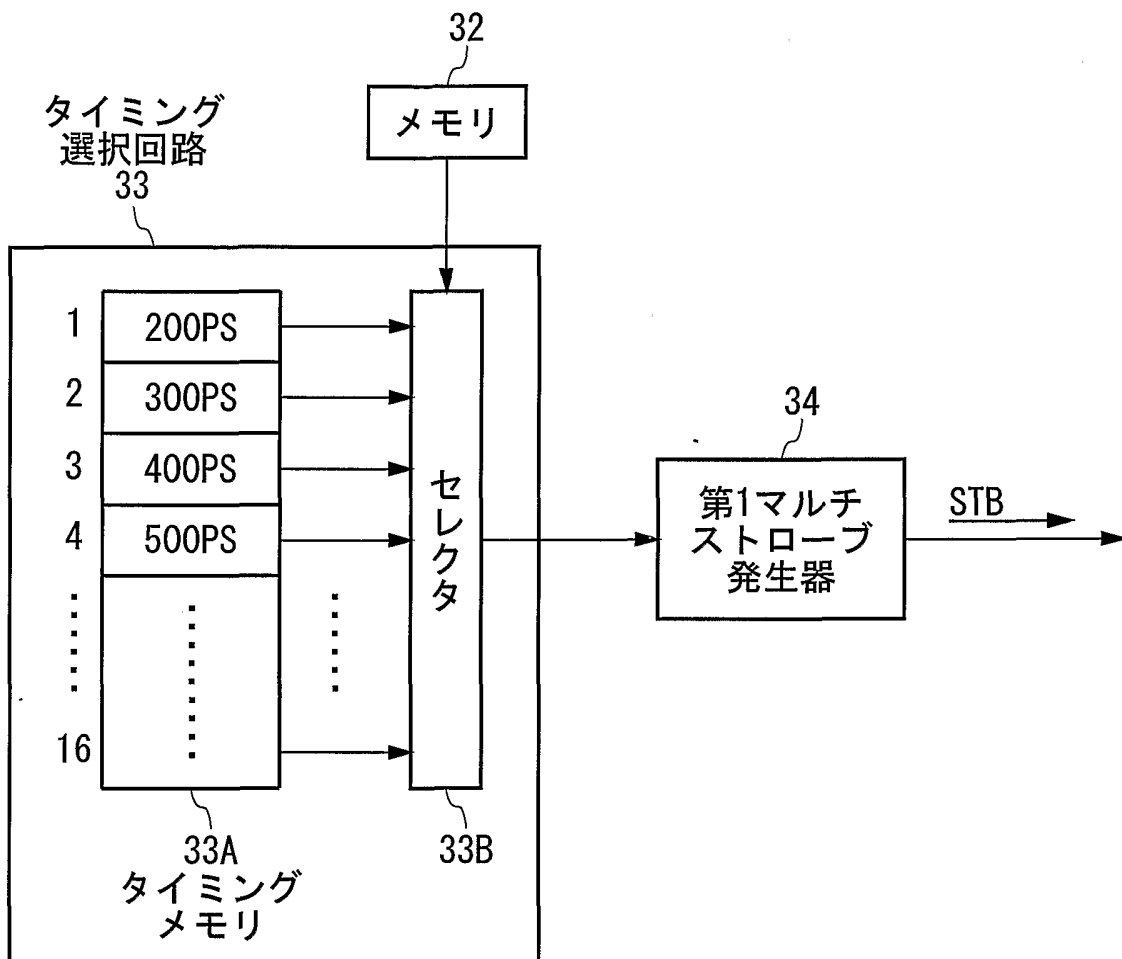
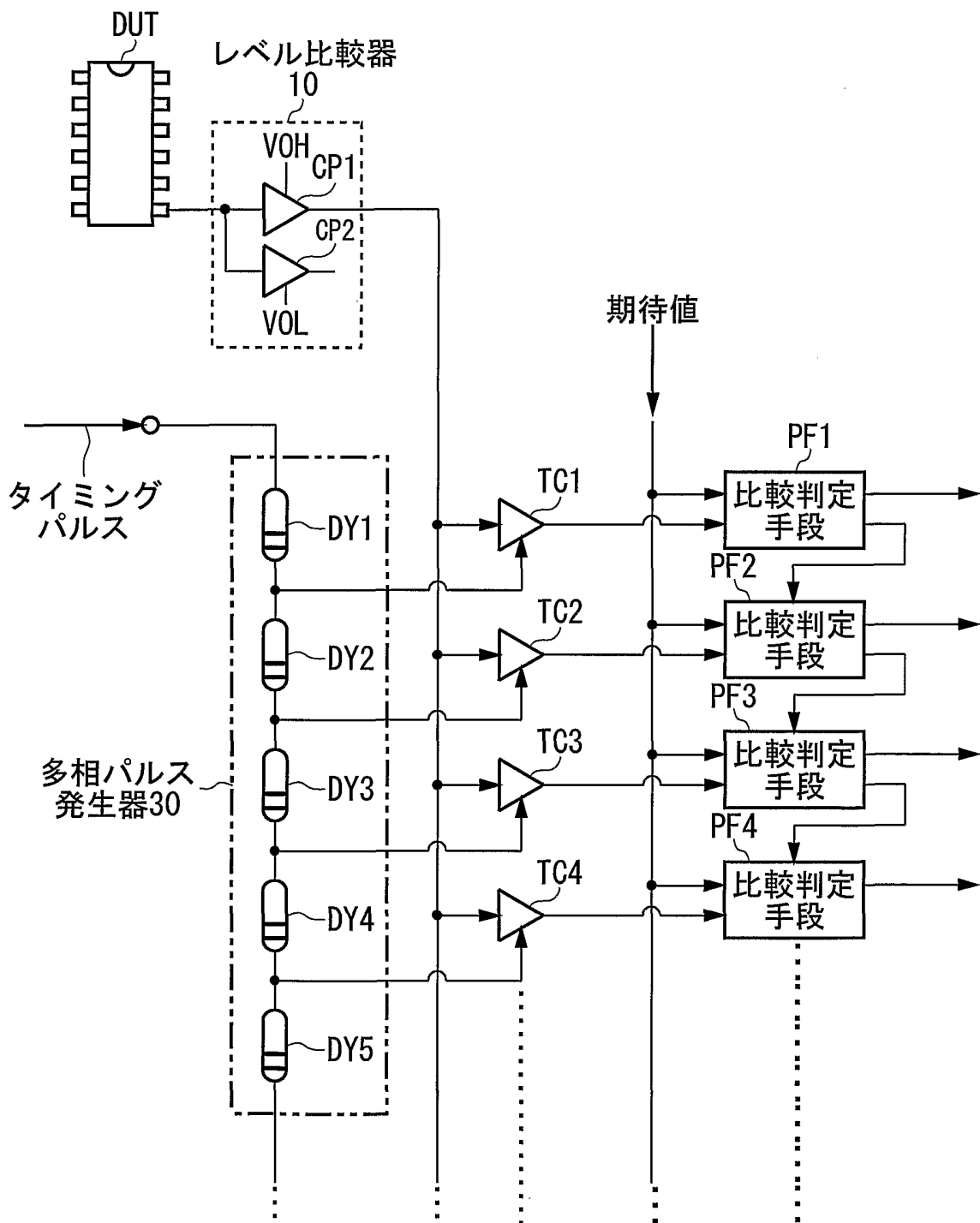


図 8



9/27

120, 110
図 9

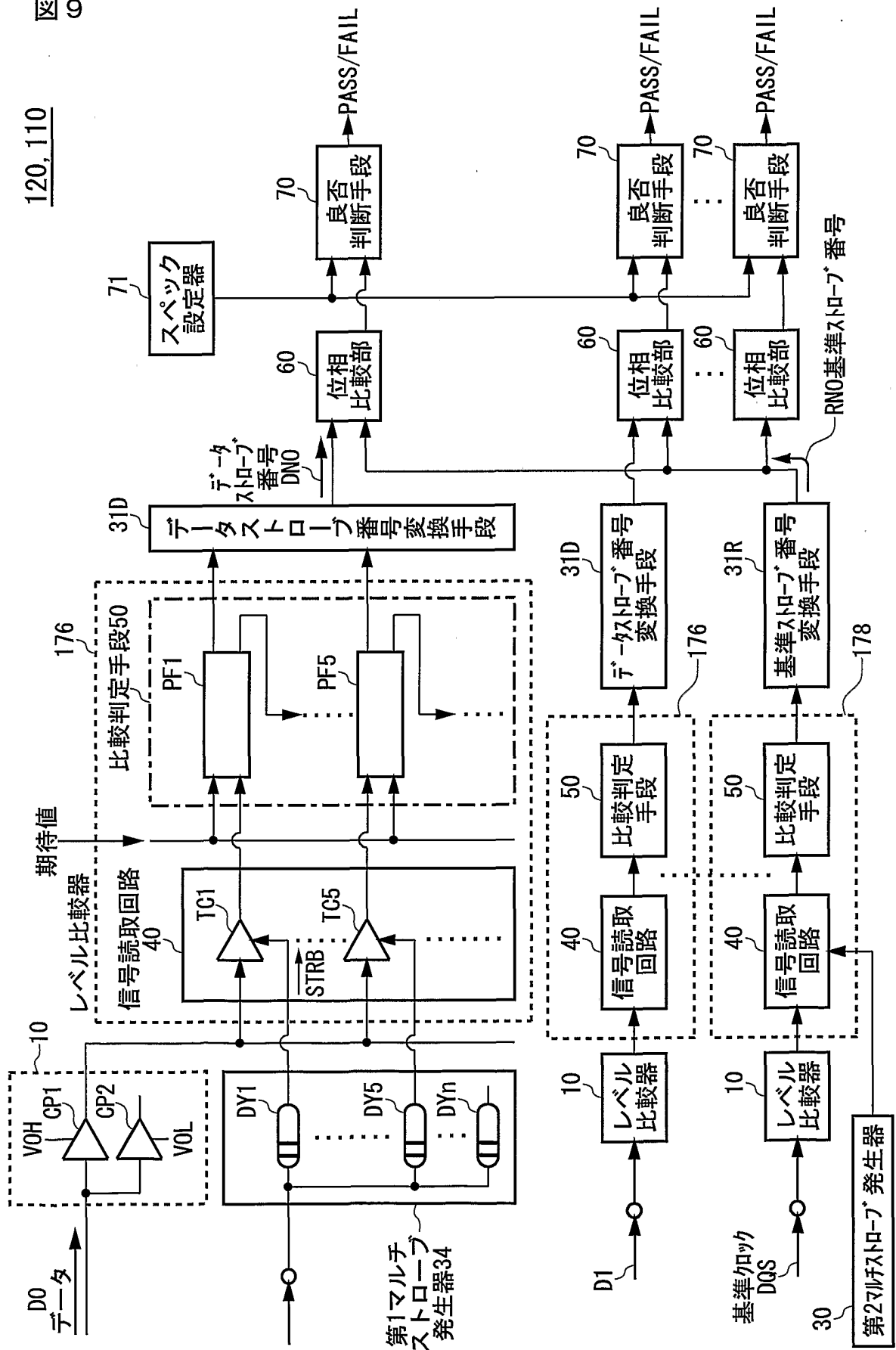
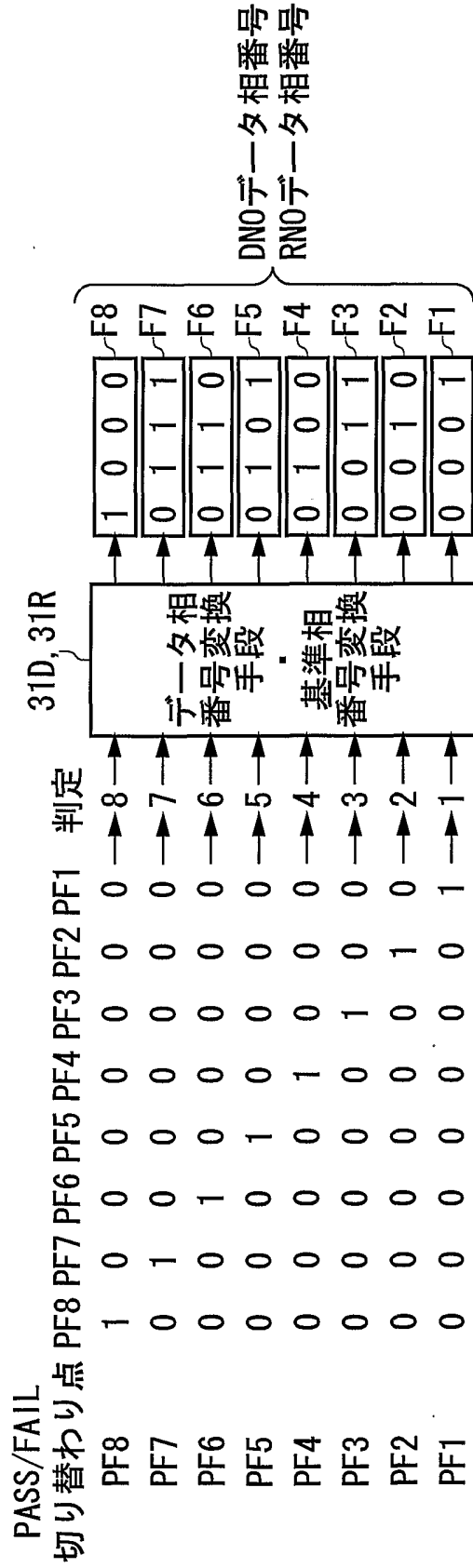


図 10



11/27

図 1 1

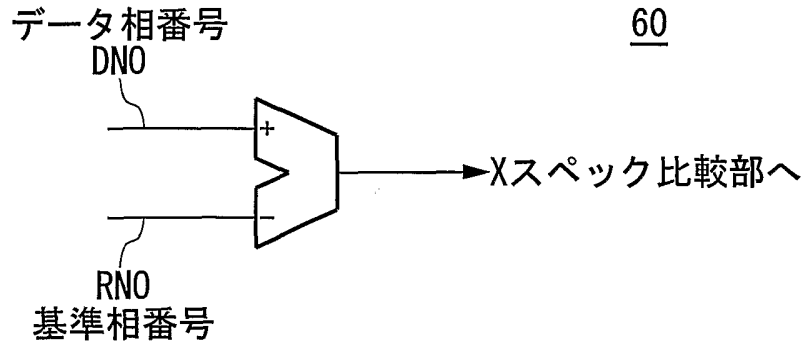


図 1 2

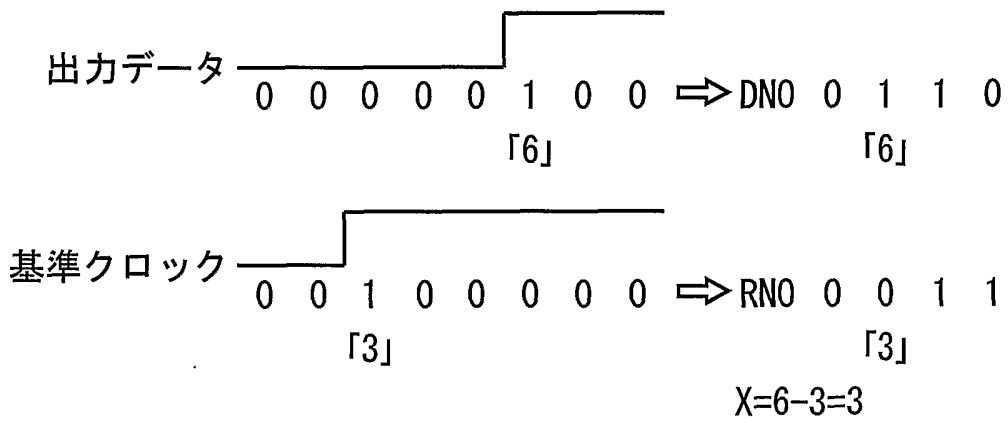


図 1 3

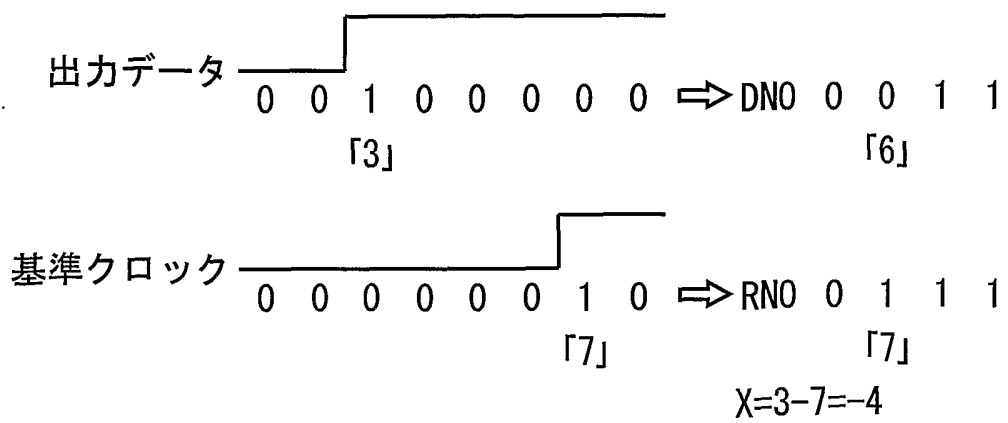
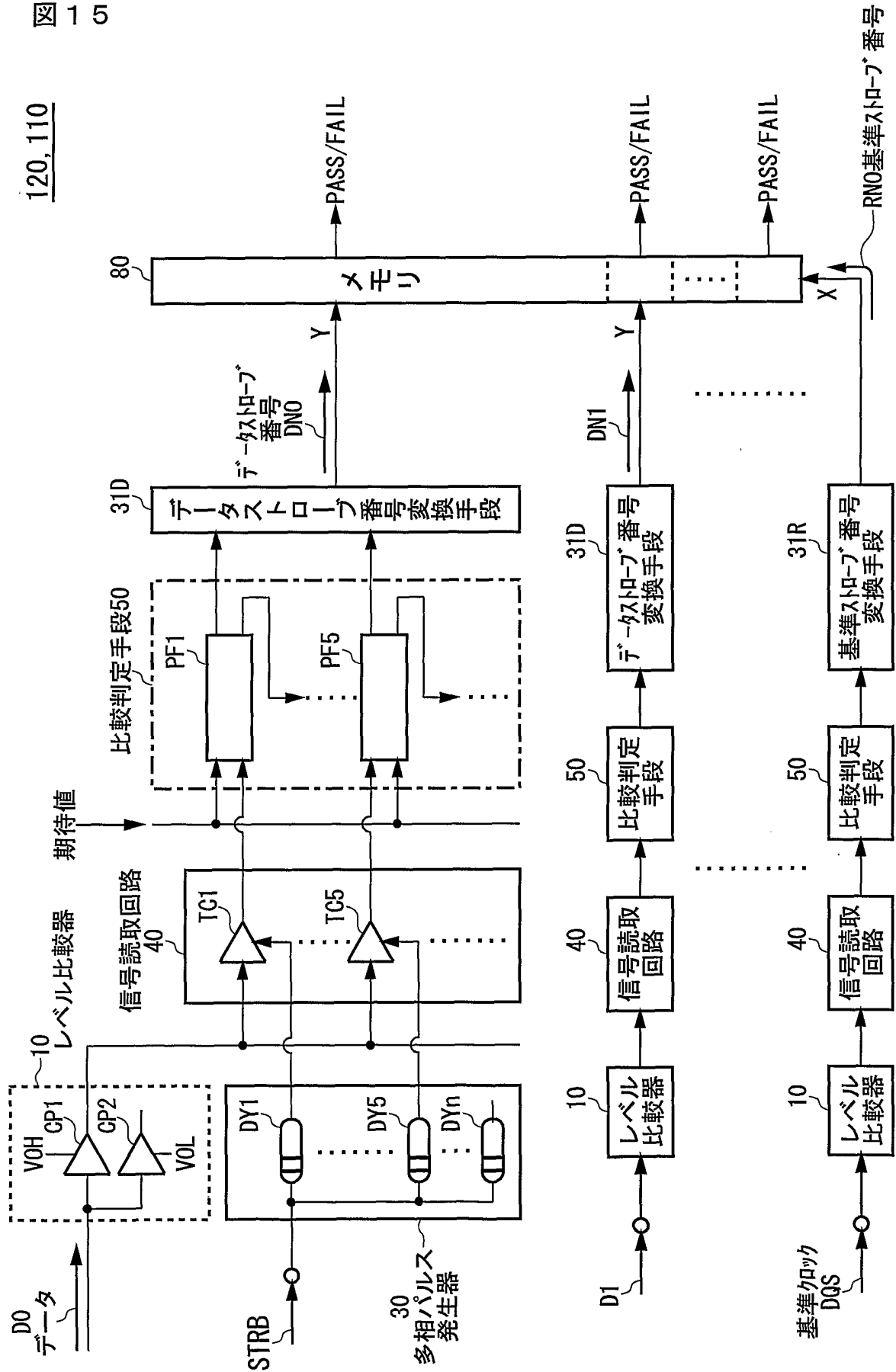


図 15



120, 110

RNO基準ストローブ番号

14/27

図 16

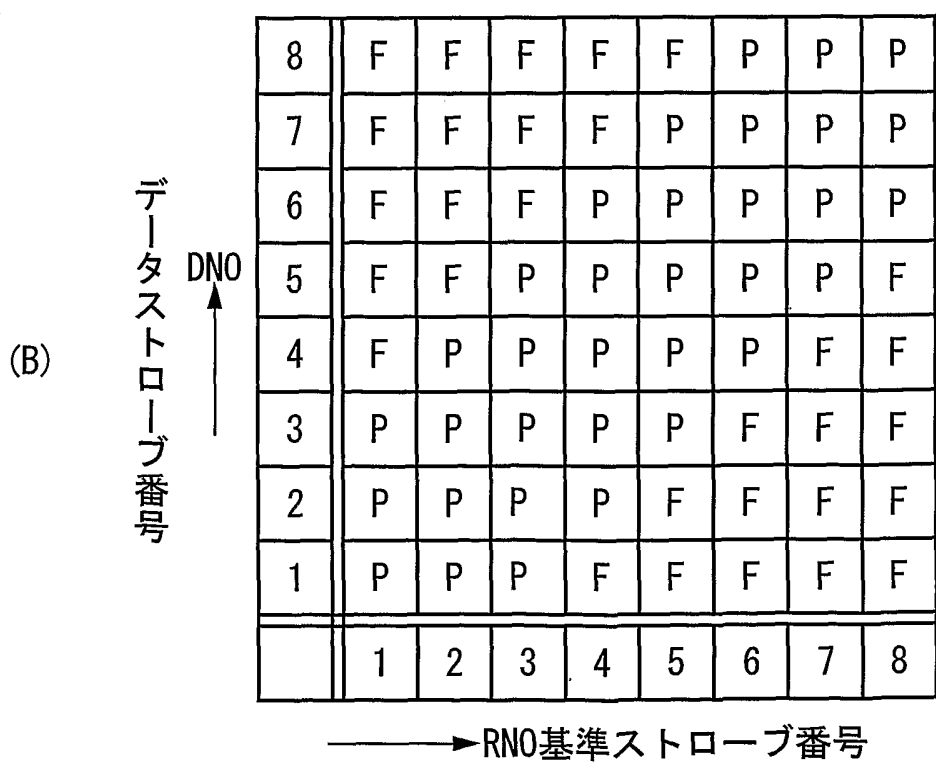
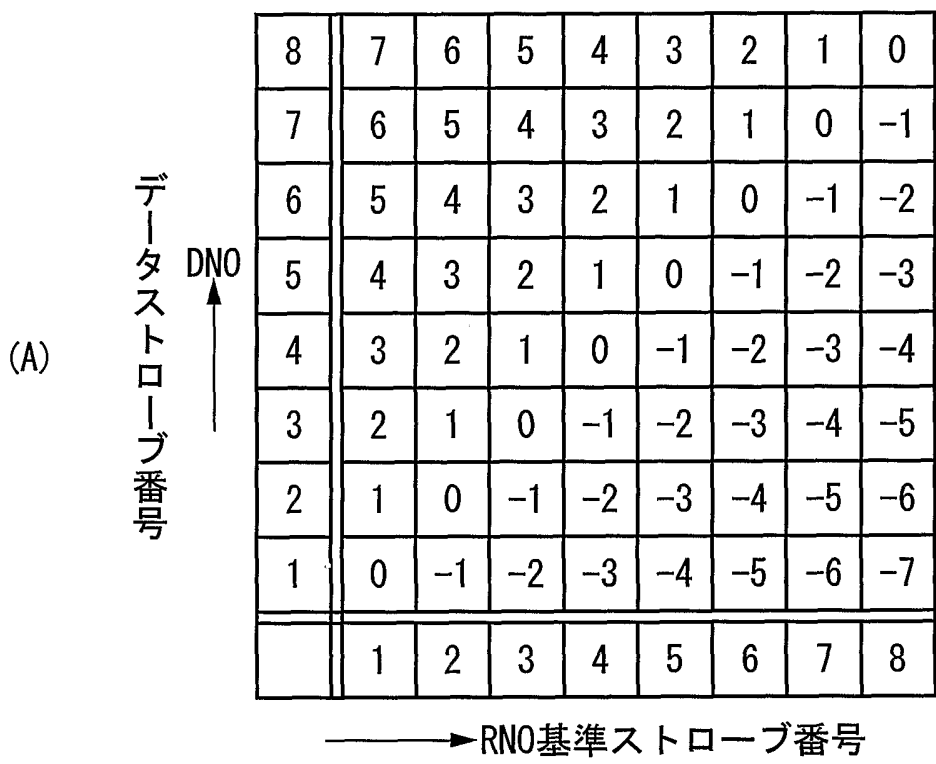


図 17

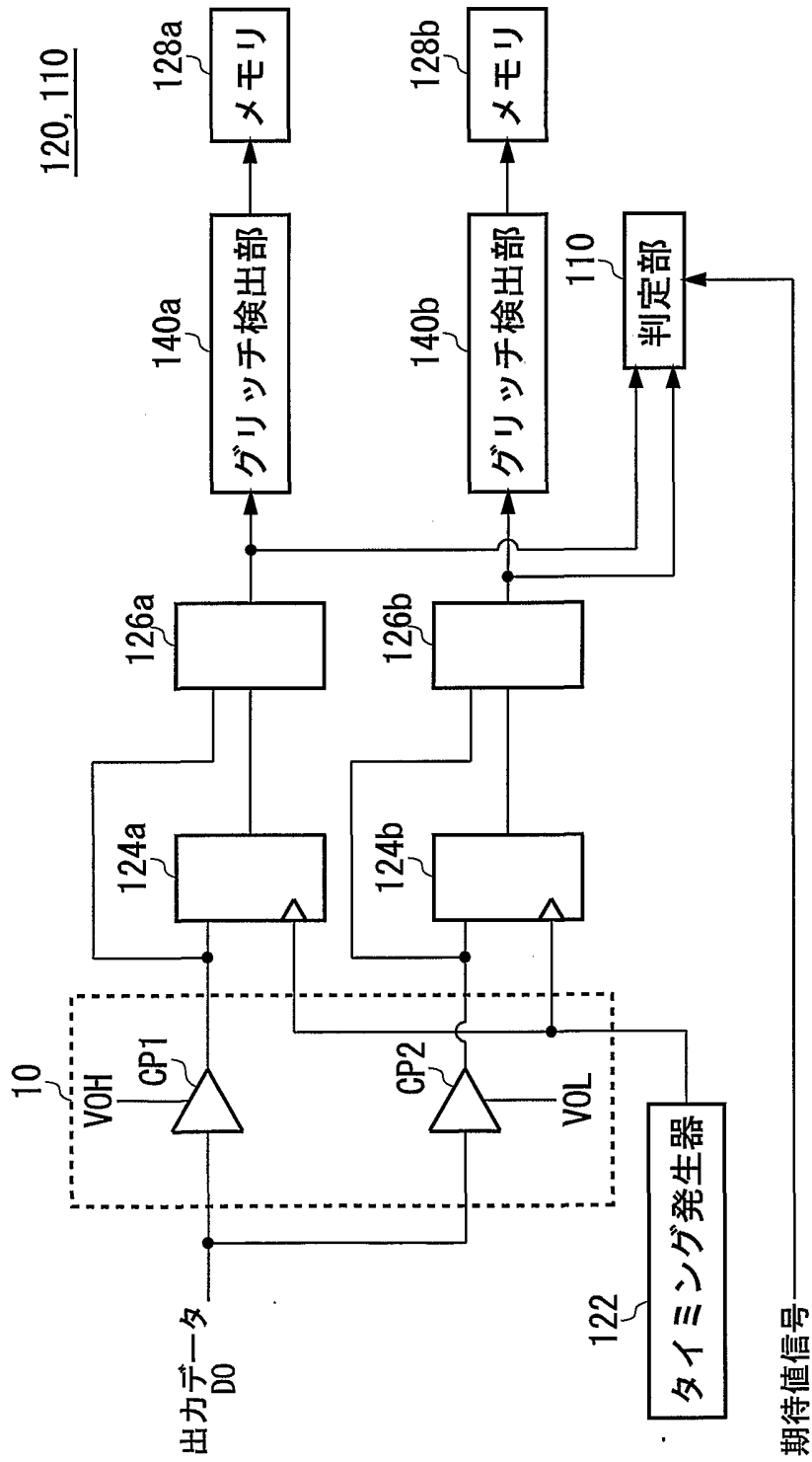


図 18

140

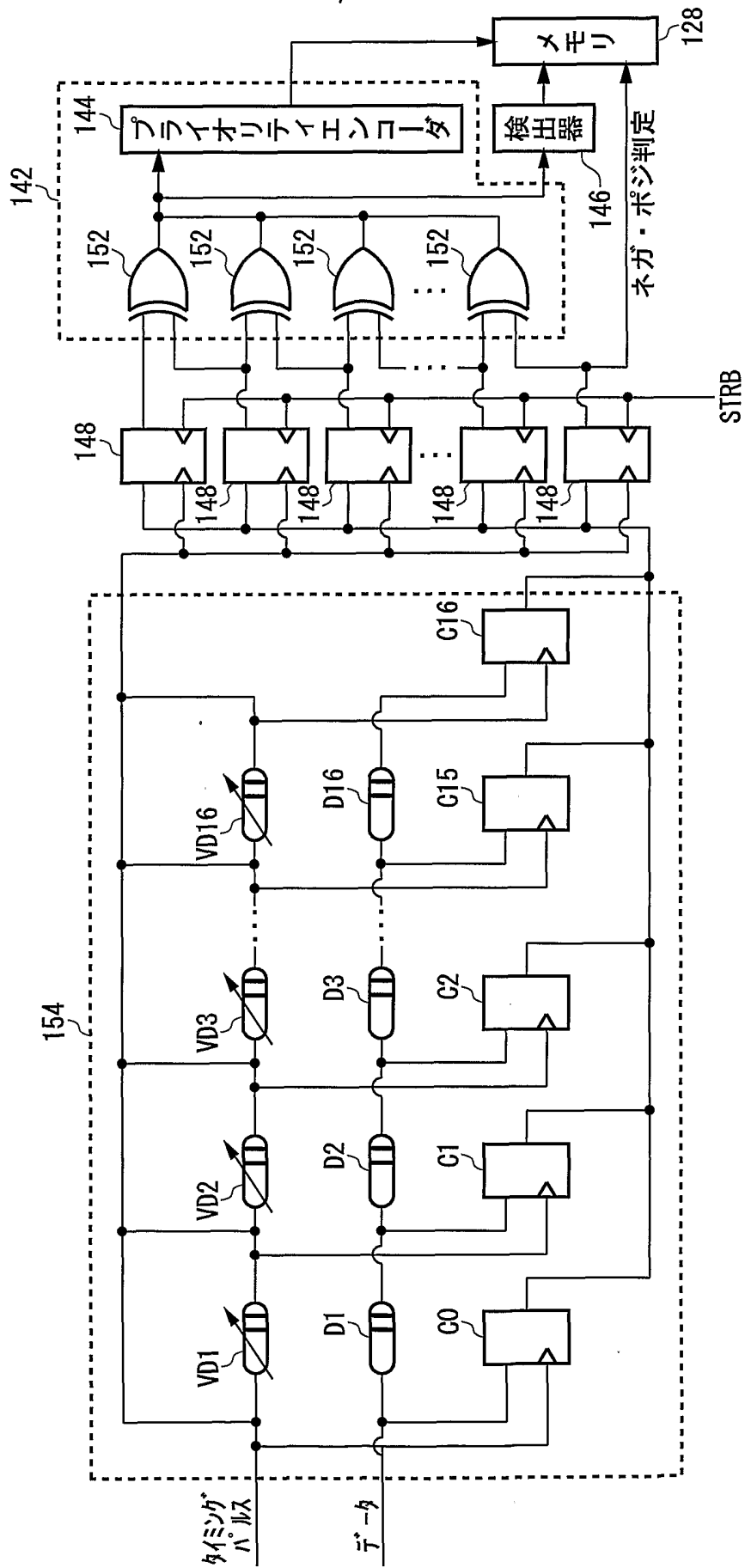


図 19

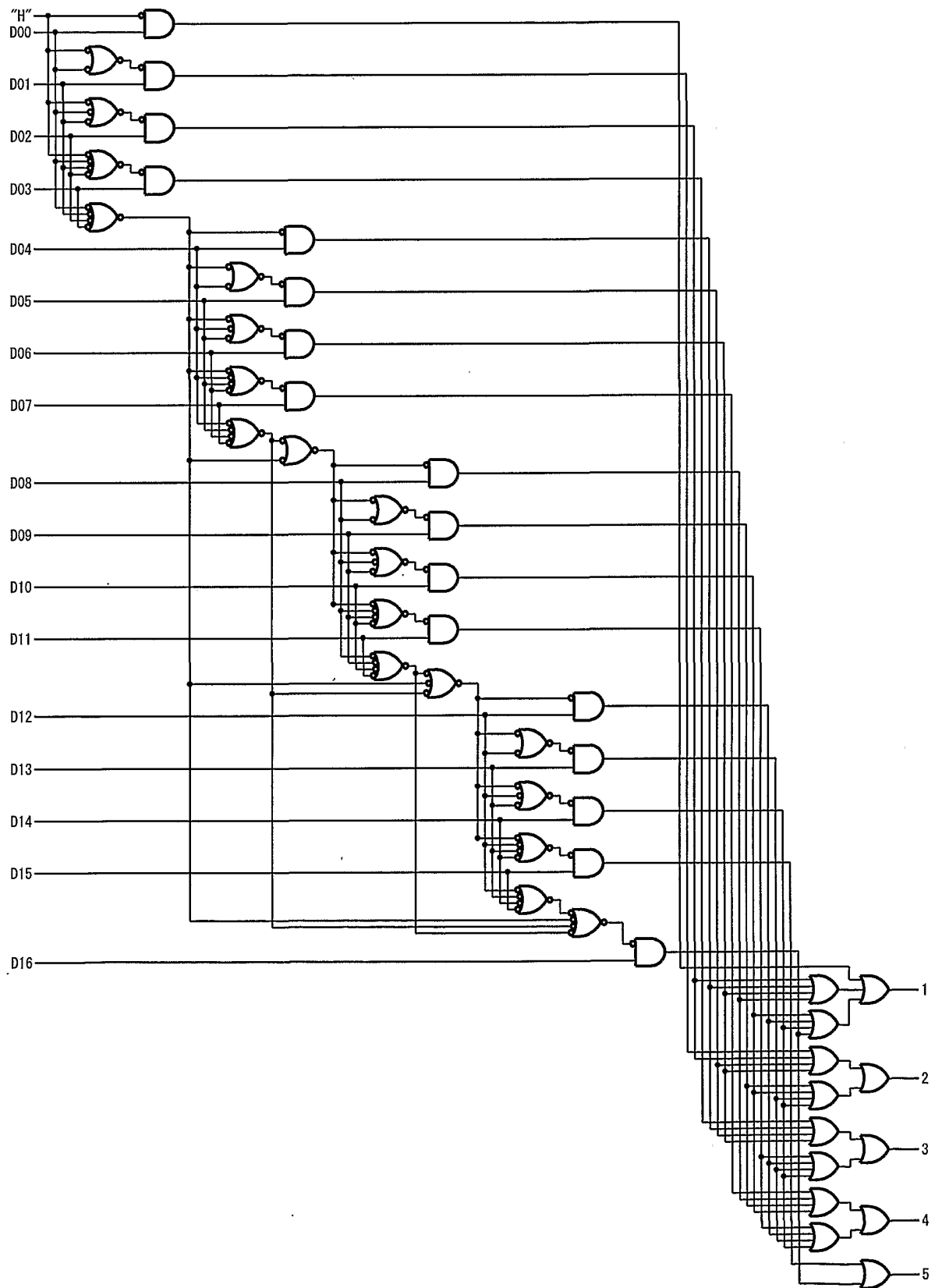


図 2 1

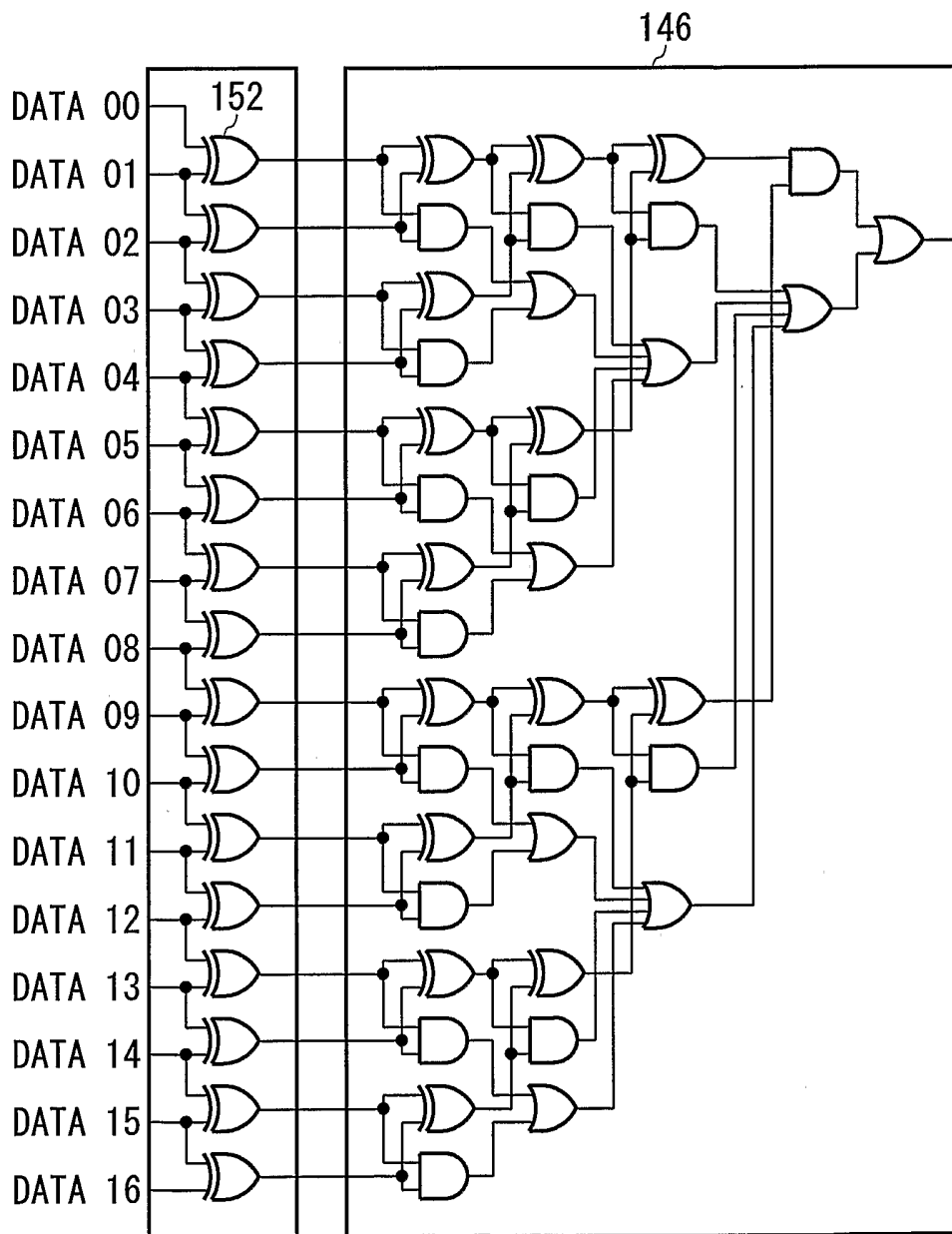
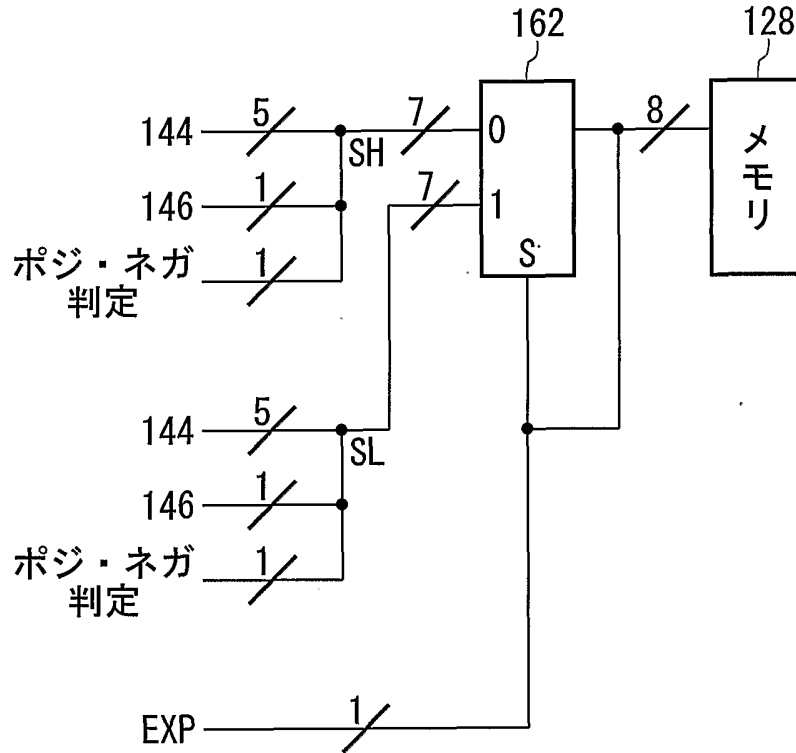


図 2 2

(a)



(b)

D7	D6	D5	D4	D3	D2	D1	D0
EXP	グリッチ検出	ポジ・ネガ判定	変化点コード				

D0~D4 : 変化点コード

#0 変化点無し

#1~#F 変化点(値-1) × 50psの位相に変化点を検出した

D5 : ポジ・ネガ判定

1のとき SH/SLの立ち下がりを検出した

0のとき SH/SLの立ち上がりを検出した

D6 : グリッチ検出

1のとき グリッチを検出した

0のとき グリッチを検出なかった

D7 : EXP

1のとき "H-Level"期待でFHがメモリされる

0のとき "L-Level"期待でFLがメモリされる

図 2 3

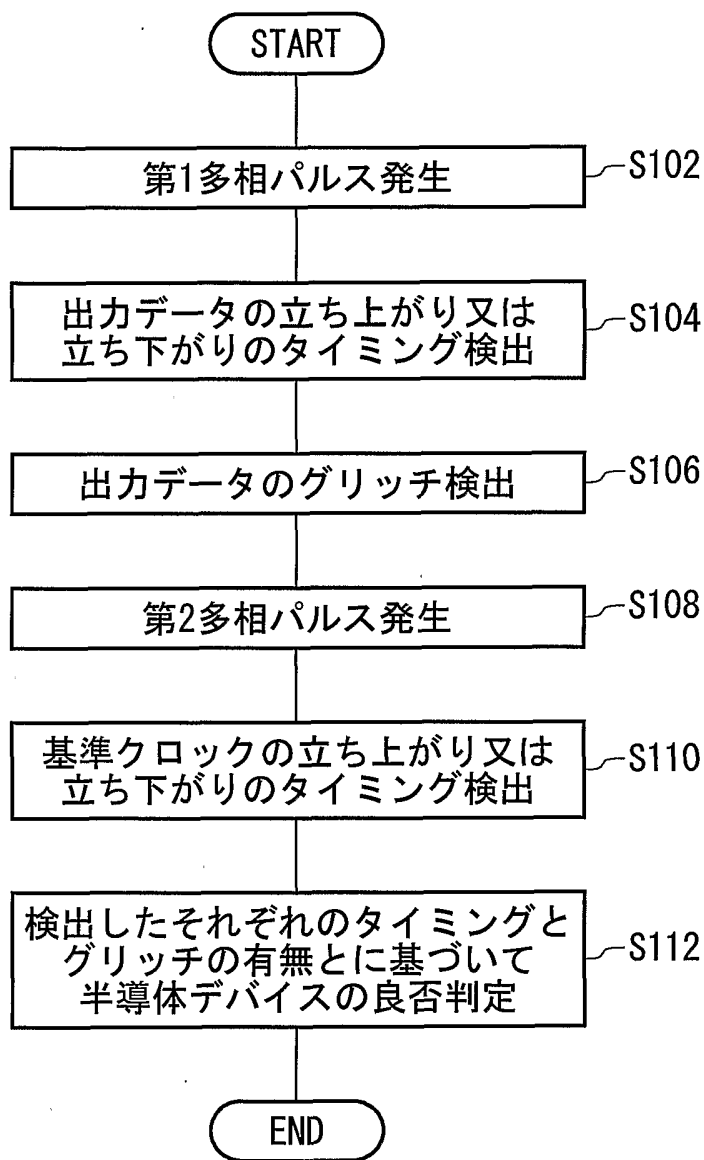


図 2 4

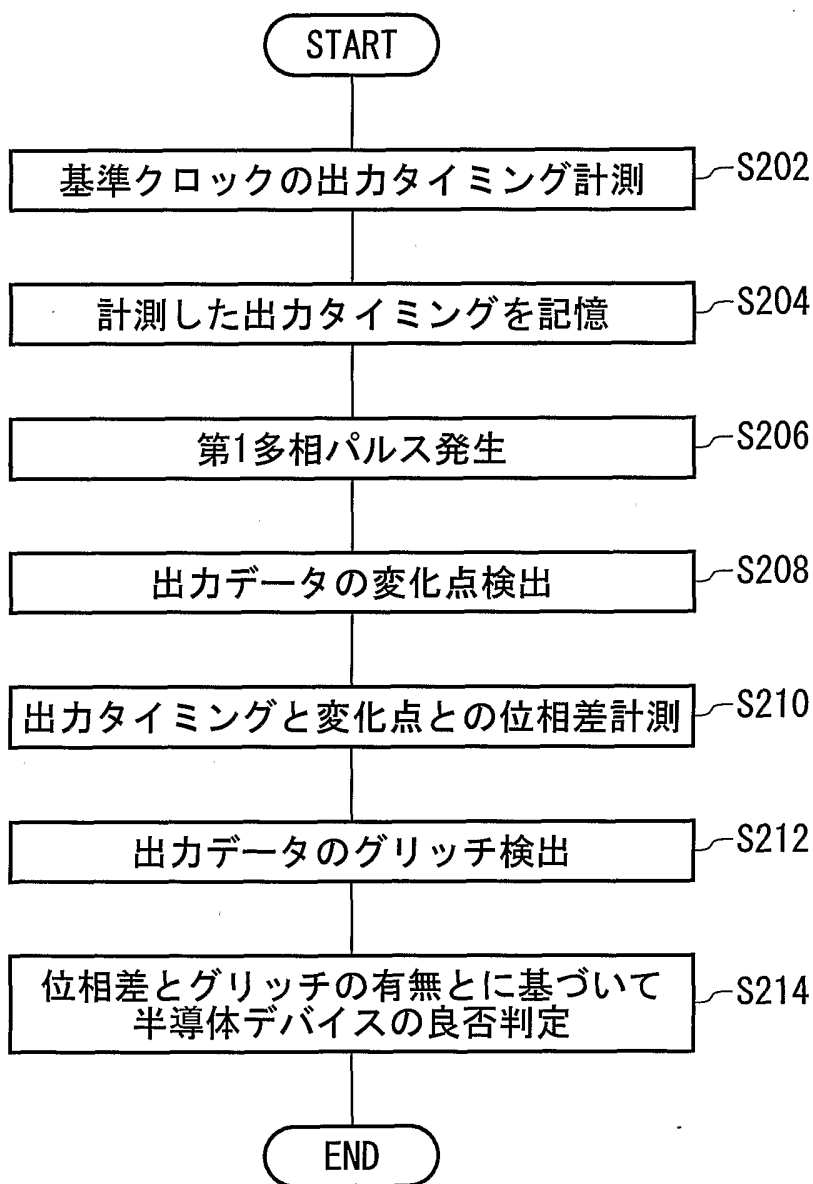


図 25

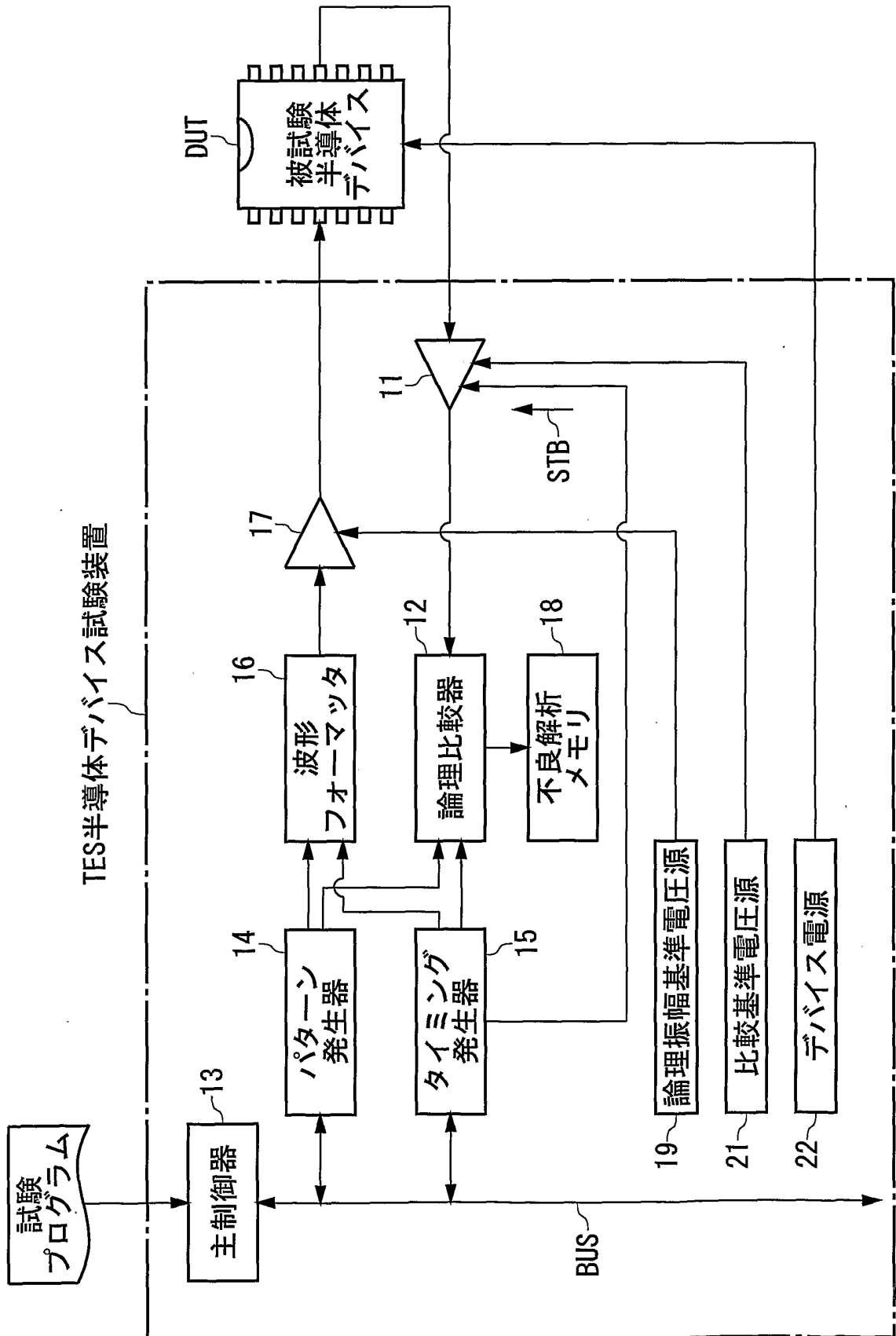


図 26

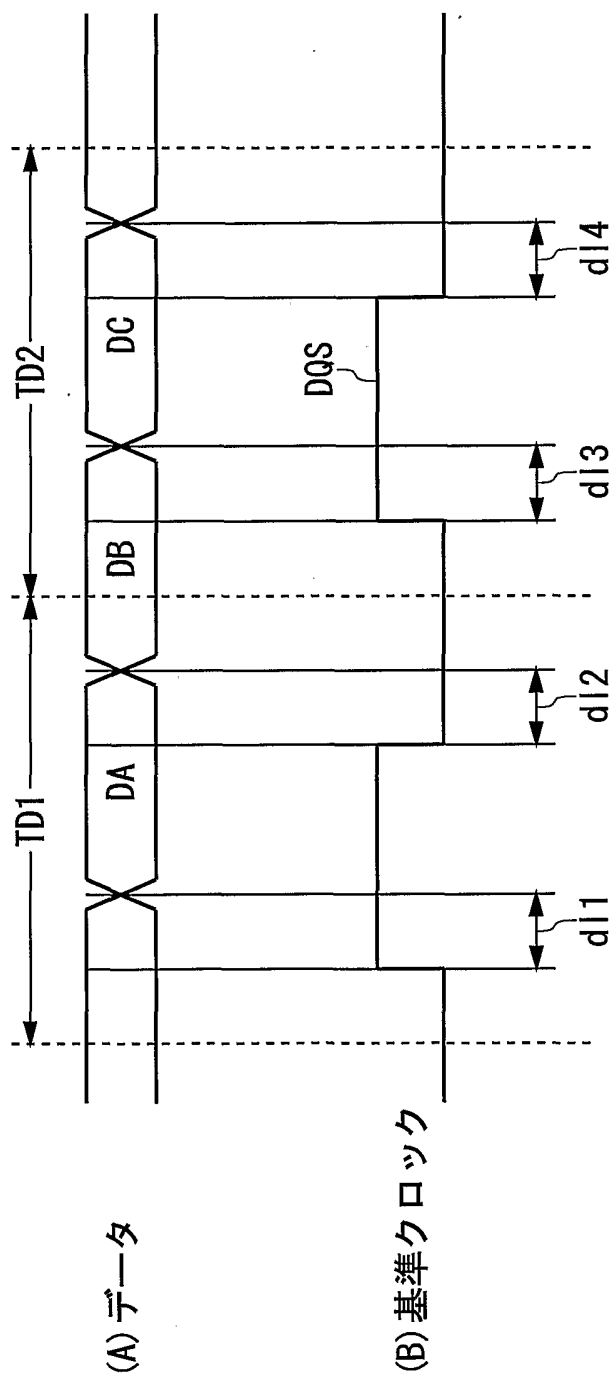


図 27

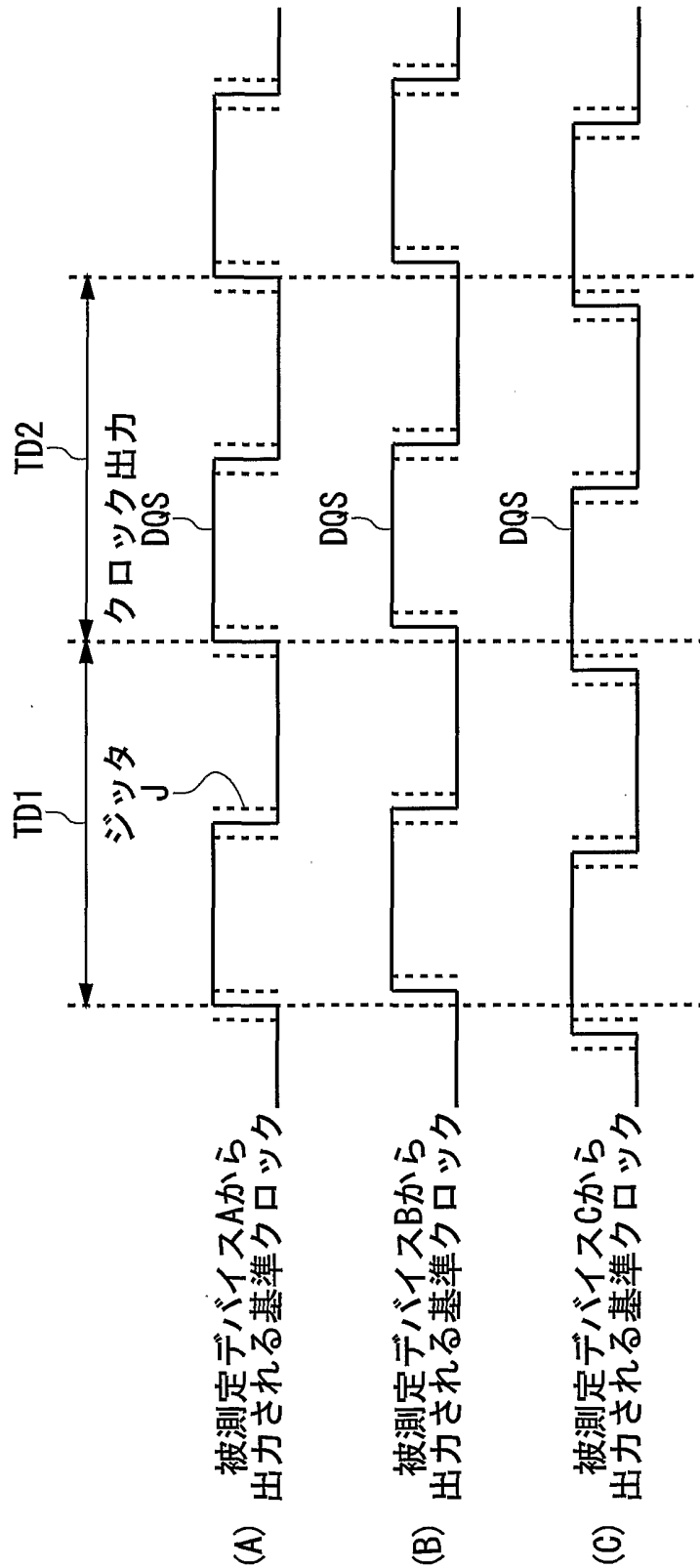


図 28

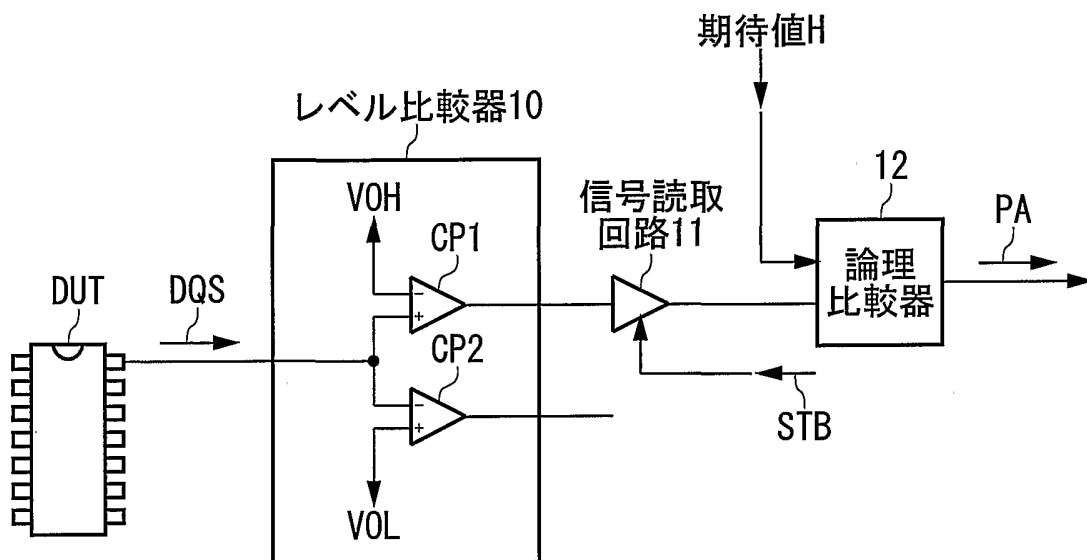
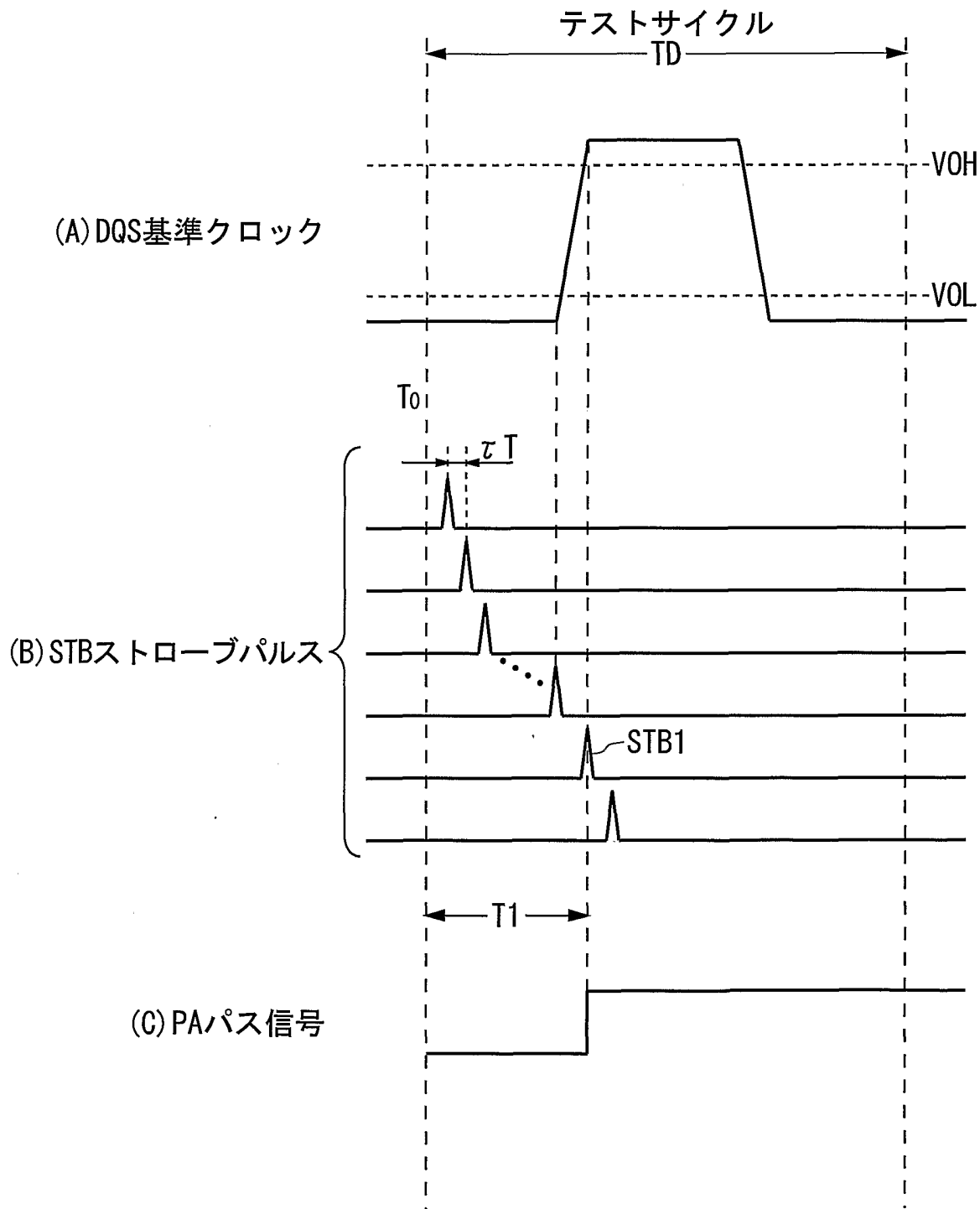


図 29



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05924

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G01R31/319		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G01R31/28-31/3193, G11C29/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 02-118474 A (Fujitsu Ltd.), 02 May, 1990 (02.05.90), Full text; all drawings (Family: none)	1-29
A	JP 2000-149593 A (Advantest Corp.), 30 May, 2000 (30.05.00), Full text; all drawings (Family: none)	1-29
A	JP 2000-162290 A (Ando Electric Co., Ltd.), 16 June, 2000 (16.06.00), Full text; all drawings (Family: none)	9-12, 23-25, 27, 29
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 06 September, 2002 (06.09.02)	Date of mailing of the international search report 24 September, 2002 (24.09.02)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05924

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09-97196 A (Nippon Precision Circuits Inc.), 08 April, 1997 (08.04.97), Full text; all drawings (Family: none)	9-12, 23-25, 27, 29
P, X	JP 2001-201532 A (Advantest Corp.), 27 July, 2001 (27.07.01), Full text; all drawings & US 2001/52097 A	1-8, 15, 17, 26, 28
P, X	JP 2002-25294 A (Advantest Corp.), 25 January, 2002 (25.01.02), Full text; all drawings (Family: none)	1-4, 15, 17, 26, 28
E, X	JP 2002-196053 A (Ando Electric Co., Ltd.), 10 July, 2002 (10.07.02), Full text; all drawings (Family: none)	1-4, 14-17, 26, 28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R 31/319

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R 31/28-31/3193, G11C29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 02-118474 A (富士通株式会社) 1990.05.02, 全文, 全図 (ファミリーなし)	1-29
A	JP 2000-149593 A (株式会社アドバンテスト) 2000.05.30, 全文, 全図 (ファミリーなし)	1-29
A	JP 2000-162290 A (安藤電気株式会社) 2000.06.16, 全文, 全図 (ファミリーなし)	9-12, 23-25, 27, 29

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

06.09.02

国際調査報告の発送日

24.09.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾崎 淳史



2S 8907

電話番号 03-3581-1101 内線 6751

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 09-97196 A (日本プレシジョン・サーキット株式会社) 1997. 04. 08, 全文, 全図 (ファミリーなし)	9-12, 23-25, 27, 29
PX	JP 2001-201532 (株式会社アドバンテスト) 2001. 07. 27, 全文, 全図 &US 2001/52097 A	1-8, 15-22, 26, 28
PX	JP 2002-25294 A (株式会社アドバンテスト) 2002. 01. 25, 全文, 全図 (ファミリーなし)	1-4, 15, 17, 26, 28
EX	JP 2002-196053 A (安藤電気株式会社) 2002. 07. 10, 全文, 全図 (ファミリーなし)	1-4, 14-17, 26, 28