

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/336

H01L 21/28 H01L 29/786



[12] 发明专利申请公开说明书

[21] 申请号 200310119705.7

[43] 公开日 2004年9月1日

[11] 公开号 CN 1525542A

[22] 申请日 2003.12.3

[21] 申请号 200310119705.7

[30] 优先权

[32] 2003.2.28 [33] KR [31] 12793/2003

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 高荣健 吴昌奉

[74] 专利代理机构 北京市柳沈律师事务所

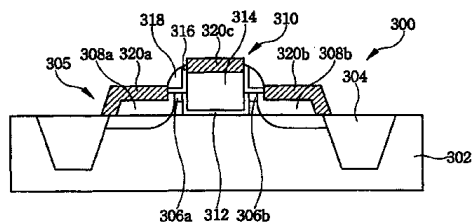
代理人 陶凤波 侯宇

权利要求书9页 说明书11页 附图12页

[54] 发明名称 具有抬升的源极和漏极结构的金氧半晶体管及其制造方法

[57] 摘要

本发明公开了一种具有抬升的源极和漏极结构的金氧半晶体管及其制造方法，该晶体管包括源极延伸区和漏极延伸区，其中抑制或消除了掺杂剂在沟道区内的扩散。这部分地通过抬升源极延伸区和漏极延伸区至形成在下面的衬底上的外延层中来实现。由此，增大了有效沟道长度，同时限制了掺杂剂扩散至沟道区中。按此方式，可以通过控制源极延伸区和漏极延伸区、源极区和漏极区各自的几何形状(例如，深度和宽度)、沟道宽度以及可选地形成在下面的衬底中的沟槽，精确地确定晶体管的性能特性。在几个实施例中，源极区和漏极区以及源极延伸区和漏极延伸区可部分或完全延伸穿过外延层，或者甚至延伸至下面的半导体衬底中。



ISSN 1008-4274

1. 一种用于形成具有抬升的源极和漏极结构的 MOS 晶体管的方法，包括：
- 5 在衬底上设置牺牲栅极图形；
在衬底上、临近牺牲栅极图形，设置外延层；
在外延层上、临近牺牲栅极图形，设置第一绝缘层和第二绝缘层；
移除牺牲栅极图形，从而暴露部分的衬底和外延层的侧壁部分；
在衬底的暴露部分上并沿着外延层的侧壁部分设置栅极介电层；
- 10 在栅极介电层上设置栅极电极；
移除第二绝缘层和第一绝缘层；
使用栅极电极作为掩模，以杂质掺杂外延层，从而在最接近栅极介电层的外延层中形成源极延伸区和漏极延伸区；
在栅极电极上部的侧壁上设置绝缘间隔壁；以及
- 15 使用栅极电极和绝缘间隔壁作为掩模，以杂质掺杂外延层，从而形成临近源极延伸区和漏极延伸区的深源极区和深漏极区。
2. 如权利要求 1 所述的方法，其中源极延伸区和漏极延伸区通过在外延层上设置氮化硅膜和氧化硅膜之前用杂质掺杂外延层来形成。
3. 如权利要求 1 所述的方法，其中设置牺牲栅极图形包括顺序形成氧
- 20 化硅膜和氮化硅膜、并且构图顺序形成的薄膜从而形成牺牲栅极图形。
4. 如权利要求 1 所述的方法，其中衬底为从由以下材料构成的组中选取的一种类型：硅；绝缘硅(SOI)；SiGe；绝缘 SiGe(SGOI)；应变硅；应变绝缘硅；以及 GaAs。
5. 如权利要求 1 所述的方法，还包括在外延层上形成焊垫氧化层。
- 25 6. 如权利要求 1 所述的方法，其中在临近牺牲栅极图形的外延层上形成第一绝缘层和第二绝缘层包括：
在外延层和牺牲栅极图形上顺序设置氮化硅膜和氧化硅膜；以及
平整化氮化硅膜、氧化硅膜和牺牲栅极图形，从而暴露牺牲栅极图形的上表面。
- 30 7. 如权利要求 6 所述的方法，其中平整化包括通过化学机械抛光工艺(CMP)或回蚀处理来平整化。

8. 如权利要求 1 所述的方法, 其中移除牺牲栅极图形包括蚀刻牺牲栅极图形从而暴露衬底的上表面。
9. 如权利要求 1 所述的方法, 其中移除牺牲栅极图形包括蚀刻牺牲栅极图形从而在衬底中形成凹陷。
- 5 10. 如权利要求 9 所述的方法, 其中设置栅极介电层包括在衬底凹陷的底部和侧壁上设置栅极介电层。
11. 如权利要求 9 所述的方法, 其中凹陷具有小于 50nm 的深度。
12. 如权利要求 1 所述的方法, 还包括用杂质掺杂衬底的暴露部分, 从而在移除牺牲栅极图形后形成沟道区。
- 10 13. 如权利要求 1 所述的方法, 还包括在衬底上设置牺牲栅极图形前用杂质掺杂衬底的沟道区。
14. 如权利要求 1 所述的方法, 其中栅极介电层包括从由以下材料构成的材料组中选取的材料: 氧化硅膜; 氮氧化硅(SiON); 氧化钽; 以及高介电常数材料。
- 15 15. 如权利要求 1 所述的方法, 其中设置栅极介电层包括使用沉积或热氧化工艺形成栅极介电层。
16. 如权利要求 1 所述的方法, 其中设置栅极电极包括:
在栅极介电层和第二绝缘层上形成栅极电极材料膜; 以及
平整化栅极电极材料膜和第二绝缘层。
- 20 17. 如权利要求 16 所述的方法, 其中平整化包括通过化学机械抛光工艺(CMP)或回蚀处理来平整化。
18. 如权利要求 1 所述的方法, 其中栅极电极包括从由以下材料构成的材料组中选取的材料: 多晶硅膜; 硅锗膜; 硅化物膜; 金属膜; 以及叠层膜。
- 25 19. 如权利要求 1 所述的方法, 其中移除第二绝缘层和第一绝缘层包括使用湿法蚀刻工艺来移除。
20. 如权利要求 1 所述的方法, 其中在栅极电极上部的侧壁上设置绝缘间隔壁包括:
在所得的结构上设置氮化硅膜; 以及
各向异性地蚀刻氮化硅膜。
- 30 21. 如权利要求 20 所述的方法, 还包括在设置氮化硅膜以前, 在所得

的结构上设置氧化硅缓冲层。

22. 如权利要求 1 所述的方法, 还包括在源极区、漏极区和栅极电极上形成硅化物膜。

23. 如权利要求 22 所述的方法, 其中硅化物膜包括从由以下材料构成的组中选取的材料: Co、Ni、W、Ti、及其组合。

24. 如权利要求 1 所述的方法, 其中源极延伸区和漏极延伸区的深度小于深源极区和深漏极区的深度。

25. 如权利要求 1 所述的方法, 其中深源极区和深漏极区延伸至衬底中。

26. 如权利要求 1 所述的方法, 其中源极延伸区和漏极延伸区延伸至衬底中。

27. 一种 MOS 晶体管, 其具有抬升的源极和漏极结构, 包括:

栅极介电层, 在衬底上;

栅极电极, 在栅极介电层上;

15 外延层, 临近栅极介电层、在衬底上;

第一源极区和第一漏极区, 在外延层中, 临近栅极电极下侧部分处的栅极介电层; 以及

绝缘间隔壁, 在栅极电极上侧部分处的外延层上。

28. 如权利要求 27 所述的晶体管, 其中栅极介电层延伸过栅极电极的底部和下侧部分。

29. 如权利要求 27 所述的晶体管, 其中第一源极区和第一漏极区通过用杂质掺杂外延层形成。

30. 如权利要求 27 所述的晶体管, 还包括临近与栅极电极相对的第一源极区和第一漏极区的第二源极区和第二漏极区。

31. 如权利要求 30 所述的晶体管, 其中第二源极区和第二漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂暴露的表面来形成。

32. 如权利要求 30 所述的晶体管, 其中第一源极区和第一漏极区包括源极延伸区和漏极延伸区, 并且其中第二源极区和第二漏极区包括深源极区和深漏极区。

33. 如权利要求 30 所述的晶体管, 其中第一源极区和第一漏极区的深度小于第二源极区和第二漏极区的深度。

34. 如权利要求 30 所述的晶体管, 其中第二源极区和第二漏极区延伸至衬底的一部分中。
35. 如权利要求 29 所述的晶体管, 其中第一源极区和第一漏极区延伸至衬底的一部分中。
- 5 36. 如权利要求 27 所述的晶体管, 其中衬底利用从由以下材料构成的组中选取的一种类型形成: 硅; 绝缘硅(SOI); SiGe; 绝缘 SiGe(SGOI); 应变硅; 应变绝缘硅; 以及 GaAs。
37. 如权利要求 27 所述的晶体管, 其中外延层包括硅或硅锗。
38. 如权利要求 27 所述的晶体管, 其中栅极介电层和栅极电极延伸至
10 形成于衬底上部中的沟槽内。
39. 如权利要求 38 所述的晶体管, 其中沟槽具有小于 50nm 的深度。
40. 如权利要求 27 所述的晶体管, 还包括栅极电极下和邻近栅极电极下侧部分的衬底中的沟道区。
41. 如权利要求 27 所述的晶体管, 其中栅极介电层包括从由以下材料
15 构成的材料组中选取的材料: 氧化硅膜; 氮氧化硅(SiON); 氧化钽; 以及高介电常数材料。
42. 如权利要求 27 所述的晶体管, 其中栅极介电层使用沉积或热氧化工艺形成。
43. 如权利要求 27 所述的晶体管, 其中栅极电极包括从由以下材料构
20 成的材料组中选取的材料: 多晶硅膜; 硅锗膜; 硅化物膜; 金属膜; 以及叠层膜。
44. 如权利要求 27 所述的晶体管, 还包括栅极电极与绝缘间隔壁之间的氧化硅缓冲层。
45. 如权利要求 27 所述的晶体管, 还包括源极区、漏极区和栅极电极
25 上的硅化物膜。
46. 如权利要求 45 所述的晶体管, 其中硅化物膜包括从由以下材料构成的组中选取的材料: Co、Ni、W、Ti、及其组合。
47. 一种 MOS 晶体管, 其具有抬升的源极和漏极结构, 包括:
栅极介电层, 在衬底上;
30 栅极电极, 在栅极介电层上, 其中栅极介电层延伸过栅极电极的底部和下侧部分;

外延层, 临近栅极介电层、在衬底上;

第一源极区和第一漏极区, 在外延层中, 临近栅极电极下侧部分处的栅极介电层; 以及

第二源极区和第二漏极区, 临近与栅极电极相对的第一源极区和第一漏极区。

48. 如权利要求 47 所述的晶体管, 其中第一源极区和第一漏极区通过用杂质掺杂外延层形成。

49. 如权利要求 47 所述的晶体管, 还包括栅极电极上侧部分处的外延层上的绝缘间隔壁, 其中第二源极区和第二漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂暴露的表面来形成。

50. 如权利要求 49 所述的晶体管, 其中第一源极区和第一漏极区包括源极延伸区和漏极延伸区, 并且其中第二源极区和第二漏极区包括深源极区和深漏极区。

51. 如权利要求 47 所述的晶体管, 其中衬底为从由以下材料构成的组中选取的一种类型: 硅; 绝缘硅(SOI); SiGe; 绝缘 SiGe(SGOI); 应变硅; 应变绝缘硅; 以及 GaAs。

52. 如权利要求 47 所述的晶体管, 其中第一源极区和第一漏极区在外延层中形成至第一深度, 而其中第二源极区和第二漏极区形成至第二深度, 其中第一深度小于第二深度。

53. 如权利要求 47 所述的晶体管, 其中第二源极区和第二漏极区延伸至衬底的一部分中。

54. 一种 MOS 晶体管, 其具有抬升的源极和漏极结构, 包括:

衬底, 在其上部中具有沟槽;

栅极介电层, 作为沟槽的内衬;

栅极电极, 在栅极介电层上, 栅极电极延伸至沟槽内, 其中栅极介电层延伸过栅极电极的底部和下侧部分;

外延层, 临近栅极介电层、在衬底上;

第一源极区和第一漏极区, 在外延层中, 临近栅极电极下侧部分处的栅极介电层; 以及

第二源极区和第二漏极区, 临近与栅极电极相对的第一源极区和第一漏极区。

55. 如权利要求 54 所述的晶体管，其中第一源极区和第一漏极区通过用杂质掺杂外延层形成。

56. 如权利要求 54 所述的晶体管，还包括栅极电极上侧部分处的外延层上的绝缘间隔壁，其中第二源极区和第二漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂暴露的表面来形成。

57. 如权利要求 56 所述的晶体管，其中第一源极区和第一漏极区包括源极延伸区和漏极延伸区，并且其中第二源极区和第二漏极区包括深源极区和深漏极区。

58. 如权利要求 54 所述的晶体管，其中衬底为从由以下材料构成的组中选取的一种类型：硅；绝缘硅(SOI)；SiGe；绝缘 SiGe(SGOI)；应变硅；应变绝缘硅；以及 GaAs。

59. 如权利要求 54 所述的晶体管，其中第一源极区和第一漏极区在外延层中形成至第一深度，而其中第二源极区和第二漏极区形成至第二深度，其中第一深度小于第二深度。

60. 如权利要求 54 所述的晶体管，其中第二源极区和第二漏极区延伸至衬底的一部分中。

61. 如权利要求 54 所述的晶体管，其中第一源极区和第一漏极区延伸至衬底的一部分中。

62. 一种 MOS 晶体管，其具有抬升的源极和漏极结构，包括：

栅极介电层，在衬底上；

栅极电极，在栅极介电层上，其中栅极介电层延伸过栅极电极的底部和下侧部分；

外延层，临近栅极介电层、在衬底上；

源极延伸区和漏极延伸区，在外延层中，临近栅极电极下侧部分处的栅极介电层，通过用杂质掺杂外延层形成；

绝缘间隔壁，在栅极电极上侧部分处的外延层上；以及

深源极区和深漏极区，临近与栅极电极相对的源极延伸区和漏极延伸区，其中深源极区和深漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂外延层来形成。

63. 如权利要求 62 所述的晶体管，其中衬底为从由以下材料构成的组中选取的一种类型：硅；绝缘硅(SOI)；SiGe；绝缘 SiGe(SGOI)；应变硅；

应变绝缘硅; 以及 GaAs。

64. 如权利要求 62 所述的晶体管, 其中深源极区和深漏极区延伸至外延层下的衬底中。

65. 如权利要求 62 所述的晶体管, 其中源极延伸区和漏极延伸区延伸至衬底的一部分中。

66. 如权利要求 62 所述的晶体管, 其中栅极电极延伸至形成在衬底上侧部分内的沟槽中。

67. 一种 MOS 晶体管, 其具有抬升的源极和漏极结构, 包括:

衬底, 在其上部中具有沟槽;

10 栅极介电层, 作为沟槽的内衬;

栅极电极, 在栅极介电层上, 栅极电极延伸至沟槽内, 其中栅极介电层延伸过栅极电极的底部和下侧部分;

外延层, 临近栅极介电层, 在衬底上;

15 源极延伸区和漏极延伸区, 在外延层中, 临近栅极电极下侧部分处的栅极介电层, 其通过用杂质掺杂外延层形成;

绝缘间隔壁, 在栅极电极上侧部分处的外延层上; 以及

深源极区和深漏极区, 临近与栅极电极相对的源极延伸区和漏极延伸区, 其中深源极区和深漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂外延层来形成。

20 68. 如权利要求 67 所述的晶体管, 其中衬底为从由以下材料构成的组中选取的一种类型: 硅; 绝缘硅(SOI); SiGe; 绝缘 SiGe(SGOI); 应变硅; 应变绝缘硅; 以及 GaAs。

69. 如权利要求 67 所述的晶体管, 其中深源极区和深漏极区延伸至外延层下的衬底中。

25 70. 如权利要求 67 所述的晶体管, 其中源极延伸区和漏极延伸区延伸至外延层下的衬底中。

71. 如权利要求 67 所述的晶体管, 其中沟槽的深度小于 50nm。

72. 一种 MOS 晶体管, 其具有抬升的源极和漏极结构, 包括:

栅极介电层, 在衬底上;

30 栅极电极, 在栅极介电层上, 其中栅极介电层延伸过栅极电极的底部和下侧部分;

外延层，临近栅极介电层，在衬底上；以及

第一源极区和第一漏极区，在外延层中，临近栅极电极下侧部分处的栅极介电层。

73. 如权利要求 72 所述的晶体管，还包括绝缘间隔壁，在栅极电极上
5 侧部分处的外延层上。

74. 如权利要求 72 所述的晶体管，其中栅极介电层延伸过栅极电极的底部和下侧部分。

75. 如权利要求 72 所述的晶体管，其中第一源极区和第一漏极区通过用杂质掺杂外延层形成。

10 76. 如权利要求 72 所述的晶体管，还包括临近与栅极电极相对的第一源极区和第一漏极区的第二源极区和第二漏极区。

77. 如权利要求 76 所述的晶体管，其中第二源极区和第二漏极区通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂暴露的表面来形成。

15 78. 如权利要求 76 所述的晶体管，其中第一源极区和第一漏极区包括源极延伸区和漏极延伸区，并且其中第二源极区和第二漏极区包括深源极区和深漏极区。

79. 如权利要求 76 所述的晶体管，其中第一源极区和第一漏极区的深度小于第二源极区和第二漏极区的深度。

20 80. 如权利要求 76 所述的晶体管，其中第二源极区和第二漏极区延伸至衬底的一部分中。

81. 如权利要求 76 所述的晶体管，其中第一源极区和第一漏极区延伸至衬底的一部分中。

25 82. 如权利要求 72 所述的晶体管，其中衬底为从由以下材料构成的组中选取的一种类型：硅；绝缘硅(SOI)；SiGe；绝缘 SiGe(SGOI)；应变硅；应变绝缘硅；以及 GaAs。

83. 如权利要求 72 所述的晶体管，其中外延层包括硅或硅锗。

84. 如权利要求 72 所述的晶体管，其中栅极介电层和栅极电极延伸至形成于衬底上部内的沟槽中。

85. 如权利要求 84 所述的晶体管，其中沟槽具有小于 50nm 的深度。

30 86. 如权利要求 72 所述的晶体管，还包括栅极电极下和邻近栅极电极下侧部分的衬底中的沟道区。

87. 如权利要求 72 所述的晶体管, 其中栅极介电层包括从由以下材料构成的材料组中选取的材料: 氧化硅膜; 氮氧化硅(SiON); 氧化钽; 以及高介电常数材料。

5 88. 如权利要求 72 所述的晶体管, 其中栅极介电层使用沉积或热氧化工艺形成。

89. 如权利要求 72 所述的晶体管, 其中栅极电极包括从由以下材料构成的材料组中选取的材料: 多晶硅膜; 硅锗膜; 硅化物膜; 金属膜; 以及叠层膜。

10 90. 如权利要求 72 所述的晶体管, 还包括栅极电极与绝缘间隔壁之间的氧化硅缓冲层。

91. 如权利要求 72 所述的晶体管, 还包括源极区、漏极区和栅极电极上的硅化物膜。

92. 如权利要求 91 所述的晶体管, 其中硅化物膜包括从由以下材料构成的组中选取的材料: Co、Ni、W、Ti、及其组合。

15

具有抬升的源极和漏极结构的
金氧半导体及其制造方法

5

技术领域

本发明一般性地涉及一种金氧半(MOS)晶体管及其制造方法,并且特别涉及一种具有抬升的源极和漏极结构(elevated source and drain structure)的金氧半导体及其制造方法。

10

背景技术

在半导体产业中,集成电路中金属氧化物半导体(MOS)晶体管部件尺寸的最小化是普遍的目标。这一目标主要受到对于在尽可能低的成本下制造集成电路、同时改善电路的功能性和速度的需求的驱动。尺寸的缩小可以通过减小晶体管的特征尺寸(例如减小栅极长度、栅极氧化物厚度、以及结深度)和提高沟道的掺杂水平来实现。然而,尺寸缩小的MOS晶体管通常受到所谓“短通道效应”现象的影响。由于开关特性受栅极电极的控制不足,因此短通道效应对晶体管的开关特性产生负面影响,这将导致阈值电压不期望的降低。机械性地,源极和漏极周围的耗尽区占据了沟道区越来越大的部分,使得需要栅极上更低的电势来实现沟道中的倒置。

20

参照图1,制造于半导体衬底102内的传统小尺寸MOS晶体管100包括源极延伸区106a和漏极延伸区106b。源极延伸区106a和漏极延伸区106b具有很浅的结,这是为了使发生在具有亚微米或纳米尺度的MOS晶体管中的短通道效应降到最低。MOS晶体管100还包括源极区108a和漏极区108b,与源极延伸区106a和漏极延伸区106b相比,源极区108a和漏极区108b具有更深的结,从而提供更低的电阻。MOS晶体管100还包括由栅极电介质112和栅极电极114构成的栅极结构110。通常由氮化硅(SiN)构成的绝缘间隔壁118沉积在栅极结构110的侧壁上。MOS晶体管100还包括硅化物区域120a、120b和120c,从而提供与源极区108a/漏极区108b以及栅极电极114之间的低电阻电接触。MOS晶体管通过浅沟槽隔离结构104与其它器件电隔离。

25

30

问题在于源极延伸区 106a/漏极延伸区 106b 中的杂质容易扩散到直接位于栅极 110 下面的区域中。直接形成在栅极 100 下面的源极延伸区 106a/漏极延伸区 106b 的部分与直接位于侧壁间隔壁 118 下的延伸区 106a/106b 的部分相比，具有较高电阻的栅极 110 下面。因此，晶体管 100 具有与源极和漏极串联的有效电阻 R。这抑制了电流的流动，因此降低了运行速度。

第二个问题是有关于沟道掺杂浓度的升高，这将导致场效应晶体管中阈值电压的升高。为了满足 MOS 结构所需的小型化，沟道杂质区的杂质浓度必须升高。同时，目前的半导体器件设计为工作在较低的电源电压下，例如从 5V 至 3.3V 的范围内。为了在如此低的电源电压下工作，需要降低场效应晶体管的阈值电压。因此，由于沟道掺杂浓度的升高导致的 MOS 晶体管阈值电压的升高是不期望的。另一方面，小尺寸器件中过高的沟道掺杂水平导致过量漏电流的增大，并使结击穿。

为了克服上述缺点，已经提出了抬升的源极和漏极结构。参照图 2，在半导体衬底 202 的表面上形成由栅极电介质 212 和栅极电极 214 构成的栅极结构 210。源极延伸区 206a 和漏极延伸区 206b 随后形成在半导体衬底中。通常由氮化硅(SiN)构成的间隔壁 218 形成在栅极结构 210 的侧壁上。通常由硅构成的外延层 205 通常使用选择性外延生长法生长在源极延伸区 206a/漏极延伸区 206b 的暴露部分上。生长外延层 205 后，注入并活化掺杂剂，从而形成抬升的源极 208a 和抬升的漏极 208b。MOS 晶体管 200 还包括硅化物区域 220a、220b 和 220c，从而提供与抬升的源极区 208a/漏极区 208b 以及栅极电极 214 之间的电接触。

根据图 2 的结构制造的具有抬升的源极/漏极的 MOS 晶体管对于通过增大源极区和漏极区的厚度来降低电阻以及通过抬升源极区 208a/漏极区 208b 来降低掺杂水平十分有效。然而，不可避免的是，源极延伸区 206a/漏极延伸区 206b 的掺杂剂扩散到直接位于栅极 210 下面的区域中，这将导致穿过源极延伸区 206a/漏极延伸区 206b 的结漏电流。

发明内容

本发明教导了一种具有抬升的源极和漏极结构的 MOS 晶体管，及其形成方法，其克服了传统实施例的限制。具体地说，本发明提供了一种晶体管，包括源极延伸区和漏极延伸区，其中抑制或消除了掺杂剂在沟道区内

的扩散。这部分地通过抬升源极延伸区和漏极延伸区至形成在下面的衬底上的外延层中来实现。由此，增大了有效沟道长度，同时限制了掺杂剂扩散至沟道区中。

5 可以通过控制源极延伸区和漏极延伸区、源极区和漏极区各自的几何形状(例如,深度和宽度)、沟道宽度以及可选地形成在下面的衬底上的沟槽,精确地确定晶体管的性能特性。在几个实施例中,源极区和漏极区以及源极延伸区和漏极延伸区可部分或完全延伸穿过外延层,或者甚至延伸至下面的半导体衬底中。

10 在一个方面中,本发明教导了一种用于形成具有抬升的源极和漏极结构的MOS晶体管的方法。在衬底上设置牺牲栅极图形。在衬底上、临近牺牲栅极图形,设置外延层。在外延层上、临近牺牲栅极图形,设置氮化硅膜和氧化硅膜。移除牺牲栅极图形,从而暴露部分的衬底和外延层的侧壁部分。在衬底的暴露部分上并沿着外延层的侧壁部分设置栅极介电层。在栅极介电层上设置栅极电极。移除氧化硅膜和氮化硅膜。使用栅极电极作为掩模,以杂质掺杂外延层,从而在最接近栅极介电层的外延层中形成源极延伸区和漏极延伸区。在栅极电极上部的侧壁上设置绝缘间隔壁。使用栅极电极和绝缘间隔壁作为掩模,以杂质掺杂外延层,从而形成临近源极延伸区和漏极延伸区的深源极区和深漏极区。

20 在一个实施例中,源极延伸区和漏极延伸区通过在外延层上设置氮化硅膜和氧化硅膜之前用杂质掺杂外延层来形成。设置牺牲栅极图形可包括顺序形成氧化硅膜和氮化硅膜,并且构图顺序形成的薄膜,从而形成牺牲栅极图形。

25 衬底,例如为从由以下材料构成的组中选取的一种类型:硅;绝缘硅(SOI); SiGe; 绝缘 SiGe(SGOI); 应变硅; 应变绝缘硅; 以及 GaAs。衬底可选地由第一导电类型的材料形成,用于掺杂外延层的杂质为与第一导电类型相反的第二导电类型。可在外延层上形成焊垫氧化层。

30 在外延层上、临近牺牲栅极图形,设置氮化硅膜和氧化硅膜的步骤包括:在外延层和牺牲栅极图形上顺序设置氮化硅膜和氧化硅膜;以及,平整化氮化硅膜、氧化硅膜和牺牲栅极图形,从而暴露牺牲栅极图形的上表面。氧化硅膜例如通过化学汽相沉积(CVD)工艺设置。平整化步骤例如包括利用化学机械抛光工艺(CMP)或回蚀处理来平整化。

移除牺牲栅极图形包括蚀刻牺牲栅极图形，从而暴露衬底的上表面，或者可选地，在衬底中形成凹陷，其中栅极介电层形成在衬底凹陷的底部和侧壁上。凹陷优选具有小于 50nm 的深度。

可利用杂质掺杂衬底的暴露部分，从而在移除牺牲栅极图形后，或者
5 可选地，在衬底上设置牺牲栅极图形之前，形成沟道区，沟道区与由牺牲栅极图形覆盖的衬底的面积相对应。

栅极介电层优选包括从由以下材料构成的材料组中选取的材料：氧化硅膜；氮氧化硅(SiON)；氧化钽；以及高介电常数材料。

设置栅极电极的步骤例如包括：在栅极介电层和氧化硅膜上形成栅极
10 电极材料膜；以及，平整化栅极电极材料膜和氧化硅膜。平整化例如包括通过化学机械抛光工艺(CMP)或回蚀处理来平整化。

栅极电极包括从由以下材料构成的材料组中选取的材料：多晶硅膜；硅锗膜；硅化物膜；金属膜；以及叠层膜。移除氧化硅膜和氮化硅膜的步骤包括使用湿法蚀刻工艺来移除。

15 在栅极电极上部的侧壁上设置绝缘间隔壁的步骤例如包括：在所得的结构上设置氮化硅膜；以及，各向异性地蚀刻氮化硅膜。在设置氮化硅膜以前，可以在所得的结构上设置氧化硅缓冲层。

使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂外延层，从而形成与源极延伸区和漏极延伸区相邻的源极区和漏极区的步骤包括，例如，用具有与源极延伸区和漏极延伸区相同导电类型的杂质来掺杂。
20

可以可选地在源极区、漏极区和栅极电极上形成硅化物膜。硅化物膜例如包括硅化钴膜。

例如源极延伸区和漏极延伸区形成至第一深度，而源极区和漏极区形成至第二深度。在一个示例中，第一深度小于第二深度。深源极区和深漏极区和/或源极延伸区和漏极延伸区可以可选地延伸至衬底中。
25

例如，衬底中的沟槽隔离结构可根据浅沟槽隔离工艺形成在深源极区和深漏极区的相对侧上。

在另一方面中，本发明教导了一种具有抬升的源极和漏极结构的 MOS 晶体管。在衬底上设置栅极介电层。在栅极介电层上设置栅极电极。在衬底上、临近栅极介电层设置外延层。在外延层中，临近栅极电极下侧部分
30 处的栅极介电层设置第一源极区和第一漏极区。

在一个示例中，栅极介电层延伸过栅极电极的底部和下侧部分。第一源极区和第一漏极区通过用杂质掺杂外延层形成。衬底由第一导电类型的材料形成，其中用于掺杂外延层的杂质为与第一导电类型相对的第二导电类型。

- 5 绝缘间隔壁可设置在栅极电极上侧部分处的外延层上；并且临近与栅极电极相对的第一源极区和第一漏极区设置第二源极区和第二漏极区。在此情况下，第二源极区和第二漏极区例如通过使用栅极电极和绝缘间隔壁作为掩模用杂质掺杂暴露的表面来形成。第一源极区和第一漏极区包括源极延伸区和漏极延伸区，并且其中第二源极区和第二漏极区包括深源极区
- 10 和深漏极区。第一源极区和第一漏极区在外延层中形成至第一深度，而第二源极区和第二漏极区形成至第二深度。在一个示例中，第一深度小于第二深度。第一源极区和第一漏极区和/或第二源极区和第二漏极区可以可选地延伸至衬底的一部分中。

- 衬底可以利用从由以下材料构成的组中选取的一种类型形成：硅；绝
- 15 缘硅(SOI)；SiGe；绝缘 SiGe(SGOI)；应变硅；应变绝缘硅；以及 GaAs。

栅极介电层和栅极电极延伸至形成于衬底上部内的沟槽中。在一个示例中，沟槽具有小于 50nm 的深度。

沟道区形成在栅极电极下和邻近栅极电极下侧部分的衬底中。

- 栅极介电层包括从由以下材料构成的材料组中选取的材料：氧化硅膜；
- 20 氮氧化硅(SiON)；氧化钽；以及高介电常数材料。栅极电极包括从由以下材料构成的材料组中选取的材料：多晶硅膜；硅锗膜；硅化物膜；金属膜；以及叠层膜。氧化硅缓冲层可设置在栅极电极与绝缘间隔壁之间。例如包括硅化钴的硅化物膜可形成在源极区、漏极区和栅极电极上。

25 附图说明

通过对本发明优选实施例更加具体的介绍，如附图中所示，本发明的前述及其它的目的、特征和优点将更加明显易懂，附图中相同的附图标记在不同的视图中始终表示相同的元件。附图并非必须是成比例的，而是将对于本发明原理的说明进行强调。

- 30 图 1 为传统 MOS 晶体管的截面示意图；

图 2 为具有抬升的源极和漏极区的传统 MOS 晶体管的截面示意图；

图 3 为根据本发明第一实施例, 具有抬升的源极和漏极区的 MOS 晶体管的截面示意图;

图 4 为根据本发明第二实施例, 具有抬升的源极和漏极区的 MOS 晶体管的截面示意图;

5 图 5、6 和 7 为根据本发明, 具有抬升的源极和漏极区的 MOS 晶体管的截面示意图, 其中源极和漏极区以及源极和漏极延伸区具有不同的掺杂深度;

图 8A 和 8B 为根据本发明第一和第二实施例, 形成在绝缘硅(SOI)衬底上的、具有抬升的源极和漏极区的 MOS 晶体管的截面示意图;

10 图 9A 至 9L 为用于制造根据本发明第一实施例的 MOS 晶体管的方法的截面示意图; 以及

图 10A 至 10C 为用于制造根据本发明第二实施例的 MOS 晶体管的方法的截面示意图。

15 具体实施方式

图 3 中示出了根据本发明的 MOS 晶体管结构 300。在半导体衬底 302 上方形成栅极电极 314, 从而形成栅极 310。例如由氧化硅(SiO_2)形成的栅极电介质 312 形成在栅极电极 314 下, 并且位于栅极电极 314 侧壁的下部。在靠近栅极 310 相对侧面的衬底 302 上, 形成例如由硅或硅锗构成的外延层 305。在栅极 310 侧壁的上部形成绝缘间隔壁 318。在外延层 305 中, 源极延伸区 306a 和漏极延伸区 306b 形成于间隔壁 318 下。源极 308a 和漏极 308b 形成在源极延伸区 316a/漏极延伸区 316b 的暴露部分上, 即未处于间隔壁 318 下的外延区域。MOS 晶体管 300 还可以可选地包括硅化物区域 320a、320b 和 320c, 从而提供与抬升的源极区 308a/漏极区 308b 以及栅极 25 电极 314 之间的电接触。

间隔壁 318 例如由氮化硅(SiN)构成。另外, 可以在 SiN 间隔壁 318 与诸如栅极电极 314 和外延层 305 的其它硅层之间形成作为缓冲层的可选氧化硅层 316。

参照图 4, 栅极电极 414 可以可选地形成在半导体衬底 402 的沟道 417 30 或凹陷部分中, 如图所示。在此情况下, 栅极电介质 412 部分地形成于栅极电极的侧壁之下以及位于其下部, 例如, 在半导体衬底 402 的栅极沟槽

417 的底面和侧面上以及外延层 405 的侧壁处, 如图所示。图 4 沟槽的实施例提供了源极延伸区 406a 与漏极延伸区 406b 之间的沟道区的有效延展。

本发明晶体管结构的有效沟道长度可以通过控制几个因数来改变, 包括外延层 305(405)的厚度、源极延伸区 306a(406a)/漏极延伸区 306b(406b) 5 的深度、源极区 308a(308a)/漏极区 308b(408b)的深度、以及栅极沟槽 417 的深度。

在图 3 和 4 的典型实施例中, 源极区 308a(308a)/漏极区 308b(408b)的深度延伸至半导体衬底 302(402)中, 如图所示。可选的, 源极延伸区 306a(406a)/漏极延伸区 306b(406b)的深度也可以延伸至半导体衬底 302(402) 10 中(未示出)。在图 5 的示例中, 源极区 508a/漏极区 508b 延伸到了外延层 505 与半导体衬底 502 之间的边界处, 而源极延伸区 506a/漏极延伸区 506b 部分地延伸穿过外延层 505。在图 6 的示例中, 源极区 608a/漏极区 608b 延伸到了外延层 605 与半导体衬底 602 之间的边界处, 而源极延伸区 606a/漏极延伸区 606b 也延伸到了外延层 605 与半导体衬底 602 之间的边界处。在图 15 7 的实施例中, 源极区 708a/漏极区 708b 部分地延伸穿过外延层 705, 而源极延伸区 706a/漏极延伸区 706b 也部分地延伸穿过外延层 705, 至与源极区 708a/漏极区 708b 不同的深度。

通过控制沟道长度, 除去对于降低器件尺寸的需求以外, 可以实现各种器件特性, 并且可以抑制短通道效应。在传统的晶体管中, 沟道长度主要 20 要通过栅极长度来控制; 然而, 在本发明的晶体管中, 沟道长度不仅通过栅极长度来控制, 还根据外延层的厚度、源极区/漏极区的深度、以及栅极沟槽的深度来控制。

根据本发明, 通过参照图 3, 由于源极延伸区 306a/漏极延伸区 306b 中的杂质位于外延层 305 中, 因此杂质不会如同在传统的实施例中那样扩散到栅极 310 下的区域中, 即使是在对硅衬底 302 进行热处理后。按此方式, 抑制了沟道长度相对于栅极长度的缩短。另外, 通过控制外延层 305 25 的厚度、源极延伸区 306a/漏极延伸区 306b 的深度、以及半导体衬底中栅极沟槽 317 的长度, 沟道长度可以变化地延长, 从而包括栅极的下侧壁以及直接位于栅极电极下的区域。按此方式, 可以在包括有最小栅极长度的 30 晶体管结构中实现具有足够长度的沟道。

根据本发明, 源极延伸区与漏极延伸区之间沟道区中的杂质浓度分布

可以精确地控制。结果，所得的 MOS 晶体管阈值电压可以精确地预测，并且因此，可以获得具有优化电学特性的半导体器件。

例如，可以通过在外延层 305 中形成具有较低杂质浓度的源极区 306a/漏极区 306b，来限制 MOS 晶体管阈值电压的升高，由此提供与半导体器件电源电压降低的相容。

5 半导体衬底的材料不限于硅，还可以由多种其它半导体材料或构造中的任何一种构成，包括绝缘硅(SOI)、SiGe、绝缘 SiGe (SGOI)、应变硅(硅覆 SiGe)、应变绝缘硅、以及 GaAs。图 8A 和 8B 中示出了本发明实施例的截面示意图，其中在 SOI 衬底 702 上形成了 MOS 晶体管。在图 8A 的实施例中，形成在 SOI 衬底 702 上的 MOS 晶体管 700 包括形成在 SOI 衬底 702 上的栅极 710，如图 3 的实施例所示。在图 8B 的实施例中，形成在 SOI 衬底 802 上的 MOS 晶体管 800 包括形成在沟槽 817 中的栅极 810，沟槽 817 形成在 SOI 衬底 802 中，如图 4 的实施例所示。按此方式，根据本发明的晶体管 700、800 完全与 SOI 制造工艺相兼容。结果，可以保持或明显降低晶体管中的沟道杂质区域的厚度，同时增大所得抬升的源极区/漏极区的结深度。

在 SOI 器件中，由于表面硅的厚度相对较浅，源极区/漏极区的深度变浅。结果，增大了所得源极区/漏极区的电阻。由于源极区/漏极区藉由外延层而具有适当的深度，因此本发明消除了上述问题。

20 栅极电介质 312、412 可由前面所提到的氧化硅膜或者可选的氮氧化硅(SiON)形成。或者，可以使用由诸如氧化钽的高介电常数材料构成的薄膜。栅极电介质层可以在例如沉积法或者热氧化法中形成。对于栅极电极，例如可以使用锗硅薄膜、硅化物膜或金属膜取代多晶硅膜。可选地，也可以使用上述材料的叠层膜。

25 上面，参照图 3 示出并介绍了本发明第一实施例。下面，将参照图 9A 至 9L 介绍制造根据本发明第一实施例的半导体器件的方法。

首先，参照图 9A，通过例如浅沟槽隔离法，在硅衬底 302 中形成元件隔离膜 304。接着，在硅衬底 302 中掺入杂质，从而形成阱区和沟道杂质区(未示出)。接着，在硅衬底 302 上顺序形成氧化硅膜 332 和氮化硅膜 334，并且实施各向异性蚀刻，从而形成虚栅极电极 330。

接着，参照图 9B，在衬底 302 上、虚栅极 330 的侧边上，选择性地生

长外延层 305。可以使用例如选择性外延生长(SEG)来形成外延层 305，使得其形成在硅衬底的表面上，而不形成在氮化硅 334 层或氧化沟槽隔离元件 304 上。在此阶段可以可选地掺杂外延层 305，从而形成源极伸区/漏极延伸区，或者，在此阶段可以保持非掺杂状态。在优选实施例中，源极伸区/漏极延伸区的掺杂接在栅极电极形成的后面，如下面参照图 9I 所述。若在此阶段掺杂外延层，则在外延层 305 上设置可选的焊垫氧化层(未示出)作为缓冲层，用于在注入掺杂剂期间保护外延层。可选的焊垫氧化层可通过热氧化形成。

如图 9C 所示，在图 9B 所得结构的整个表面上形成氮化硅膜 337。接着，通过例如 CVD 法形成氧化硅膜 338。接着，对氧化硅膜 338 实施例如化学机械抛光处理，或全表面回蚀工艺，来平整化氧化硅膜 338 的表面，并且暴露氮化硅 334 的表面，如图 9D 所示。

参照图 9E，去除包括氮化硅膜 334 和氧化硅膜 332 的虚栅极 330，暴露半导体衬底 302 表面的一部分。由于暴露了沟道区上方的半导体衬底的表面，此时可以可选地形成沟道杂质区，而非在参照图 9A 的上述阱区形成期间形成沟道杂质区。按此方式，可以在一个区域内的半导体衬底中形成沟道杂质区，该区域局限于当前已移除虚栅极图形的区域下的面积内。这特别有利于图 4 的实施例，其包括形成在半导体衬底中的沟槽和形成在沟槽下的沟道区。

参照图 9F，栅极电介质 312 层，例如氧化硅膜，形成在暴露的沟道杂质区和外延层 305 的侧壁上。栅极电介质 312 层可以使用热氧化法由氧化硅形成，或者可以使用诸如氮氧化硅(SiON)、氧化铝、 HfO_2 、或氧化钽的高介电常数材料的沉积来形成。接着，在栅极电介质 312 上沉积诸如多晶硅膜的栅极电极 314。或者，栅极电极 314 的材料可以由例如硅锗膜、硅化物膜、钨膜、TiN 膜、或金属膜、或其叠层构成。参照图 9G，接着利用诸如化学机械抛光处理或全表面回蚀工艺去除栅极电介质层 312 的上部并暴露氧化硅膜 338，来平整化多晶硅膜。接着，参照图 9H，通过例如湿法蚀刻工艺，去除氧化硅层 338 和氮化硅层 337，从而形成栅极结构 310。

接着，如图 9I 所示，具有与硅衬底相反导电类型的杂质被注入至外延层 305 中，从而形成相应的源极延伸区 306a 和漏极延伸区 306b。通过热氧化或沉积形成的、诸如氧化硅材料的焊垫氧化膜 316 可以可选地形成在外

延层上 305, 作为缓冲层, 从而保护外延层 305 的表面在注入工艺期间免受损伤。

参照图 9J, 设置氮化硅(SiN)膜来覆盖衬底, 随后对其进行各向异性蚀刻, 或者干法蚀刻工艺, 从而形成栅极 310 上侧壁上的间隔壁 318。SiN 间隔壁 318 与诸如栅极电极 314 和外延层 305 的其它硅层之间的氧化硅缓冲层 316 在各向异性蚀刻后保留。

参照图 9K, 使用栅极 310 和间隔壁 318 作为掩模, 将具有与源极延伸区 306a/漏极延伸区 306b 相同导电类型的杂质注入外延层 305 内, 从而形成源极区 308a 和漏极区 308b。此时, 源极延伸区 306a 和漏极延伸区 306b 保留在间隔壁 318 下, 而源极区 306a/漏极区 306b 形成在外延层中的间隔壁 318 旁边。源极区 308a 和漏极区 308b 的深度根据掺杂工艺控制, 例如, 根据杂质浓度和曝光时长。

参照图 9L, 例如通过溅射法形成钴膜, 接着在氮气氛或氩气氛中、在 500°C 至 1000°C 之间的温度范围内实施热处理, 从而允许钴膜与外延层 305 和栅极 310 中的硅反应, 由此以自对准方式分别在源极区 308a/漏极区 308b 和栅极电极 314 的暴露表面上形成硅化钴膜 320a、320b 和 320c。未反应的钴膜随后使用传统方式去除。或者, 硅化物膜可以由其它适合的材料构成, 包括 Co、Ni、W、Ti 及其组合。

按此方式, 通过推延源极延伸区 306a/漏极延伸区 306b 的形成直至栅极电极 314 形成后, 本发明晶体管结构的制造将需要更少的步骤。或者, 如上所述, 源极延伸区 306a/漏极延伸区 306b 可形成在图 9B 所示的步骤中, 使用虚栅极图形 330 作为掩模。然而, 此方式需要额外的步骤。

第二实施例

本发明的第二实施例将示出并在上面参照图 4 说明。在第二实施例中, 栅极电极 414 形成在半导体衬底 402 的沟槽或凹陷部分 417 中。第二实施例晶体管构造的其它部件与上述第一种构造相似, 并且因此此处将略去其介绍。具有以前缀“4”开头和一致的后缀“4xx”的附图标记的图 4 的部件享有与具有相同后缀“3xx”的图 3 的上述部件相同的功用。

现在, 将参照图 10A 至 10C 介绍根据本发明第二实施例的制造半导体器件的方法。

图 10A 所示步骤之前的工艺与上述参照第一实施例的图 9A 至 9D 所示

的一致。

参照图 10A, 去除包括氮化硅膜和氧化硅膜的虚栅极, 暴露半导体衬底 402 表面的一部分。进一步对半导体衬底的暴露表面实施蚀刻, 从而形成沟槽 417 或凹陷区域。沟槽 417 的深度根据所得器件的期望沟道长度确定, 沟槽 417 越深, 有效沟道长度就越长。通常, 沟槽 417 的深度小于 50nm。

如上所述, 由于暴露了沟道区上方的半导体衬底表面, 因此沟道杂质区可选地在此时形成, 而非在上述参照图 9A 介绍的阱区形成期间形成沟道杂质区。按此方式, 可以在一个区域内的半导体衬底中形成沟道杂质区, 该区域局限于当前已移除虚栅极图形的区域下的面积内。由于沟道区直至沟槽形成时也未完全限定, 这特别有利于本实施例, 其包括形成在半导体衬底中的沟槽和形成在沟槽下的沟道区。

参照图 10B, 栅极电介质 412 层, 例如氧化硅膜, 形成在暴露的沟道杂质区、沟槽 417 的侧壁和外延层 405 的侧壁上。如上所述, 栅极电介质 412 层可以使用热氧化法由氧化硅形成, 或者可以使用诸如氮氧化硅 (SiON)、氧化铝、 HfO_2 、或氧化钽的高介电常数材料的沉积来形成。接着, 在栅极电介质 412 上沉积诸如多晶硅膜的栅极电极 414。或者, 栅极电极 414 的材料可以由例如硅锗膜、硅化物膜、钨膜、TiN 膜、或金属膜、或其叠层构成。参照图 10C, 接着利用诸如化学机械抛光处理或全表面回蚀工艺来去除栅极电介质层 412 的上部并暴露氧化硅膜 438, 从而平整化多晶硅膜。

其后的工艺与参照图 9H 至图 9L 所示、在第一实施例中说明的工艺相一致。

所得晶体管的性能特征可以通过控制各个源极延伸区/漏极延伸区、源极/漏极区的尺寸(例如, 深度、宽度), 沟槽宽度和可选的沟槽。在各个实施例中, 至少源极区/漏极区、源极延伸区/漏极延伸区部分地延伸, 或全部延伸穿过外延层, 甚至抵达下面的半导体衬底中。

虽然本发明已部分地参照其优选实施例具体示出并说明, 本领域技术人员应理解在不脱离本发明所附权利要求限定的精神和范围的前提下, 可以在形式和细节上进行各种改进。

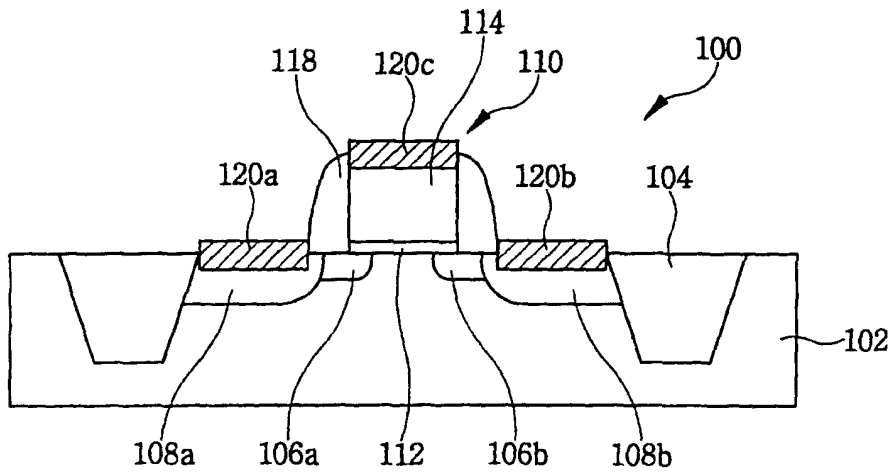


图 1

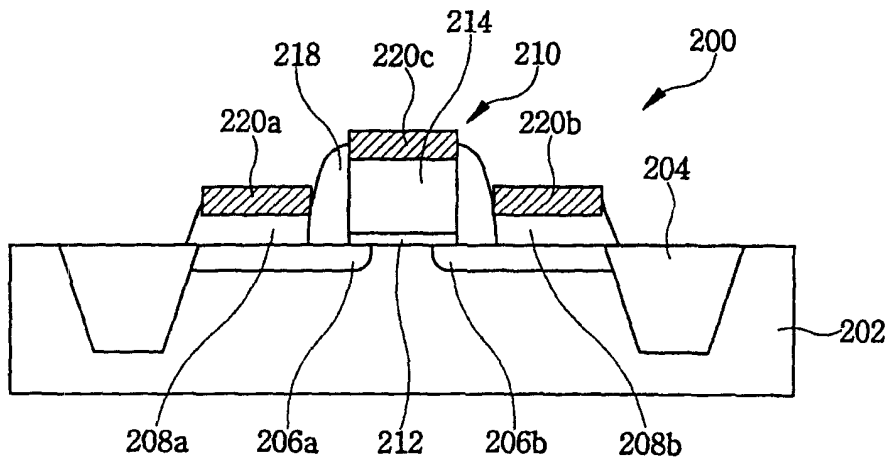


图 2

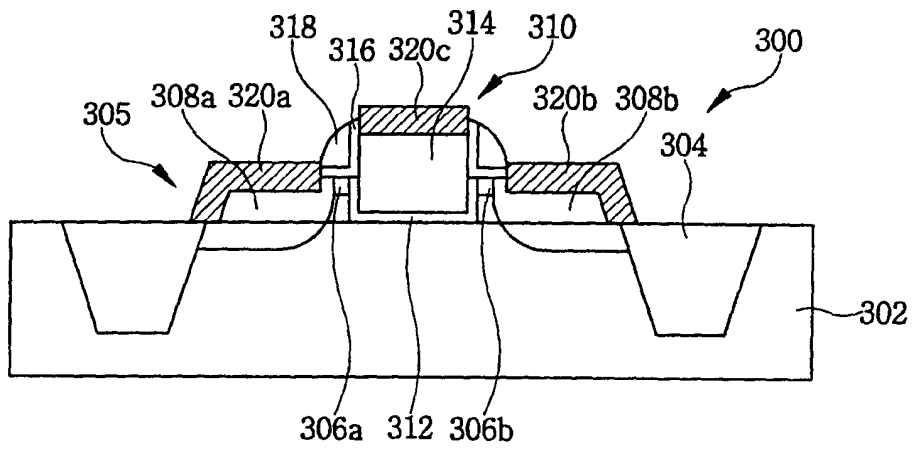


图 3

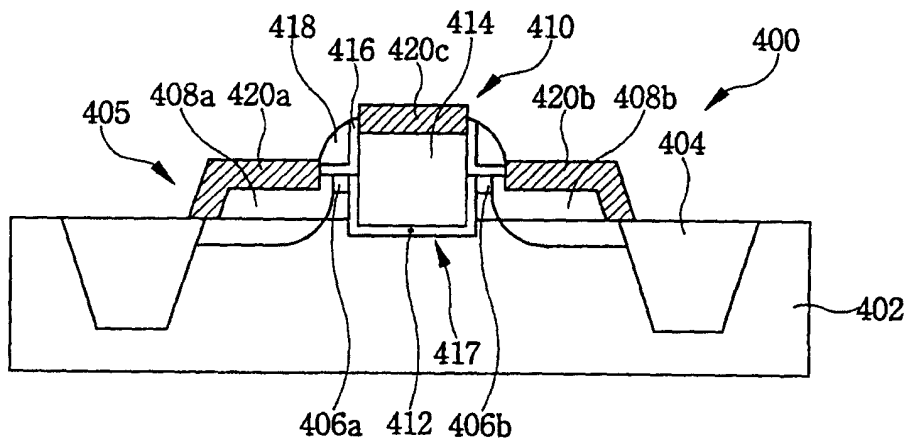


图 4

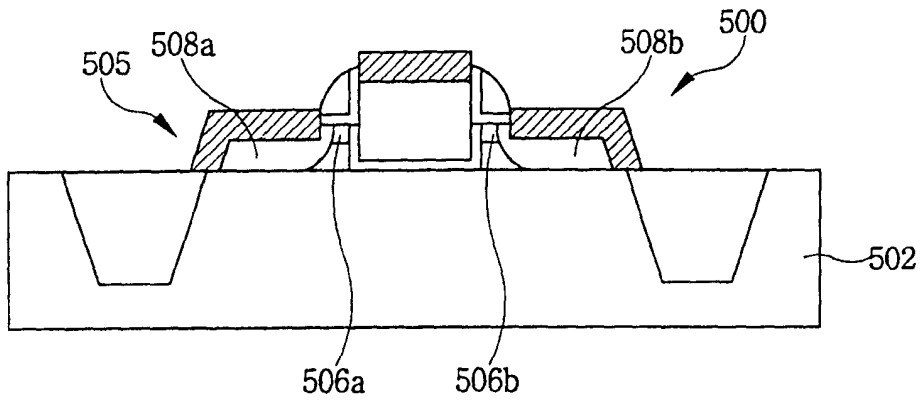


图 5

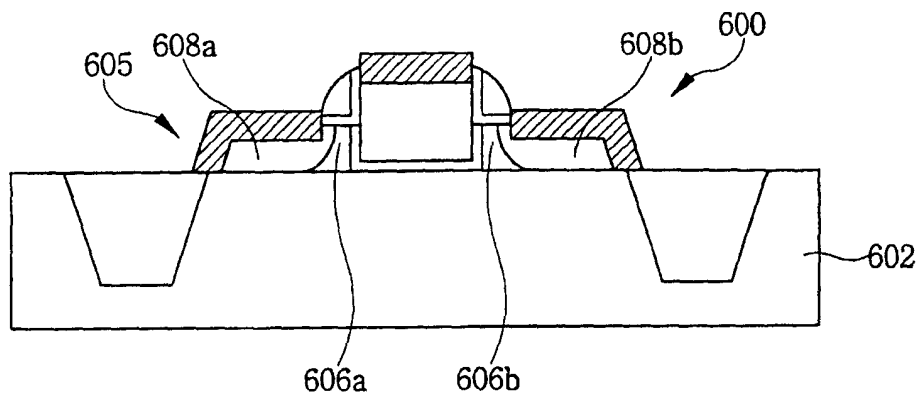


图 6

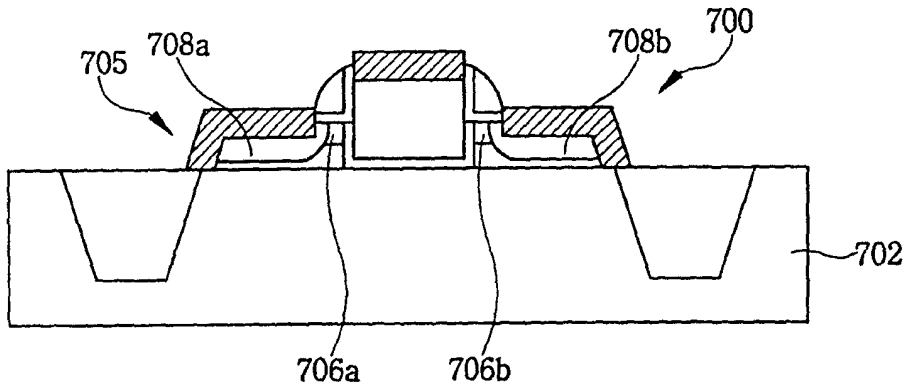


图 7

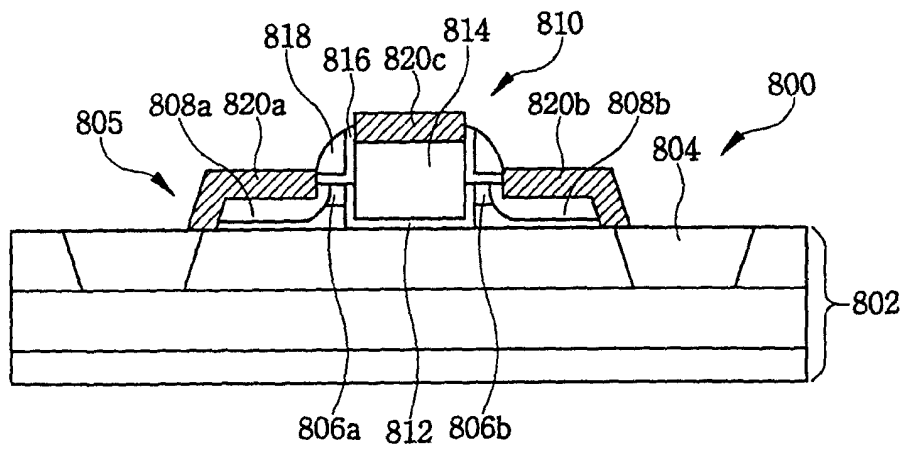


图 8A

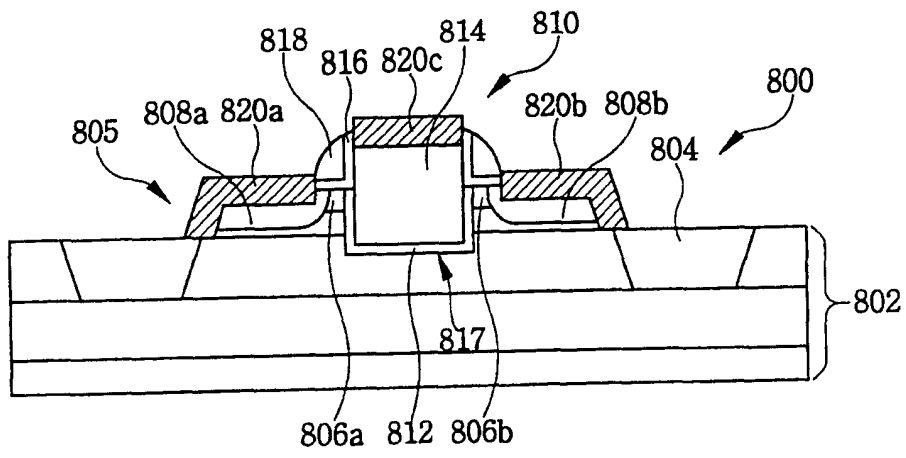


图 8B

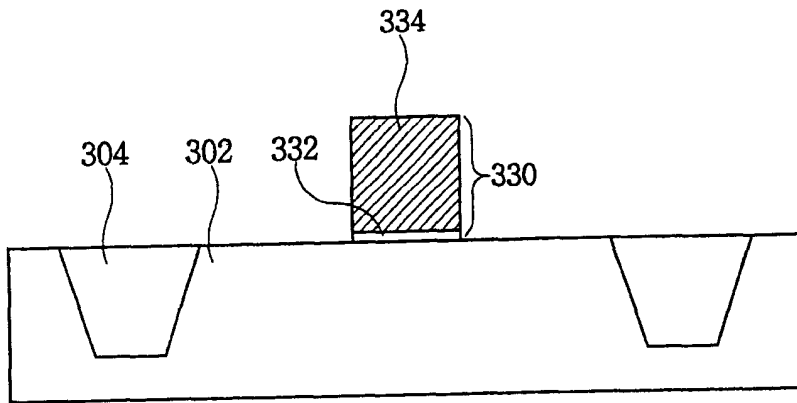


图 9A

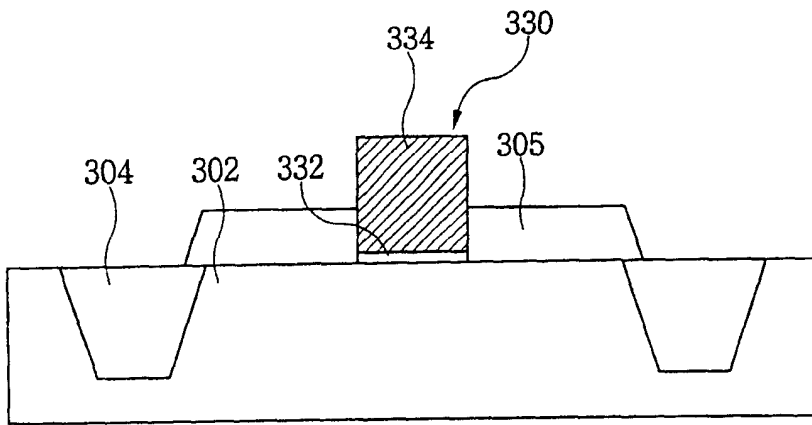


图 9B

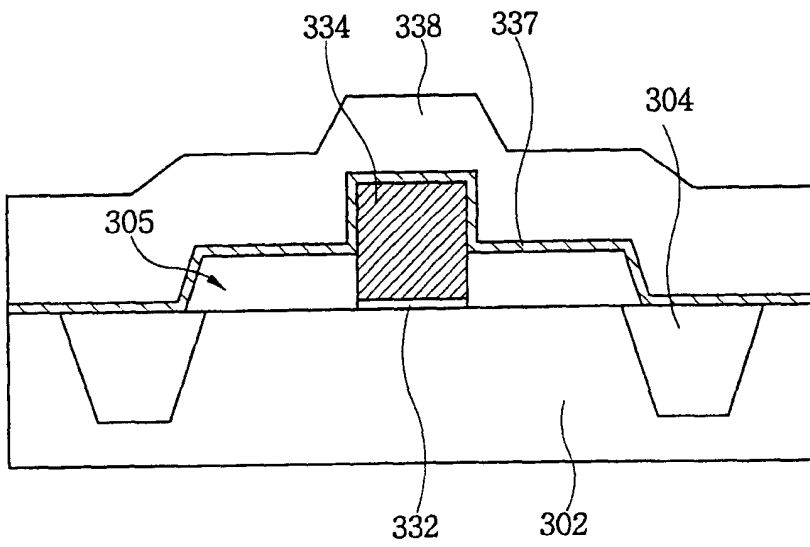


图 9C

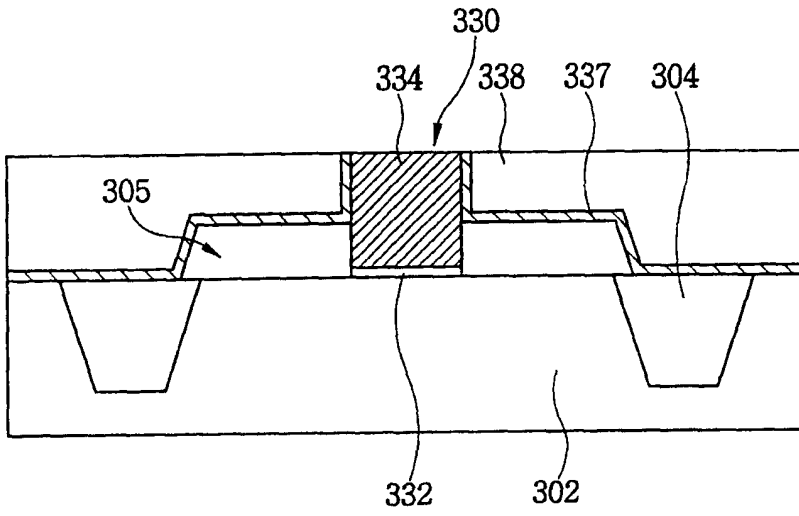


图 9D

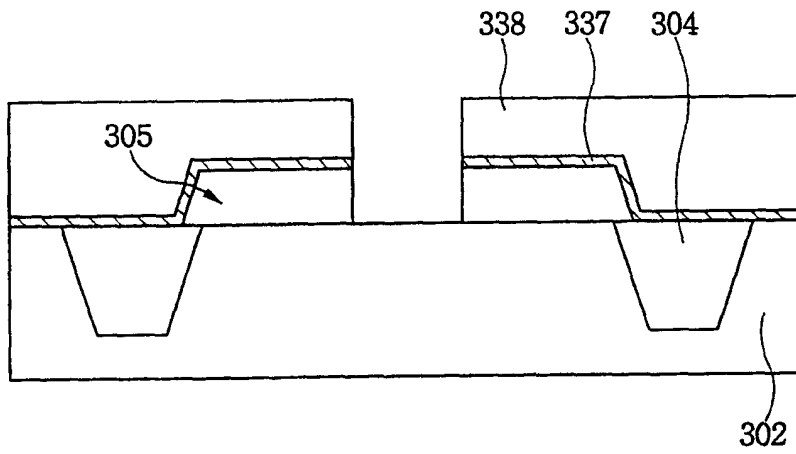


图 9E

图9F

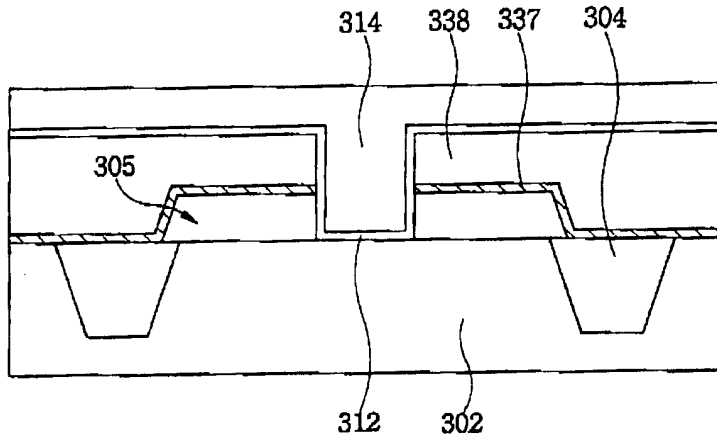


图9G

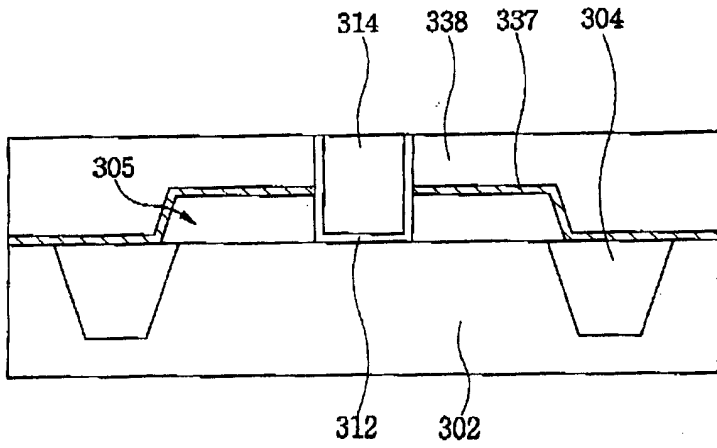


图9H

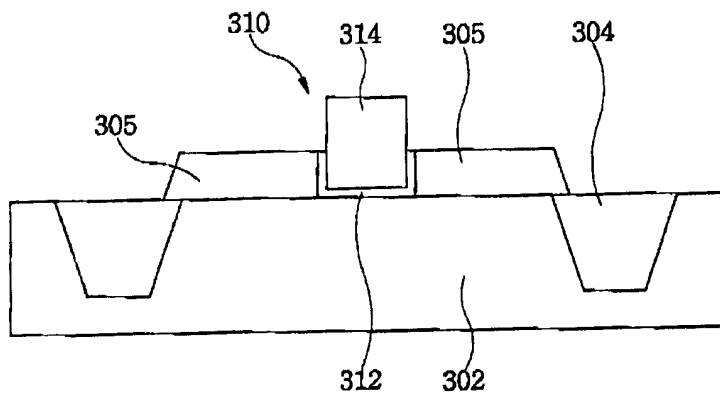


图9I

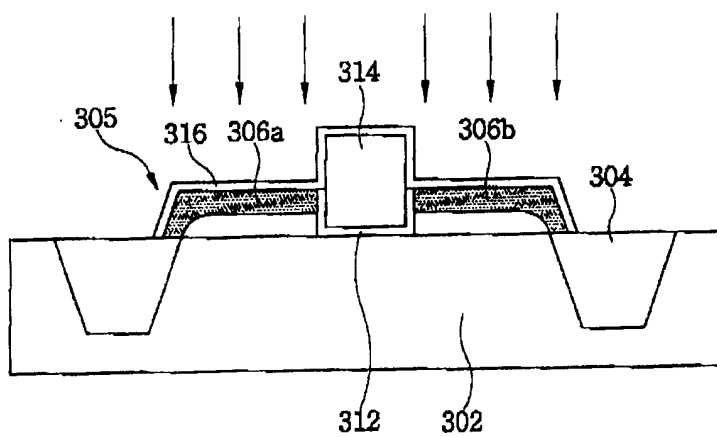


图9J

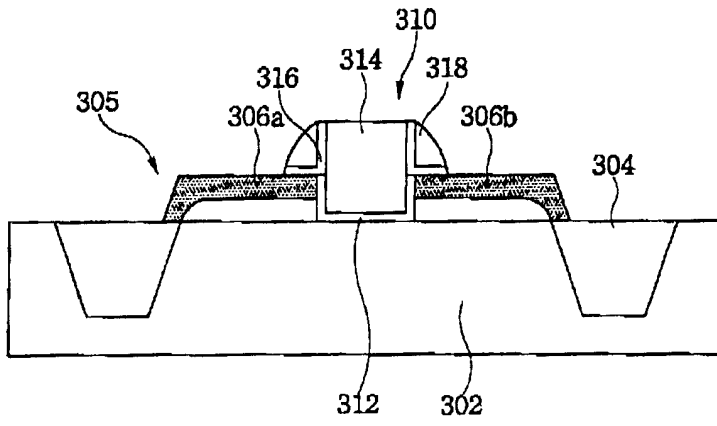


图9K

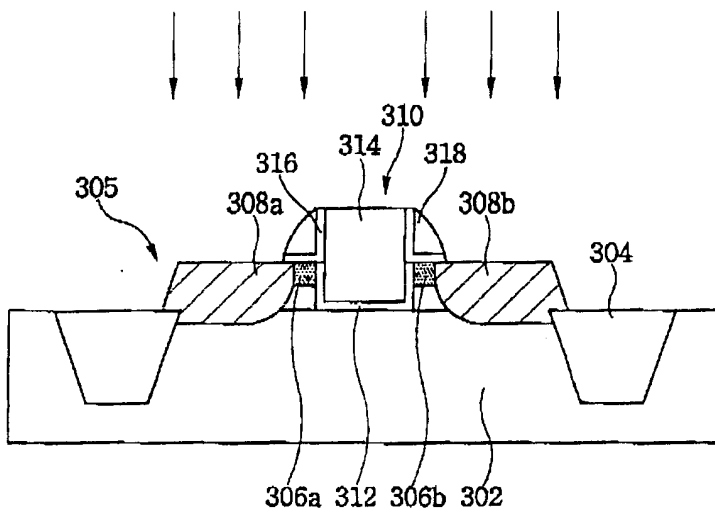


图9L

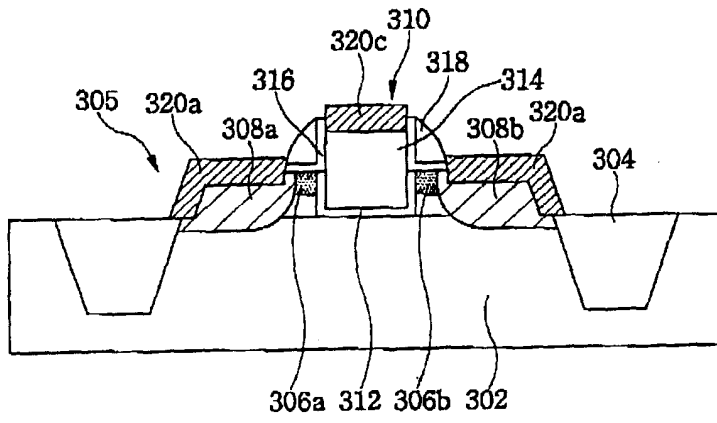
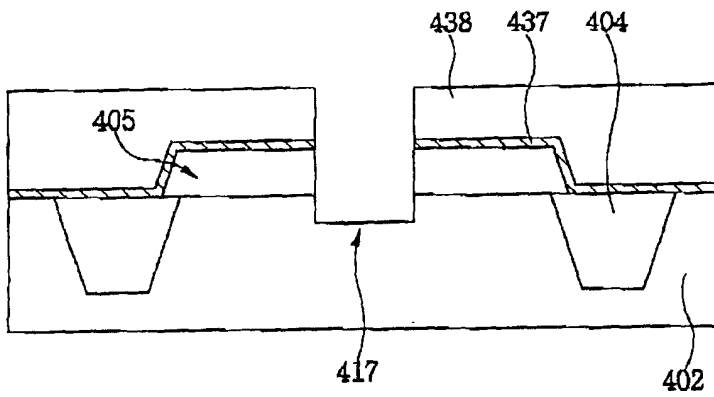


图10A



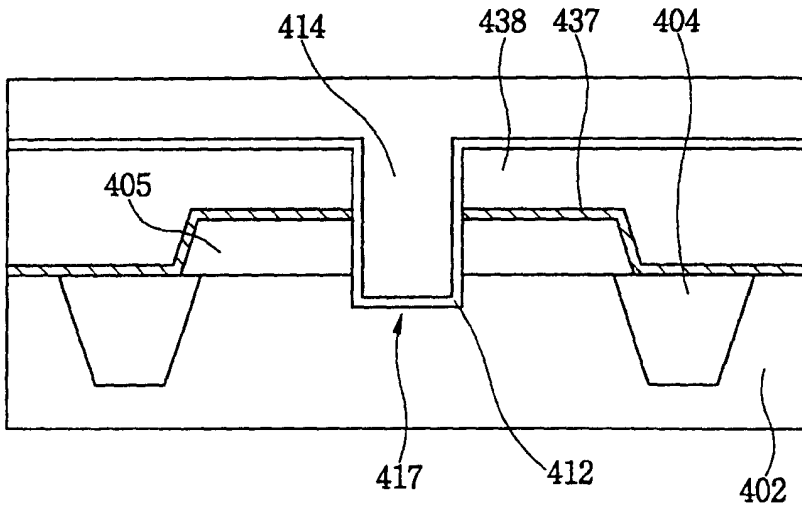


图 10B

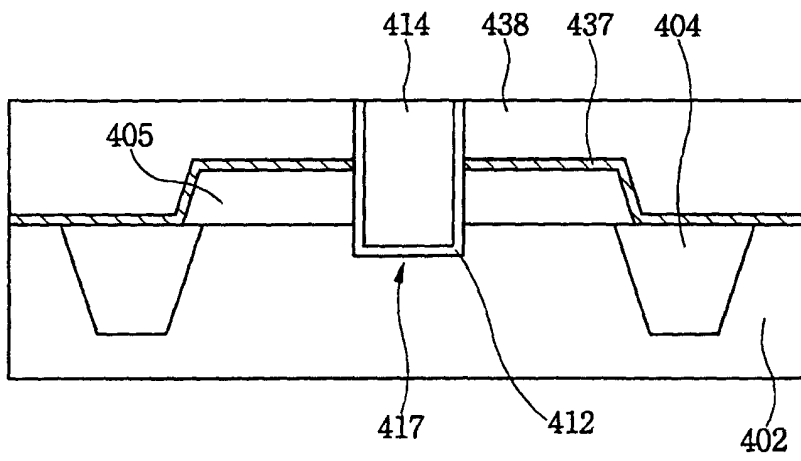


图 10C