

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-134037
(P2007-134037A)

(43) 公開日 平成19年5月31日(2007.5.31)

(51) Int. Cl.

G11C 11/4091 (2006.01)

F I

G11C 11/34 353A

テーマコード(参考)

5MO24

審査請求 未請求 請求項の数 20 O L (全 13 頁)

(21) 出願番号 特願2006-303363 (P2006-303363)
 (22) 出願日 平成18年11月8日(2006.11.8)
 (31) 優先権主張番号 10-2005-0106395
 (32) 優先日 平成17年11月8日(2005.11.8)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

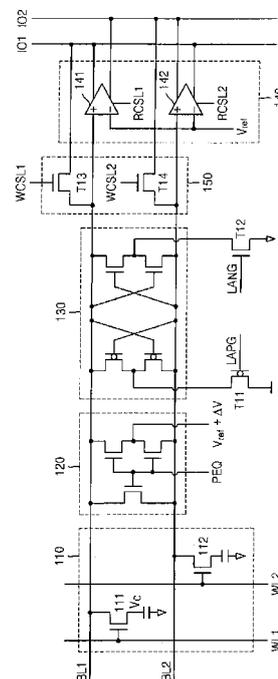
(57) 【要約】

【課題】補助センシング機能を行う半導体メモリ装置を提供する。

【解決手段】半導体メモリ装置は、ビットライン対をプリチャージ電圧にプリチャージさせるための等化トランジスタ部と、ビットライン対間の電圧差をセンシングするセンス増幅器と、ビットライン対と入出力ライン対との間にそれぞれ連結されたカラム選択ゲート対と、第1入力端にビットライン対のうち第1ビットラインの電圧が入力され、第2入力端に基準電圧が入力され、入出力ライン対を介してデータ信号を出力する第1差動増幅器とを備える。

【選択図】 図3

【図3】



【特許請求の範囲】

【請求項 1】

ビットライン対をプリチャージ電圧にプリチャージするための等化トランジスタ部と、前記ビットライン対間の電圧差をセンシングするセンス増幅器と、前記ビットライン対と入出力ライン対との間にそれぞれ連結されたカラム選択ゲート対と、

第 1 入力端に前記ビットライン対のうち第 1 ビットラインの電圧が入力され、第 2 入力端に基準電圧が入力され、前記入出力ライン対を介してデータ信号を出力する第 1 差動増幅器と、を備えることを特徴とする半導体メモリ装置。

【請求項 2】

前記第 1 差動増幅器は、前記第 1 ビットラインの電圧と前記基準電圧とのレベル差が感知電圧以上である場合に、論理ハイまたは論理ローデータ信号を出力することを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記感知電圧は、前記第 1 差動増幅器の入力端に入力される両電圧レベルの電圧差を感知できる最小電圧差を含む値であることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】

前記感知電圧は、前記第 1 差動増幅器のオフセット電圧値をさらに含む値であることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】

第 1 入力端に前記ビットライン対のうち第 2 ビットラインの電圧が入力され、第 2 入力端に基準電圧が入力され、前記入出力ライン対を介してデータ信号を出力する第 2 差動増幅器をさらに備えることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 6】

前記第 1 差動増幅器は、第 1 イネーブル信号によって制御され、前記第 2 差動増幅器は、第 2 イネーブル信号によって制御されることを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 7】

前記プリチャージ電圧は、前記基準電圧と前記感知電圧との和に相当する電圧であることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 8】

前記メモリセルに連結されたワードラインを活性化させるためのワードライン電圧は、前記センス増幅器のプルアップ電圧と同じ大きさの電源電圧であることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 9】

前記メモリセルに連結されたワードラインを活性化させるためのワードライン電圧は、前記センス増幅器のプルアップ電圧より大きい電源電圧であることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 10】

読み出し動作の間、前記イネーブル信号のうちいずれか一つのイネーブル信号を活性化させ、他の一つのイネーブル信号を非活性化させるイネーブル信号発生部をさらに備えることを特徴とする請求項 6 に記載の半導体メモリ装置。

【請求項 11】

前記半導体メモリ装置は、D R A Mであることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 12】

10

20

30

40

50

ビットラインをプリチャージ電圧にプリチャージする段階と、
メモリセルと前記ビットラインとの間で電荷が移動する段階と、
前記ビットラインに連結されるセンス増幅器を活性化させる段階と、
前記ビットラインの電圧と基準電圧とを比較する段階と、
前記比較結果によってデータ入出力ラインを駆動する段階と、を含むことを特徴とする
半導体メモリ装置の読み出し方法。

【請求項 13】

前記電荷移動段階は、
前記メモリセルに連結されたワードラインを活性化させる段階を含むことを特徴とする
請求項 12 に記載の半導体メモリ装置の読み出し方法。

10

【請求項 14】

前記メモリセルに連結されたワードラインを活性化させるためのワードライン電圧は、
センス増幅器のプルアップ電圧と同じ大きさの電源電圧であることを特徴とする請求項 1
3 に記載の半導体メモリ装置の読み出し方法。

【請求項 15】

前記入出力ラインを駆動する段階は、
前記ビットラインの電圧と前記基準電圧とのレベル差が感知電圧以上である場合、論理
ハイまたは論理ローデータ信号を出力することを特徴とする請求項 12 に記載の半導体メ
モリ装置の読み出し方法。

20

【請求項 16】

前記メモリセルに対してライトバック動作を行う段階をさらに含むことを特徴とする請
求項 12 に記載の半導体メモリ装置の読み出し方法。

【請求項 17】

読み出し動作の間、前記センス増幅器は、前記ビットラインと前記基準電圧との比較動
作前に、活性化されることを特徴とする請求項 12 に記載の半導体メモリ装置の読み出し
方法。

【請求項 18】

メモリセルに保存されたデータの読み出しのためのビットラインと、
前記ビットラインに連結されるセンス増幅器と、
読み出し動作の間、前記ビットラインの電圧に対応してデータ入出力ラインを駆動する
ために、前記ビットラインに連結される補助センシング部と、を備えることを特徴とする
半導体メモリ装置。

30

【請求項 19】

前記補助センシング部は、
第 1 入力端に前記ビットラインの電圧が入力され、第 2 入力端に基準電圧が入力され、
前記データ入出力ラインを介してデータ信号を出力する差動増幅器を備えることを特徴と
する請求項 18 に記載の半導体メモリ装置。

【請求項 20】

前記補助センシング部は、
前記ビットラインの電圧を基準電圧と比較するための手段を備えることを特徴とする請
求項 18 に記載の半導体メモリ装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に係り、特に、電力消費を減少させ、かつリフレッシュ周
期を延長することができる半導体メモリ装置に関する。

【背景技術】

【0002】

DRAMなどのメモリ装置では、一般的に、メモリセルデータを読み出す際に、ビット
ラインのキャパシタンス成分とメモリセルキャパシタとの電荷共有(charge sharing)原理

50

を利用する。電荷共有によってビットライン対の間に発生する電圧差をセンシング増幅することによって、前記メモリセルのデータを読み出すことができる。

【0003】

図1は、従来のセンスアンプ構造を有する半導体メモリ装置を示す回路図である。図1に示すように、半導体メモリ装置は、メモリセルアレイ10、センス増幅器20、等化トランジスタ30、及びカラム選択ゲート対40を備える。

【0004】

メモリセルアレイ10は、複数個のメモリセル(図示せず)を備え、各メモリセルは、ゲートに提供されるワードライン電圧によって制御されるトランジスタ及びデータを保存するためのセルキャパシタを備える。一例として、書き込み/読み出しのためのメモリセルが第1ビットラインBL1に連結された場合、半導体メモリ装置の書き込み/読み出し動作を説明する。

10

【0005】

まず、プリチャージ制御信号PEQによって等化トランジスタ30がターンオンされて、ビットライン対BL1、BL2がプリチャージ電圧VBLにプリチャージされる。

【0006】

その後、データを読み出すべきメモリセルのワードラインが活性化されて、前記メモリセルに備えられるセルキャパシタと第1ビットラインBL1との間に電荷共有が生じる。これにより、ビットライン対BL1、BL2の間に電圧差が発生する。また、プルアップトランジスタMP1及びプルダウントランジスタMN1がそれぞれの制御信号LAPG、LANGによってターンオンされる。メモリセルに論理ハイのデータが保存された場合、このようなセンス増幅器20の動作によって、第1ビットラインBL1はプルアップ電圧Vintとなり、第2ビットラインはプルダウン電圧Vssとなる。プルダウン電圧Vssは、一般的に接地電圧である。

20

【0007】

カラム選択ゲート対40の第1カラムゲートは、活性化される第1カラム選択信号CSL1によってターンオンされて、第1ビットラインBL1の電圧信号を第1入出力ラインIO1を介して伝える。同様に、第2カラムゲートは、活性化される第2カラム選択信号CSL2によってターンオンされて、第2ビットラインBL2の電圧信号を第2入出力ラインIO2を介して伝える。

30

【0008】

一方、半導体メモリ装置の書き込み動作も、言及された読み出し動作と同様の方式でなされる。入出力ライン対IO1、IO2から提供されるデータ信号が、カラム選択ゲート対40を経て、メモリセルアレイ10の第1ビットラインBL1を介して伝えられる。

【0009】

論理ハイのデータをメモリセルに書き込む場合には、第1入出力ラインIO1を介してプルアップ電圧Vintに相当する電圧を有する信号が伝えられ、第2入出力ラインIO2を介してプルダウン電圧Vssに相当する電圧を有する信号が伝えられる。

【0010】

半導体メモリ装置の書き込み動作を図2を参照して説明する。

40

【0011】

図2は、一般的なメモリセルを示す回路図である。図2に示すように、メモリセルは、トランジスタT1とセルキャパシタC1とを備える。トランジスタT1は、そのゲート電極が第1ワードラインWL1に連結される。また、トランジスタT1の第1電極は、第1ビットラインBL1に連結され、トランジスタT1の第2電極は、セルキャパシタC1に連結される。また、セルキャパシタC1は、トランジスタT1の第2電極とプルダウン電圧Vssとの間に連結される。

【0012】

前述したように、メモリセルに論理ハイのデータを書き込む場合、トランジスタT1の第1電極には、プルアップ電圧Vintが印加される。また、第1ワードラインWL1に

50

入力される所定のワードライン電圧によって、トランジスタT1がターンオンされ、プルアップ電圧V_{int}は、キャパシタC1の一電極に印加される。これによって、キャパシタC1は、論理ハイのデータを保存するようになる。

【0013】

一方、メモリセルにデータを書き込む際に、第1ワードラインWL1に提供される電源電圧V_{pp}は、プルアップ電圧V_{int}より一定電圧以上大きい電圧を有する。これは、ワードライン電圧がプルアップ電圧V_{int}とほぼ同じ電圧であると、トランジスタT1のしきい電圧によって、キャパシタC1の一方の電極に印加される電圧V_cがプルアップ電圧V_{int}より小さくなるためである。

【0014】

従来 of 半導体メモリ装置の構造では、前記ワードラインに高い電圧を印加しなければならないため、その分だけ電力消費が多くなる問題が発生する。

【0015】

また、メモリセルに書き込まれたデータは、漏れ電流などの原因による破壊を防止するために、周期的にリフレッシュを行わなければならない。特に、論理ハイデータを保存する場合、論理ローデータを保存する場合に比べて漏れ電流の観点において破壊に対してより脆弱である。

【0016】

前述したように、論理ハイのデータを保存するために、セルキャパシタにプルアップ電圧V_{int}に相当する高い電圧を印加する場合、データ維持時間は短くなり、これによって、リフレッシュ周期も短くなる。リフレッシュ周期が短くなるにつれて、データ維持に消費される電力が増加する問題が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明は、前記問題点を解決するためのものであって、データセンシング方式を改善し、補助センシング機能を行わせることによって、データ維持特性を向上させ、かつ電力消費を減少させることができる半導体メモリ装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

前記の目的を達成するために、本発明の一つの実施の形態による半導体メモリ装置は、ビットライン対をプリチャージ電圧にプリチャージするための等化トランジスタ部と、前記ビットライン対間の電圧差をセンシングするセンス増幅器と、前記ビットライン対と入出力ライン対との間にそれぞれ連結されたカラム選択ゲート対と、第1入力端に前記ビットライン対のうち第1ビットラインの電圧が入力され、第2入力端に基準電圧が入力され、前記入出力ライン対を介してデータ信号を出力する第1差動増幅器とを備えることを特徴とする。

【0019】

また、前記第1差動増幅器は、前記第1ビットラインの電圧と前記基準電圧とのレベル差が感知電圧以上である場合に、論理ハイまたは論理ローデータ信号を出力することを特徴とする。

【0020】

一方、前記感知電圧は、前記第1差動増幅器の入力端に入力される両電圧レベルの電圧差を感知できる最小電圧差を含みうる。

【0021】

また、前記感知電圧は、前記第1差動増幅器のオフセット電圧値をさらに含む値でありうる。

【0022】

一方、前記半導体メモリ装置は、第1入力端に前記ビットライン対のうち第2ビットラインの電圧が入力され、第2入力端に基準電圧が入力され、前記入出力ライン対を介して

10

20

30

40

50

データ信号を出力する第2差動増幅器をさらに備えることを特徴とする。

【0023】

望ましくは、前記第1差動増幅器は、第1イネーブル信号によって制御され、前記第2差動増幅器は、第2イネーブル信号によって制御されうる。

【0024】

また、望ましくは、前記プリチャージ電圧は、前記基準電圧と前記感知電圧との和に相当する電圧であることを特徴とする。

【0025】

一方、前記半導体メモリ装置は、読み出し動作の間、前記イネーブル信号のうちいずれか一つのイネーブル信号を活性化させ、他の一つのイネーブル信号を非活性化させるイネーブル信号発生部をさらに備え得る。 10

【0026】

一方、本発明の一実施の形態による半導体メモリ装置の読み出し方法は、ビットラインをプリチャージ電圧にプリチャージする段階と、メモリセルと前記ビットラインとの間で電荷が移動する段階と、前記ビットラインに連結されるセンス増幅器を活性化させる段階と、前記ビットラインの電圧と基準電圧とを比較する段階と、前記比較結果によってデータ入出力ラインを駆動する段階とを含むことを特徴とする。

【0027】

一方、本発明の他の実施の形態による半導体メモリ装置は、メモリセルに保存されたデータの読み出しのためのビットラインと、前記ビットラインに連結されるセンス増幅器と、読み出し動作の間、前記ビットラインの電圧に対応してデータ入出力ラインを駆動するために、前記ビットラインに連結される補助センシング部とを備えることを特徴とする。 20

【発明の効果】

【0028】

本発明によれば、低い電圧でワードラインを駆動し、セルキャパシタのデータ損失が一定量発生しても、正確なデータセンシングが可能なので、電力消費を減少させ、かつデータ維持特性を向上させることができる。

【発明を実施するための最良の形態】

【0029】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施の形態を例示する添付図面及び添付図面に記載された内容が参照されなければならない。 30

【0030】

以下、添付した図面を参照して本発明の望ましい実施の形態を説明することによって、本発明を詳細に説明する。各図面に提示された同一参照符号は同一構成要素を示す。

【0031】

図3は、本発明の一つの実施の形態による半導体メモリ装置を示す回路図である。図3に示すように、半導体メモリ装置は、メモリセルアレイ110と、等化トランジスタ部120と、センス増幅器130と、カラム選択ゲート対150と、補助センシング部を備える。本実施の形態では、補助センシング部として差動増幅部140が示される。 40

【0032】

メモリセルアレイ110は、複数個のメモリセルを備え、図3には、その一部としてビットライン対BL1、BL2にそれぞれ連結された第1メモリセル111と第2メモリセル112とを示す。前記メモリセルのそれぞれは、トランジスタ及びセルキャパシタを備え、前記セルキャパシタの一電極に印加される電圧はVcである。第1メモリセル111に備えられるトランジスタのゲート電極は、第1ワードラインWL1と連結され、第2メモリセル112に備えられるトランジスタのゲート電極は、第2ワードラインWL2と連結される。

【0033】

等化トランジスタ部120は、ビットライン対BL1、BL2に連結され、ビットライ 50

ン対 B L 1、B L 2 を所定の電圧にプリチャージする。等化トランジスタ部 1 2 0 は、プリチャージ動作を行う際に、プリチャージ制御信号 P E Q によって制御される。また、図 3 には、プリチャージ電圧として基準電圧 V r e f と感知電圧 V との和に相当するプリチャージ電圧が示されている。

【 0 0 3 4 】

また、センス増幅器 1 3 0 は、ビットライン対 B L 1、B L 2 の間に連結され、ビットライン対 B L 1、B L 2 間の電圧差をセンシングする動作をする。センス増幅器 1 3 0 は、P M O S トランジスタ部及び N M O S トランジスタ部を備える。P M O S トランジスタ部は、プルアップトランジスタ T 1 1 に連結され、プルアップトランジスタ T 1 1 は、ゲートに提供されるプルアップ制御信号 L A P G によって制御される。これと同様に、N M O S トランジスタ部は、プルダウントランジスタ T 1 2 に連結され、プルダウントランジスタ T 1 2 は、ゲートに提供されるプルダウン制御信号 L A N G によって制御される。

10

【 0 0 3 5 】

差動増幅部 1 4 0 は、第 1 差動増幅器 1 4 1 及び第 2 差動増幅器 1 4 2 を備える。第 1 差動増幅器 1 4 1 の一つの入力端は、第 1 ビットライン B L 1 に連結され、他の入力端は、基準電圧 V r e f に連結される。また、第 1 差動増幅器 1 4 1 の出力端は、入出力ライン対 I O 1、I O 2 と連結され、差動増幅動作による信号を入出力ライン対 I O 1、I O 2 のそれぞれに出力する。

【 0 0 3 6 】

また、第 2 差動増幅器 1 4 2 の一つの入力端は、第 2 ビットライン B L 2 に連結され、他の入力端は、基準電圧 V r e f に連結される。第 2 差動増幅器 1 4 2 の出力端も入出力ライン対 I O 1、I O 2 と連結され、差動増幅動作による信号を入出力ライン対 I O 1、I O 2 のそれぞれに出力する。

20

【 0 0 3 7 】

第 1 差動増幅器 1 4 1 は、第 1 ビットライン B L 1 の電圧が基準電圧 V r e f より感知電圧 V 以上大きい場合に、論理ハイのデータ信号を入出力ライン対 I O 1、I O 2 を介して出力する。すなわち、メモリセル 1 1 1 に保存されたデータが論理ハイである場合に、第 1 入出力ライン I O 1 を介して V i n t 電圧を有する信号を出力し、第 2 入出力ライン I O 2 を介して V s s 電圧を有する信号を出力する。

【 0 0 3 8 】

第 2 差動増幅器 1 4 2 も第 1 差動増幅器 1 4 1 と同様に、第 2 ビットライン B L 2 の電圧が基準電圧 V r e f より感知電圧 V 以上大きい場合に、論理ハイのデータ信号を入出力ライン対 I O 1、I O 2 を介して出力する。すなわち、メモリセル 1 1 2 に保存されたデータが論理ハイである場合に、第 1 入出力ライン I O 1 を介して V s s 電圧を有する信号を出力し、第 2 入出力ライン I O 2 を介して V i n t 電圧を有する信号を出力する。

30

【 0 0 3 9 】

第 1 差動増幅器 1 4 1 の動作を制御する第 1 イネーブル信号 R C S L 1 は、第 1 差動増幅器 1 4 1 に提供される。第 2 差動増幅器 1 4 2 の動作を制御する第 2 イネーブル信号 R C S L 2 は、第 2 差動増幅器 1 4 2 に提供される。

【 0 0 4 0 】

また、カラム選択ゲート対 1 5 0 は、ビットライン対 B L 1、B L 2 と入出力ライン対 I O 1、I O 2 との間にそれぞれ連結される。一例として、第 1 ビットライン B L 1 と第 1 入出力ライン I O 1 との間に第 1 カラムゲート T 1 3 が連結され、第 2 ビットライン B L 2 と第 2 入出力ライン I O 2 との間に第 2 カラムゲート T 1 4 が連結されうる。

40

【 0 0 4 1 】

前記のように構成される本発明の一つの実施の形態による半導体メモリ装置の詳細な動作を図 4 を参照して説明する。

【 0 0 4 2 】

図 4 は、図 3 に示された半導体メモリ装置のデータ読み出し動作を示すタイミング図、特に、第 1 ビットライン B L 1 に連結されたメモリセル 1 1 1 のデータを読み出す場合の

50

タイミング図である。

【0043】

図4に示すように、まず、プリチャージ制御信号PEQが活性化されて、等化トランジスタ部120のトランジスタがターンオンする。これにより、ビットライン対BL1、BL2は、所定のプリチャージ電圧にプリチャージされる。プリチャージ電圧は、基準電圧Vrefと感知電圧Vとの和に相当する電圧となる。

【0044】

感知電圧Vは、差動増幅部140に備えられる差動増幅器が電圧差を感知できる最小電圧差に相当する電圧であることが望ましい。また、この最小電圧差は、差動増幅器140のオフセット電圧を含む値に相当する電圧であることが望ましい。例えば、差動増幅器140が理想的な動作下で電圧差を感知できる最小電圧が100mVであり、差動増幅器140のオフセット電圧が30mVである場合、感知電圧Vは130mVとすることが望ましい。この場合、プリチャージ電圧は、基準電圧Vref + 130mVとなる。

10

【0045】

前記のようなプリチャージ電圧によってビットライン対BL1、BL2のプリチャージ動作が完了すれば、プリチャージ制御信号PEQは非活性化される。その後、第1メモリセル111のデータを読み出すために第1ワードラインWL1が活性化される。この場合、第1メモリセル111に備えられるトランジスタがターンオンされるので、第1メモリセル111のセルキャパシタと第1ビットラインBL1のキャパシタンス成分との間にチャージシェアリングが起こる。

20

【0046】

一方、第1メモリセル111が論理ハイのデータを有するためには、セルキャパシタに保存された電圧Vcは、基準電圧Vref + 感知電圧V以上の電圧を有しさえすればよい。これは、第1差動増幅器141の一つの入力端に入力される第1ビットライン電圧が基準電圧Vrefより感知電圧V以上大きい場合には、第1差動増幅器141が両入力信号を差動増幅して論理ハイのデータ信号を出力するためである。

【0047】

その後、プルアップ制御信号LAPG及びプルダウン制御信号LANGが活性化されて、センス増幅器130がイネーブルされる。この時、第1メモリセル111のセルキャパシタに保存された電圧VcがVref + Vである場合には、第1ビットライン電圧と前記セルキャパシタに保存された電圧とがほぼ同一なので、チャージシェアリング後にも前記第1ビットライン電圧は、約Vref + Vのレベルを維持するようになる。

30

【0048】

その後、第1イネーブル信号RCSL1が活性化されて、差動増幅部140の第1差動増幅器141がイネーブルされる。また、第1カラム選択信号及び第2カラム選択信号WC SL1、WSC L2が活性化されて、カラム選択ゲート対150の第1カラム選択ゲートT13及び第2カラム選択ゲートT14がそれぞれターンオンする。

【0049】

前述したように、第1差動増幅器141は、(+)入力端子に第1ビットライン電圧が提供され、(-)入力端子に基準電圧Vrefが提供される。また、第1差動増幅器141は、前記第1ビットライン電圧が基準電圧Vrefより所定の電圧V以上大きい場合に、論理ハイのデータ信号を入出力ライン対IO1、IO2を介して出力する。

40

【0050】

これにより、前記第1ビットラインの電圧がVref + Vのレベルを有するか、それ以上である場合には、第1差動増幅器141は、両入力端に入力される電圧(第1ビットライン電圧、基準電圧)を増幅して、論理ハイのデータ信号を入出力ライン対IO1、IO2を介して出力する。第1差動増幅器141の出力端は、入出力ライン対IO1、IO2と連結され、論理ハイのデータ信号を出力する際に、第1入出力ラインIO1を介してVintの電圧信号を出力し、第2入出力ラインIO2を介してVssの電圧信号を出力することができる。

50

【0051】

前記のような動作によって、第1メモリセル111に論理ハイのデータを保存するために、第1メモリセル111のセルキャパシタがV_{int}の電圧にチャージされた後、漏れ電流などによるデータ損失が発生しても、セルキャパシタがV_{ref}+Vの電圧レベル以上の値を有する限り、半導体メモリ装置は、第1メモリセル111に保存されたデータが論理ハイであることを感知できる。すなわち、漏れ電流などの原因によって、セルキャパシタのデータ損失が一定量発生しても、データを正確に感知でき、これにより、データを保存するためのリフレッシュ周期を長くすることができる。基準電圧V_{ref}のレベルを下げるほど、セルキャパシタのデータ損失が多く発生してもデータを正確に感知することが可能になる。

10

【0052】

また、セルキャパシタのデータ損失が一定量発生してもデータを正確に感知できるので、メモリセルと連結されるワードラインの電圧を下げるができる。一例として、第1メモリセル111に備えられるトランジスタのゲートに入力される第1ワードラインWL1電圧として、従来に適用された電源電圧V_{pp}より低いプルアップ電圧V_{int}を入力できる。トランジスタのしきい電圧などによって、セルキャパシタの一つの電極に印加される電圧が低くなってもメモリセルのデータ感知が可能であるためである。

【0053】

一方、カラム選択ゲート対150の第1カラム選択ゲートT13及び第2カラム選択ゲートT14をそれぞれターンオンさせることによって、入出力ライン対IO1、IO2を介して出力される電圧信号が第1メモリセル111に伝達される。これは、ライトバック動作であって、これによって、第1メモリセル111のデータが読み出し動作後に直ちに損失されることを防止できる。

20

【0054】

第1メモリセル111に論理ローデータが保存された場合にも、前記のような動作を通じてデータを読み出すことができる。論理ローデータの読み出しの際、第1メモリセル111のセルキャパシタと第1ビットラインBL1とのチャージシェアリングが起り、第1ビットラインBL1の電圧レベルは下降する。

【0055】

図4では、論理ローデータ(データ“0”)の読み出しの際、チャージシェアリングによってビットライン対BL1、BL2間に十分な電圧レベル差が発生し、これにより、センス増幅器130による増幅動作が発生することを示す。増幅動作によって、第1差動増幅器141の入力端に入力される第1ビットライン電圧は、基準電圧V_{ref}より感知電圧V以上低くなり、この場合、第1差動増幅器141は、論理ローデータ信号を入出力ライン対IO1、IO2を介して出力する。図4に示すように、論理ローデータの読み出しの際、第1ビットライン電圧が基準電圧V_{ref}より感知電圧V以上低くなった後に、第1イネーブル信号RC SL1が活性化されて、第1差動増幅器141をイネーブルさせることが望ましい。

30

【0056】

前述した内容は、図3に示す第1メモリセル111の動作と関連した事項であり、前記の動作特性は、第2メモリセル112及び図示されていないその他のメモリセルに同様に適用されて、同じ効果を得ることができる。

40

【0057】

一方、前記半導体メモリ装置のデータ書き込み動作について図5を参照して説明する。一例として、第1メモリセル111にデータを書き込む場合を説明する。

【0058】

図5は、図3に示された半導体メモリ装置のデータ書き込み動作を示すタイミング図である。図5に示すように、プリチャージ動作終了後、第1ワードラインWL1が活性化され、第1カラム選択信号WC SL1及び第2カラム選択信号WC SL2が活性化される。これにより、カラム選択ゲート対140がターンオンされる。

50

【0059】

入出力ライン対 I O 1、I O 2 を介して入力されるデータ信号は、カラム選択ゲート対 1 4 0 を経てビットライン対 B L 1、B L 2 に入力される。また、前記データ信号によって、ビットライン対 B L 1、B L 2 間には電圧差が発生する。

【0060】

その後、プルアップ制御信号 L A P G 及びプルダウン制御信号 L A N G が活性化されて、プルアップトランジスタ T 1 1 及びプルダウントランジスタ T 1 2 がそれぞれターンオンして、増幅されたビットライン対 B L 1、B L 2 の電圧レベルを利用して、メモリセル 1 1 1 にデータを保存する。データ書き込み動作区間の間、第 1 イネーブル信号 R C S L 1 及び第 2 イネーブル信号 R C S L 2 は、それぞれ非活性化されて、差動増幅部 1 4 0 は動作しない。

10

【0061】

図 6 は、本発明の半導体メモリ装置に適用されるイネーブル信号生成部を示すブロック図である。イネーブル信号生成部 2 0 0 は、第 1 差動増幅器 1 4 1 に第 1 イネーブル信号 R C S L 1 を出力し、第 2 差動増幅器 1 4 2 に第 2 イネーブル信号 R C S L 2 を出力する。第 1 差動増幅器 1 4 1 は、差動増幅動作による信号 D I O 1、D I O 2 を生成して、入出力ライン対 I O 1、I O 2 を介してそれぞれ出力する。第 2 差動増幅器 1 4 2 も入出力ライン対を介して差動増幅動作によって信号 D I O 1、D I O 2 を出力する。

【0062】

イネーブル信号生成部 2 0 0 は、第 1 メモリセル 1 1 1 の読み出し動作時に、活性化された第 1 イネーブル信号 R C S L 1 を出力し、非活性化された第 2 イネーブル信号 R C S L 2 を出力する。これにより、第 1 差動増幅器 1 4 1 はイネーブルされ、第 2 差動増幅器 1 4 2 はディセーブルされる。

20

【0063】

また、イネーブル信号生成部 2 0 0 は、第 2 メモリセル 1 1 2 の読み出し動作時には、非活性化された第 1 イネーブル信号 R C S L 1 を出力し、活性化された第 2 イネーブル信号 R C S L 2 を出力する。これにより、前記第 1 差動増幅器 1 4 1 はディセーブルされ、前記第 2 差動増幅器 1 4 2 はイネーブルされる。

【0064】

一方、イネーブル信号生成部 2 0 0 は、第 1 メモリセル 1 1 1 及び第 2 メモリセル 1 1 2 の書き込み動作時には、非活性化された第 1 イネーブル信号 R C S L 1 及び第 2 イネーブル信号 R C S L 2 を出力する。これにより、第 1 差動増幅器 1 4 1 及び前記第 2 差動増幅器 1 4 2 は、ディセーブルされる。

30

【0065】

本発明は、図面に示された一実施形態を参考にして説明されたが、これは例示的なものに過ぎず、当業者ならば、これより多様な変形及び均等な他の実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決定されなければならない。

【産業上の利用可能性】

【0066】

本発明は、半導体メモリ装置関連の技術分野に好適に用いられる。

40

【図面の簡単な説明】

【0067】

【図 1】従来のセンスアンプ構造を有する半導体メモリ装置を示す回路図である。

【図 2】一般的なメモリセルを示す回路図である。

【図 3】本発明の一つの実施の形態による半導体メモリ装置を示す回路図である。

【図 4】図 3 に示された半導体メモリ装置のデータ読み出し動作を示すタイミング図である。

【図 5】図 3 に示された半導体メモリ装置のデータ書き込み動作を示すタイミング図である。

50

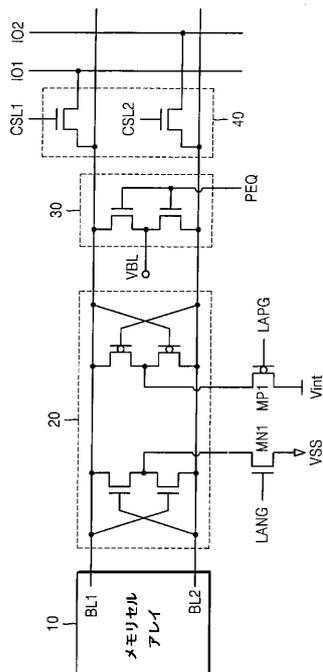
【図6】本発明の半導体メモリ装置に適用されるイネーブル信号生成部を示すブロック図である。

【符号の説明】

【0068】

- 110 メモリセルアレイ
- 111 第1メモリセル
- 112 第2メモリセル
- 120 等化トランジスタ部
- 130 センス増幅器
- 140 差動増幅部
- 141 第1差動増幅器
- 142 第2差動増幅器
- 150 カラム選択ゲート対

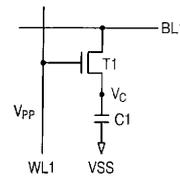
【図1】



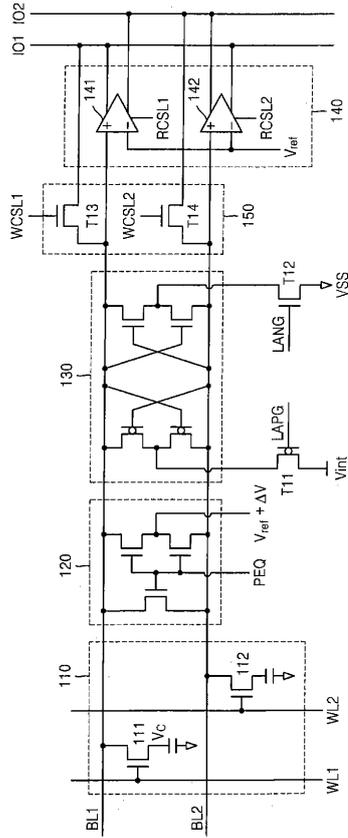
【図1】

【図2】

【図2】



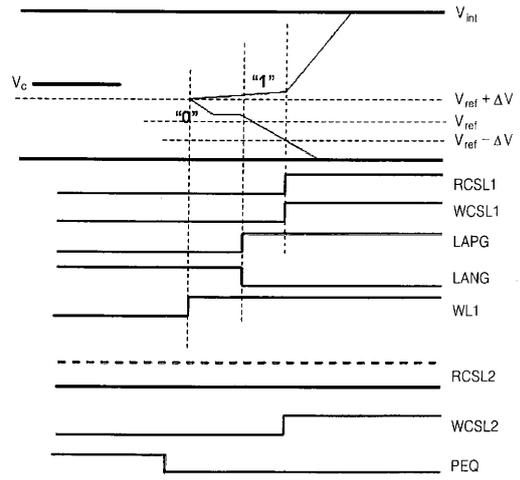
【図 3】



【図 3】

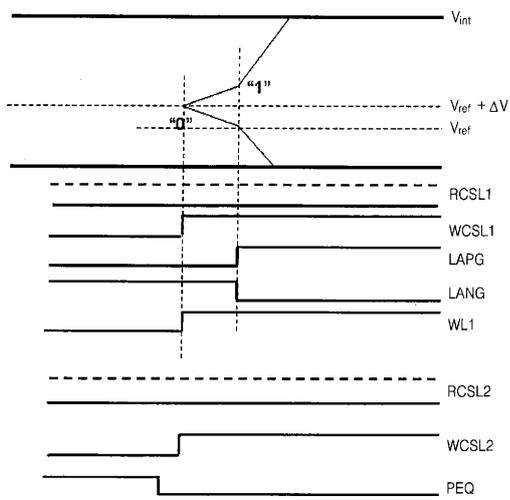
【図 4】

【図 4】



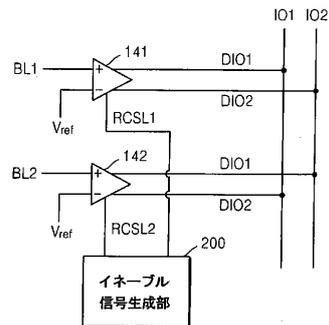
【図 5】

【図 5】



【図 6】

【図 6】



フロントページの続き

(72)発明者 姜郁成

大韓民国京畿道龍仁市水枝区竹田 1 洞 1 1 1 8 番地 現代ホームタウン 3 次 2 団地アパート 5 0 2
棟 8 0 1 号

F ターム(参考) 5M024 AA04 AA37 BB14 BB35 BB36 BB39 CC63 CC72 EE30 PP03
PP07