

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 01.10.97.

30 Priorité : 22.10.96 US 734994.

43 Date de la mise à disposition du public de la
demande : 24.04.98 Bulletin 98/17.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SCHLUMBERGER TECHNOLOGIES
INC — US.

72 Inventeur(s) : DALLA RICCA PAOLO et ROSENTHAL
DANIEL.

73 Titulaire(s) : .

74 Mandataire : SCHLUMBERGER INDUSTRIES.

54 PRODUCTION D'IMPULSIONS DANS LE CANAL ANALOGIQUE D'UN APPAREIL DE TEST AUTOMATIQUE.

57 Procédé de simulation du filtrage d'une impulsion cou-
rante dans une série d'impulsions.

Selon l'invention, ledit procédé comprend les opérations
suivantes:

- réception d'une série de n+1 adresses d'impulsions
consécutives, comprenant une adresse d'impulsion pour
l'impulsion courante en tant que la dernière de la série de
n+1 adresses, chaque adresse d'impulsion étant dans une
gamme de m valeurs;

- stockage des n adresses d'impulsions avant l'adresse
d'impulsion courante;

- élaboration d'une adresse composite à partir de
l'adresse d'impulsion courante et des n impulsions d'adres-
ses précédentes et l'application de l'adresse composite
pour la lecture d'une forme d'impulsion dans une mémoire
contenant au moins mⁿ⁺¹ formes d'impulsions.

Application au test automatique de circuits intégrés ou
cartes de circuits imprimés.

FR 2 754 904 - A1



1

PRODUCTION D'IMPULSIONS DANS LE CANAL ANALOGIQUE D'UN APPAREIL DE TEST AUTOMATIQUE

La présente invention concerne la production d'impulsions dans un appareil de test automatique (ATA) destiné à tester des circuits, par exemple des circuits intégrés ou des cartes de circuits imprimés. Plus
5 précisément, la présente invention concerne la production d'impulsions analogiques dans un canal analogique d'un appareil de test à signaux mixtes.

Des dispositifs à circuits intégrés (CI) numériques sont
10 généralement testés par application aux broches du dispositif d'une séquence de signaux d'excitation binaires selon des motifs et des relations temporelles prédéterminées. Le système de test examine les signaux de sortie numériques obtenus du dispositif et les compare à une table de vérité prédéfinie. Il en résulte une décision d'acceptation
15 ou d'échec, selon que les bits (des 1 et des 0) présents sur les broches de sortie du dispositif correspondent aux bits de la table de vérité pendant chaque intervalle de temps. Les systèmes de test destinés à ces dispositifs sont souples et programmables, ce qui permet de satisfaire aux exigences imposées par le type de dispositif devant être testé.
20 Comme exemple de système de test numérique programmable à haut débit, on peut citer le système ITS 9000FX, fourni par la Schlumberger Technologies de San Jose, Californie.

D'autres dispositifs à tester ne sont pas entièrement numériques. De tels dispositifs, connus sous le nom de dispositifs à
25 signaux mixtes, peuvent avoir à la fois des caractéristiques de signaux numériques et analogiques. Les dispositifs à signaux mixtes sont principalement numériques, mais ne peuvent pas être testés de la même manière que des dispositifs purement numériques.

Les marchés des réseaux et du stockage de données ont
30 récemment fait l'objet de l'introduction de dispositifs capables de traiter

des données série à haut débit (> 100 Mbps). Les données sont généralement perturbées par des interactions physiques se produisant sur la liaison de transmission ou lors du processus de stockage et de l'extraction des données.

5 L'une des fonctions des récepteurs de ces données consiste à récupérer l'information initiale au moyen d'un traitement analogique et/ou numérique complexe et de présenter le résultat sous forme numérique. C'est la raison pour laquelle ils sont considérés comme des dispositifs à signaux mixtes.

10 D'une manière générale, selon l'un de ses aspects, l'invention concerne un procédé de simulation du filtrage d'une impulsion de courant dans une série d'impulsions. Le procédé consiste à recevoir une série de $n+1$ adresses d'impulsions consécutives, incluant une adresse d'impulsion pour l'impulsion courante en tant que la dernière de la
15 série de $n+1$ adresses, chaque adresse d'impulsion étant dans une gamme de m valeurs ; à stocker les n adresses d'impulsions avant l'adresse de l'impulsion courante ; à élaborer une adresse composite à partir de l'adresse de l'impulsion courante et des n impulsions d'adresses précédentes et à appliquer l'adresse composite à la lecture
20 d'une forme d'impulsion depuis une mémoire contenant au moins m^{n+1} formes d'impulsions.

D'une manière générale, selon un autre aspect, l'invention concerne un appareil fournissant à haut débit des impulsions de longueur programmable. L'appareil comporte un champ de mémoire
25 programmable pour stocker une longueur d'impulsion ; une ligne d'horloge d'impulsion acheminant un signal d'horloge d'impulsion ayant une fréquence d'impulsion ; un multiplieur de fréquence connecté pour recevoir le signal d'horloge d'impulsion et la longueur d'impulsion stockée dans le champ de la mémoire programmable et pour produire
30 un signal d'horloge d'échantillon ayant une fréquence égale à la

longueur d'impulsion fois la fréquence de l'horloge d'impulsion ; une mémoire d'impulsion stockant les échantillons d'une impulsion ; un convertisseur numérique-analogique relié à la mémoire d'impulsion et générant des impulsions analogiques à partir d'échantillons reçus de la
5 mémoire d'impulsion ; et un chemin de signal acheminant le signal d'horloge d'échantillon pour régler la fréquence d'échantillonnage d'un convertisseur numérique-analogique afin de cadencer la fourniture d'échantillons par la mémoire d'impulsion au convertisseur numérique-analogique.

10 Parmi les avantages de l'invention, on peut citer l'un ou plusieurs des suivants. L'architecture du dispositif est adaptée à des impulsions et peut fournir à haut débit des impulsions de longueur programmable. La stratégie de programmation et d'adressage de la mémoire de forme d'impulsion permet de stocker en mémoire tampon
15 des impulsions consécutives afin de permettre la production à haut débit d'impulsions avec un temps d'accès mémoire raisonnable. La stratégie de programmation et d'adressage de la mémoire de forme d'impulsion peut simuler un filtrage ou une déformation appliquée aux impulsions fournies. L'utilisation de la fonction de déformation
20 d'impulsion est avantageuse car un filtrage numérique à plus de 1 Geps (1×10^9 échantillons par seconde) est peu pratique lorsqu'on utilise des architectures à base de processeurs numériques classiques, tandis qu'un filtrage analogique programmable nécessite de nombreux relais de configuration qui posent des problèmes d'effets parasites et ont un
25 nombre limité de constantes de temps et de topologies pouvant être sélectionnées. La souplesse offerte par la programmation des déformations est plus importante que celle qu'offre une programmation analogique. Contrairement à une réalisation sous la forme d'un filtre analogique, l'invention permet de programmer à la volée une
30 modification des déformations d'impulsions, c'est-à-dire sans

interrompre les données fournies au circuit testé, et cela peut être fait de façon vectorielle.

D'autres caractéristiques et avantages de l'invention ressortiront de la description présentée ci-dessous.

5 La figure 1 est un schéma fonctionnel du dispositif de mise en forme d'impulsion de la présente invention.

La figure 2 est un schéma fonctionnel représentant le dispositif de mise en forme d'impulsion faisant partie d'un canal analogique d'un système de test à signaux mixtes.

10 La figure 3 est un schéma fonctionnel d'une interface et d'un générateur d'adresse du dispositif de mise en forme d'impulsion.

La figure 4 est un schéma fonctionnel d'un module de mémoire de stockage d'impulsion du dispositif de mise en forme d'impulsion.

15 La figure 5 est un schéma fonctionnel de la logique de commande du dispositif de mise en forme d'impulsion.

La figure 6 est un schéma fonctionnel de registres de commande du dispositif de mise en forme d'impulsion et d'un calculateur de commande.

20 Comme le montre la figure 1, un dispositif 100 de mise en forme d'impulsion a pour fonction de fournir des impulsions, c'est-à-dire des formes d'ondes analogiques rapides de longueur fixe et de forme variable, pour stimuler un dispositif testé. Le dispositif 100 de mise en forme d'impulsion est réalisé sous la forme d'une carte électronique de connexion de broches conçue pour faire partie d'un canal analogique
25 d'un appareil de test automatique à signaux mixtes, tel que le dispositif de test décrit dans le brevet américain No. 5 646 521, et intitulé "Canal analogique pour appareil de test de circuits à haut degré d'intégration à signaux mixtes", cité ici à titre de référence. Dans cet appareil de test, la
30 carte peut être utilisée pour effectuer des tests complexes lorsque la relation temporelle avec la section numérique est connue et précise.

Le dispositif 100 de mise en forme d'impulsion comporte des circuits permettant de stocker et de reproduire des impulsions de longueur programmable. Ces circuits peuvent être répartis en sept blocs constitutifs :

- 5 (1) le bloc 30 d'interface de bus et générateur d'adresse du Module de Séquence de Source Asynchrone (ASSM) ;
- (2) des modules 40 de mémoire à puces partielles dont huit sont utilisés ;
- (3) une logique 50 de commande ;
- 10 (4) une interface 60 entre le bus VME et l'appareil de test (IVT) ;
- (5) un Multiplieur 70 de Fréquence à boucle à verrouillage de phase (PLL) ;
- (6) un convertisseur Numérique-Analogique 80 (CNA) à haut débit ; et
- 15 (7) un étalonnage de sortie et des relais 90.

Comme représenté dans la figure 2, un dispositif 100 de mise en forme peut tenir sur une carte source d'électronique de broches pour une tête 200 de test d'appareil de test. Des impulsions sont chargées sous forme numérique dans une mémoire locale (représentée dans la

20 figure 4) du dispositif 100 de mise en forme d'impulsion sous le contrôle d'une station de travail 220 par l'intermédiaire d'un bus VME 222 et d'une interface entre le bus VME et l'appareil de test (IVT) 924 avant que les tests ne commencent. Cela permet une vitesse de fonctionnement maximale et une sélection dynamique des impulsions.

25 Pendant le test, le dispositif 100 de mise en forme d'impulsion est commandé par un module 226 de séquence de source analogique (ASSM) fournissant des impulsions analogiques au dispositif testé (DT) 204 sur la carte 202 de chargement de la tête 200 de test. La sortie du DT excité est mesurée avec un analyseur 206 de spectre et est

30 transmise à un module 228 de séquence de mesure analogique en vue

de son stockage et de son post-traitement et d'une analyse effectuée par d'autres modules de l'appareil de test (non représentés).

Si l'on se réfère de nouveau à la figure 1, la fonction principale du dispositif 100 de mise en forme d'impulsion que comporte un
5 appareil de test, consiste à produire des formes d'ondes analogiques rapides d'une longueur fixe et de forme variable programmables. Le dispositif présente les caractéristiques fondamentales suivantes. La fréquence d'échantillonnage est limitée par la vitesse du convertisseur
10 80 numérique-analogique (CNA) à haut débit. Comme CNA approprié pour cette application, on peut citer le TQ6122, qui est un CNA en GaAs à 8 bits, à deux voies et à entrées multiplexées, fourni par la TriQuint Semiconductor à Beaverton, Oregon. La résolution de ce CNA est de 8 bits et des sorties complémentaires sont présentes. Son entrée est
15 multiplexée par l'intermédiaire d'un multiplexeur 82. Ce CNA peut généralement fonctionner jusqu'à 1,3 Geps dans le cas d'un fonctionnement multiplexé s'il est convenablement refroidi. Le bloc 90 d'étalonnage et à relais confère un gain aux signaux de sortie du CNA 80 à haut débit ; il permet également la programmation, par
20 l'intermédiaire de l'interface 60 IVT, de l'étalonnage du gain et du décalage, et la connexion de la sortie du CNA au chemin de signal conduisant au dispositif testé.

La mémoire permettant de stocker les formes d'impulsions est constituée par des mémoires 40 d'impulsions, dont huit modules sont
25 utilisés, à raison d'un par bit de résolution du CNA 80. Les huit modules fournissent ensemble les huit bits de résolution de chaque point (échantillon) d'une impulsion. Chaque module 40 peut être adressé avec une adresse d'au moins 16 bits qui peuvent représenter une ou plusieurs impulsions, comme cela sera décrit. Chaque mémoire
30 d'impulsions est un module de mémoire partielle qui peut être adressé pour produire un mot de 16 bits par impulsion. (Cependant, le réglage

du nombre programmé de points par impulsion peut conduire au fait que l'on utilise moins que la totalité des 16 bits). Chaque module 40 comporte deux mémoires A et B qui sont lues en alternance, comme cela sera décrit à propos de la figure 4. Normalement, les mémoires A et B peuvent être programmées avec des séquences identiques, de sorte qu'une adresse d'impulsion entrante produit la même sortie, quel que soit l'état de l'alternance entre A et B. Cependant, cette structure de la mémoire peut également être programmée pour exploiter l'alternance et générer une forme d'onde quelconque selon la taille de la mémoire.

10 Le nombre de points (échantillons de 8 bits) par impulsion peut être programmé par l'intermédiaire de l'interface 60 IVT et de la logique 50 de commande. La fréquence d'échantillonnage est verrouillée en phase avec la fréquence des impulsions, sur une ligne 302 d'horloge d'impulsion, par une boucle à verrouillage de phase (PLL) et le multiplieur 70 de fréquence.

15 Le bloc 70 à PLL et à multiplieur de fréquence crée le signal d'horloge d'échantillonnage sur la ligne 72 pour la logique du dispositif de mise en forme d'impulsion et pour le CNA à haut débit. Ce signal est verrouillé en phase avec le signal d'horloge d'impulsion provenant du module ASSM. Le rapport de la fréquence de l'horloge d'échantillonnage à la fréquence de l'horloge d'impulsion est de 3, 4, 5, 6, 7, 8, 10, 12, 14 ou 16, selon le nombre programmé de points (d'échantillons) par impulsion.

25 Si l'on se réfère à la figure 3, le bloc 30 d'interface de bus et générateur d'adresse ASSM contient un étage de récepteurs ECL 306 qui constitue l'interface avec l'horloge d'impulsion (ligne 302) et avec les lignes 304 de données, qui comprennent les lignes d'adresses au moyen desquelles le module ASSM fournit l'adresse d'impulsion suivante. Le nombre utilisé de ces lignes dépend du nombre programmé de points par impulsion (ppi). Si ce nombre est par exemple de 8 ppi, on

30

n'utilisera que 8 lignes d'adresses, en raison du fait que le nombre maximum d'impulsions différentes à 8 ppi est de 256, comme cela sera décrit. De même, si ce nombre est de 3 ppi, on n'utilisera que 4 lignes d'adresses, en raison du fait que le nombre maximal d'impulsions différentes est de 16.

Les adresses d'impulsions reçues du module ASSM par les récepteurs 306 ECL sont transmises par l'intermédiaire du bloc 308 d'impulsions précédentes et du générateur 310 d'adresse pour former une adresse de mémoire d'impulsions sur des lignes 312, laquelle adresse est utilisée pour adresser les mémoires 40 d'impulsions. Une, deux ou quatre adresses d'impulsions (selon le nombre programmé de points par impulsion) fournies par les récepteurs 306 ECL sont combinées pour former une adresse de mémoire d'impulsions. Le bloc d'impulsions précédentes joue le rôle de multiplexeur accumulant des adresses d'impulsions, comme cela sera décrit. La largeur de l'adresse d'impulsion sur les lignes 304, et la taille correspondante des mémoires locales A et B, peuvent être de largeur quelconque, et peuvent en particulier dépasser 16 bits. Cependant, pour des raisons qui seront décrites plus loin, lorsque le nombre de points par impulsion est de 8 ou moins, la largeur des adresses d'impulsions fournies sur les lignes 304 est limitée, comme cela sera décrit, et l'adresse de stockage d'impulsion fournie aux mémoires A et B est limitée à 16 bits.

La fonction de simulation de déformation utilise également l'opération de multiplexage du bloc 308 d'impulsions précédentes. La simulation de déformation est activée en fixant à une valeur non nulle le mode d'adressage (reçu sur la ligne 316) dans l'interface 60 IVT. Cela sera décrit à propos du registre 612 PSPPPADMD (figure 6).

Pour simuler une action de déformation ou de filtrage, le dispositif de mise en forme d'impulsion est programmé de façon que sa sortie d'impulsion dépende d'un nombre limité d'impulsions

précédemment sélectionnées. Ainsi, chaque impulsion peut être définie de façon à avoir la forme qu'elle aurait si elle était précédée d'une combinaison quelconque de n impulsions précédentes. Si m est le nombre d'impulsions définies et n est le nombre d'impulsions précédentes ayant un effet appréciable sur l'impulsion courante, m^{n+1} impulsions différentes sont nécessaires (si l'on ignore les éventuelles répliques).

Les mémoires 402 et 404 de stockage d'impulsions (figure 4) étant configurées de façon à comporter 64K mots de 16 bits, les valeurs utiles pour n sont 1, 3 et 7, les limitations suivantes étant imposées :

Mémoire d'impulsions précédentes (n)	Impulsions différentes (m)
1	256
3	16
7	4

Si n est égal à 1, le bloc 308 d'impulsions précédentes combine 8 bits de l'adresse d'impulsion (l'adresse d'impulsion "courante") fournie par les récepteurs 306 ECL avec les 8 bits les plus récents de l'adresse provenant du générateur 310 d'adresse afin d'élaborer une adresse de stockage d'impulsion à 16 bits (lignes 312). Si n est égal à 3, 4 bits de l'adresse d'impulsion courante provenant des récepteurs 306 ECL sont combinés avec les trois adresses d'impulsions à 4 bits les plus récentes (c'est-à-dire comportant les 12 bits les plus récents de l'adresse fournie par le générateur 310 d'adresse) ; et si n est égal à 7, les adresses à 2 bits courantes et les sept les plus récentes, sont combinées. Dans tous les cas, le nombre de points par impulsion doit être de 10 ou plus pour respecter la limitation de vitesse de la mémoire.

L'adresse de stockage d'impulsions, quelle que soit la façon dont elle est élaborée, est transmise sur les lignes 312 à une paire de

registres bloqueurs à décalage de niveau et à 3 états A et B du type ECL-à-TTL (312a et 312b) ; et le nouveau signal d'adresse (sur la ligne 320) est produit pour marquer la frontière entre les adresses de stockage d'impulsions. La donnée d'adresse est verrouillée en alternance à destination des registres bloqueurs A et B du fait de l'alternance des signaux de registre bloqueur A et de registre bloqueur B, respectivement sur les lignes 318a et 318b.

Pour écrire ou lire des données d'échantillons dans les mémoires, un compteur 314 est programmé par l'intermédiaire de l'interface 60 IVT de manière à contenir l'adresse de mémoire à laquelle la lecture ou l'écriture doit commencer. Après cela, chaque opération de lecture ou d'écriture incrémente automatiquement ce compteur.

La logique de sélection d'adresse qui a été décrite est mise en œuvre sous la forme d'une logique ECL pour assurer un fonctionnement correct aux débits de données les plus élevés du module ASSM, tandis que les blocs de mémoire peuvent être réalisés sous la forme d'une technologie Bi-CMOS pour obtenir un bon équilibre entre les capacités de stockage, le temps d'accès et la consommation d'énergie.

Si l'on se réfère à la figure 4, le module 40 de mémoire partielle est répliqué huit fois, à raison d'un pour chacun des 8 bits de résolution du CNA à haut débit. En fonctionnement, les mots à 16 bits provenant des mémoires A 402 et B 404 sont chargés en alternance dans le registre 406 PISO (entrée parallèle, sortie série). L'alternance est effectuée par le dispositif 408 de multiplexage de combinaison et de décalage de niveau en réponse à un signal de sélection A/B sur la ligne 506. Le registre 406 PISO convertit les données en un train série devant être envoyé en alternance au CNA à haut débit sur des lignes 416a et 416b. Le dispositif 408 de multiplexage de combinaison et de décalage de niveau assure également une conversion de niveau de TTL en ECL. Des tampons à trois états 412 et 414 assurent l'accès aux mémoires A

402 et B 404, respectivement, pendant la programmation, et assurent l'isolation pendant un fonctionnement normal (production d'impulsions).

Si l'on se réfère à la figure 5, le bloc 50 logique de commande reçoit le nombre de points par impulsion sur des lignes 502, l'horloge ASSM sur la ligne 302, et le nouveau signal d'adresse sur la ligne 320. A partir de ces signaux, il produit dans le compteur 508 les impulsions de chargement du registre 406 PISO (figure 4) sur la ligne 504 ; et dans le diviseur 510, il génère des impulsions de sélection destinées au multiplexeur 408 (figure 4) sur la ligne 506. Les impulsions de chargement et les impulsions de sélection sont synchronisées avec le nouveau signal d'adresse qui provient du bloc 308 d'impulsions précédentes (figure 3) sur la ligne 320, afin d'obtenir une relation de phase fixe avec le signal d'horloge d'impulsion (ligne 302) et d'autres signaux provenant du module ASSM.

Si l'on se réfère à la figure 6, le bloc 606 de registre de fonctions annexes et de configuration générale assure la programmation générale et fournit des informations sur la configuration et l'état du dispositif de mise en forme d'impulsion.

Le registre 610 PSSTADHIGH définit les bits de poids fort de l'adresse de départ utilisée lors de la programmation des mémoires locales. Trois des bits sélectionnent les bits de sortie 0-7 (c'est-à-dire qu'ils sélectionnent l'une des huit mémoires 40 d'impulsions (figures 1 et 4)) ; et un bit sélectionne la branche 0 ou 1, c'est-à-dire la mémoire A 402 ou la mémoire B 404 (figure 4).

Le registre 614 PSSTADLOW définit les 7 bits de poids le plus faible de l'adresse de départ pour la programmation d'une mémoire partielle A et B.

Le registre 612 PSPPPADMD contient le mode d'adressage (ligne 316, figure 3), qui commande l'activation de la fonction de déformation,

et le nombre de points (échantillons) par impulsion (ppi). Quatre bits contiennent le nombre de points par impulsion ; les valeurs légales (en hexadécimal) étant 2, 3, 4, 5, 6, 7, 9, B, D et F. La valeur 2 est utilisée pour représenter 3 points par impulsion ; et F, pour représenter 16 (en

5 décimal) points par impulsion. Le logiciel qui programme l'appareil de test peut vérifier que le produit des points par impulsion par la fréquence d'impulsion ne dépasse pas la fréquence maximale du CNA à haut débit. Deux bits (mode d'adressage) sélectionnent les fonctions de déformation d'impulsions : 0 = pas de déformation d'impulsion

10 (l'impulsion provient du module ASSM) ; 1 = déformation avec mémorisation de 1 impulsion précédente ; 2 = déformation avec mémorisation de 3 impulsions précédentes ; et 3 = déformation avec mémorisation de 7 impulsions précédentes. Le fait d'écrire les bits désignés sélectionne la fonction désignée.

15 Les limites imposées à la configuration du dispositif de mise en forme venant d'être décrit, sont rassemblées dans le tableau suivant.

Points impulsion	par	Fréquence d'impulsion max.	Impulsions diff. max.	Horloge échantillon/ho rloge impulsion	Retard (impulsions)
16		75 MHZ	64K	16	2
14		85,7 MHZ	64K	14	2
12		100 MHZ	64K	12	2
10		120 MHZ	64K	10	2
8		150 MHZ	256	8	4
7		171,4 MHZ	256	7	4
6		200 MHZ	256	6	4
5		240 MHZ	256	5	4
4		300 MHZ	16	4	8
3		400 MHZ	16	3	8

Le nombre de points par impulsion affectera le nombre maximum d'impulsions disponibles conformément au tableau ci-dessus.

20 La fréquence d'impulsion maximale indiquée ci-dessus ne traduit qu'un débit maximum de 1,2 Geps du CNA à haut débit ; cependant, elle peut être limitée par d'autres aspects de l'appareil de

test, comme par exemple la vitesse du module ASSM (c'est-à-dire la fréquence maximale du signal d'horloge d'impulsion).

D'une manière générale, le procédé de fourniture à haut débit d'impulsions de longueur programmable comprend :

- 5 - la réception d'une impulsion de longueur L,
- la réception d'une séquence d'adresses d'impulsions,
- la sélection d'un bloc adressable de S échantillons d'impulsions dans une mémoire d'échantillons d'impulsions en fonction d'une adresse élaborée à partir de N adresses d'impulsions consécutives dans
- 10 la séquence, où N ne dépasse pas S/L, et
- le transfert de NxL échantillons d'impulsions du bloc vers un convertisseur numérique-analogique à haut débit.

En particulier, la longueur L d'impulsion est choisie dans le groupe constitué de 3, 4, 5, 6, 7, 8, 10, 12, 14 et 16 échantillons par

15 impulsion et la taille de bloc S est de 16 échantillons.

De même, le rapport S : L est exactement de 1, 2, ou 4 et est égal à N.

Si l'on se réfère de nouveau à la figure 4, plus de 16 échantillons par impulsion peuvent être obtenus en programmant les formes

20 stockées dans les modules 40 de mémoire partielle et en faisant en sorte que le module ASSM fournisse deux fois chaque adresse d'impulsion dans la séquence d'adresses d'impulsions. En particulier, il est possible d'avoir 64K impulsions différentes ayant des longueurs de 20, 24, 28 ou 32 échantillons en stockant la moitié d'une forme d'onde

25 dans la mémoire A 402 et la moitié d'une forme d'onde dans la mémoire B 404. Les rapports entre l'horloge locale et l'horloge d'impulsion seront respectivement de 10, 12, 14 ou 16. Lorsqu'une adresse particulière est émise en premier lieu, elle est fournie à l'une des mémoires, par exemple la mémoire A. Lorsqu'elle est de nouveau fournie, elle est

30 appliquée à la mémoire B. Normalement, la mémoire A et la mémoire B

peuvent être programmées avec les mêmes données d'échantillons pour chaque adresse d'impulsion. Cependant, lorsque les mémoires sont programmées avec des échantillons différents de la moitié d'une forme d'onde, on peut obtenir des impulsions plus longues.

5 De même, en programmant le module ASSM de façon qu'il fournisse chaque impulsion deux fois, de l'adresse 0 à une adresse atteignant l'adresse maximale pouvant être reconnue par les mémoires de stockage d'impulsions A 402 et B 404, un groupement quelconque d'échantillons ayant une longueur qui n'est limitée que par la capacité
10 de la mémoire peut être facilement produit.

Si l'on se réfère de nouveau à la figure 6, le registre 608 PSCONTROL contient le mode d'arrêt, d'attente, ou de fonctionnement. L'écriture de ses bits d'état modifie le mode. D'autres bits du registre sont utilisés pour indiquer des états d'erreur. L'état d'arrêt est utilisé
15 pour programmer les mémoires de stockage d'impulsions et initialiser les registres. Aucune impulsion n'est émise dans cet état et le signal ASSM est ignoré. Dans l'état d'attente, les mémoires de stockage d'impulsions ont été programmées et le dispositif de mise en forme d'impulsion attend le verrouillage de la boucle à verrouillage de phase
20 sur le signal d'horloge d'impulsion (environ 100 μ s). Dans l'état de fonctionnement, le dispositif de mise en forme d'impulsion reçoit du module ASSM un signal d'horloge d'impulsion (ligne 302) et des données (ligne 304, figure 3), la boucle à verrouillage de phase est verrouillée, et le dispositif de mise en forme d'impulsion exécute des
25 ordres provenant du module ASSM afin qu'il fournisse des impulsions.

Pour permettre l'utilisation du dispositif de mise en forme d'impulsion dans des applications nécessitant des tensions crête-crête différentes tout en conservant 8 bits de résolution, la gamme de tensions de sortie peut être programmée en initialisant un registre (non
30 représenté) dans l'interface 60 IVT. Cela agit sur un CNA auxiliaire

commandant la tension de référence du CNA principal. Un autre CNA permet d'effectuer un étalonnage pour l'ajustement fin.

5 Pour permettre l'utilisation du dispositif de mise en forme d'impulsion dans des applications nécessitant des tensions de décalage différentes, la gamme de tensions de décalage de sortie peut être programmée en initialisant un registre (non représenté) dans l'interface 60 IVT. Celui-ci agit sur un CNA auxiliaire commandant le courant passant dans un noeud de sommation. Un autre CNA permet d'effectuer un étalonnage pour l'ajustement fin.

REVENDEICATIONS

1. Procédé de simulation du filtrage d'une impulsion courante dans une série d'impulsions, caractérisé en ce qu'il comprend les opérations suivantes :

- 5 - réception d'une série de $n+1$ adresses d'impulsions consécutives, comprenant une adresse d'impulsion pour l'impulsion courante en tant que la dernière de la série de $n+1$ adresses, chaque adresse d'impulsion étant dans une gamme de m valeurs ;
- stockage des n adresses d'impulsions avant l'adresse
10 d'impulsion courante ;
- élaboration d'une adresse composite à partir de l'adresse d'impulsion courante et des n impulsions d'adresses précédentes et l'application de l'adresse composite pour la lecture d'une forme d'impulsion dans une mémoire contenant au moins m^{n+1} formes
15 d'impulsions.

2. Procédé selon la revendication 1, caractérisé en ce que :

- n est choisi dans le groupe constitué de 1, 3 et 7 ; et
 - m^{n+1} est égal à 2^{16} .

20 3. Procédé selon la revendication 1, caractérisé en ce que la mémoire de formes d'impulsions fournit 10 points échantillons ou plus par impulsion.

 4. Procédé selon la revendication 1, caractérisé en ce que la mémoire de formes d'impulsions fournit 8 bits de résolution ou plus
25 par point échantillon.

 5. Appareil produisant des points échantillons définissant une impulsion, caractérisé en ce qu'il comprend :

- des bornes d'adresses acheminant des adresses d'impulsions, chaque adresse d'impulsion étant dans la gamme de m
30 valeurs ;

- une mémoire d'impulsions reliée aux bornes d'adresses et stockant les n adresses d'impulsions les plus récentes apparaissant sur les bornes d'adresses avant une adresse d'impulsion courante ; et

5 - une mémoire de formes d'impulsions ayant des emplacements de mémoire permettant de stocker au moins m^{n+1} formes d'impulsions et reliée à la mémoire d'impulsions pour recevoir une adresse composite d'entrée formée des n impulsions les plus récentes et de l'adresse d'impulsion courante.

10 **6.** Appareil selon la revendication 5, caractérisé en ce qu'il comprend en outre des bornes de mode d'adressage acheminant un signal de mode d'adressage, les bornes de mode d'adressage étant reliées à la mémoire d'impulsions et à la réponse de la mémoire d'impulsions au signal de mode d'adressage pour déterminer le nombre n d'adresses d'impulsions à stocker.

15 **7.** Appareil selon la revendication 5, caractérisé en ce que :

- n est sélectionné dans le groupe constitué de 1, 3 et 7 ;
et

- m^{n+1} est égal à 2^{16} .

20 **8.** Appareil selon la revendication 5, caractérisé en ce que la mémoire constituée d'emplacements de mémoire de formes d'impulsions stocke 10 points échantillons ou plus par forme d'impulsion.

25 **9.** Appareil selon la revendication 5, caractérisé en ce que les emplacements de mémoire de la mémoire de formes d'impulsions stockent 8 bits de résolution ou plus par point échantillon d'une forme d'impulsion.

10. Appareil selon la revendication 5, caractérisé en ce qu'il comprend :

- un champ de mémoire programmable pour stocker une longueur d'impulsion ;

- une ligne d'horloge d'impulsion acheminant un signal d'horloge d'impulsion ayant une fréquence d'impulsion ;

5 - un multiplieur de fréquence connecté pour recevoir le signal d'horloge d'impulsion et la longueur d'impulsion stockés dans le champ de mémoire programmable et produisant un signal d'horloge d'impulsion ayant une fréquence égale à la longueur d'impulsion fois la fréquence d'horloge d'impulsion ;

10 - une mémoire d'impulsions contenant les échantillons d'une impulsion ;

- un convertisseur numérique-analogique relié à la mémoire d'impulsions et produisant des impulsions analogiques à partir d'échantillons reçus de la mémoire d'impulsions ; et

15 - un chemin de signal acheminant le signal d'horloge d'échantillon pour régler la fréquence d'échantillonnage d'un convertisseur numérique-analogique et pour cadencer la fourniture d'échantillons de la mémoire d'impulsions au convertisseur numérique-analogique.

20 **11.** Appareil selon la revendication 10, caractérisé en ce que le convertisseur numérique-analogique a une fréquence d'échantillonnage d'au moins 1 Geps (Giga-échantillons par seconde) et une résolution d'au moins 8 bits.

25 **12.** Appareil selon la revendication 10, caractérisé en ce que la longueur d'impulsion est choisie dans le groupe constitué de 3, 4, 5, 6, 7, 8, 10, 12, 14 et 16 échantillons par impulsion.

13. Appareil selon la revendication 10 caractérisé en ce que la fréquence d'impulsion est dans le groupe constitué de 75, 85,7, 100, 120, 150, 171,4, 200, 240, 300 et 400 MHz.

14. Appareil selon la revendication 10, caractérisé en ce qu'il comprend en outre :

- un ensemble de lignes d'entrée d'adresses d'impulsions acheminant des signaux d'adresses d'impulsions synchronisés sur le signal d'horloge d'impulsion ; et

- un circuit générateur d'adresse connecté aux lignes d'entrée d'adresses d'impulsions et à la mémoire d'impulsions et convertissant des adresses d'impulsions en adresses destinées à la mémoire de formes d'impulsions.

15. Procédé de fourniture à haut débit d'impulsions de longueur programmable destiné à être mis en oeuvre par l'appareil selon la revendication 10, caractérisé en ce qu'il comprend :

- la réception d'une impulsion de longueur L ;

- la réception d'une séquence d'adresses d'impulsions ;

- la sélection d'un bloc adressable de S échantillons d'impulsions dans une mémoire d'échantillons d'impulsions en fonction d'une adresse élaborée à partir de N adresses d'impulsions consécutives dans la séquence, où N ne dépasse pas S/L ; et

- le transfert de N x L échantillons d'impulsions du bloc vers un convertisseur numérique-analogique à haut débit.

16. Procédé selon la revendication 15, caractérisé en ce que le débit de transfert est d'au moins un Geps.

17. Procédé selon la revendication 15, caractérisé en ce que la longueur L d'impulsion est choisie dans le groupe constitué de 3, 4, 5, 6, 7, 8, 10, 12, 14 et 16 échantillons par impulsion et la taille de bloc S est de 16 échantillons.

18. Procédé selon la revendication 15, caractérisé en ce que le rapport S:L est exactement de 1, 2, ou 4 et est égal à N.

19. Procédé selon la revendication 15, caractérisé en ce qu'il comprend en outre le stockage de N échantillons de longueur

d'impulsion L à des positions d'échantillons consécutives dans un bloc adressable de la mémoire d'échantillons d'impulsions avant de recevoir la séquence d'adresses d'impulsions.

FIG. 1

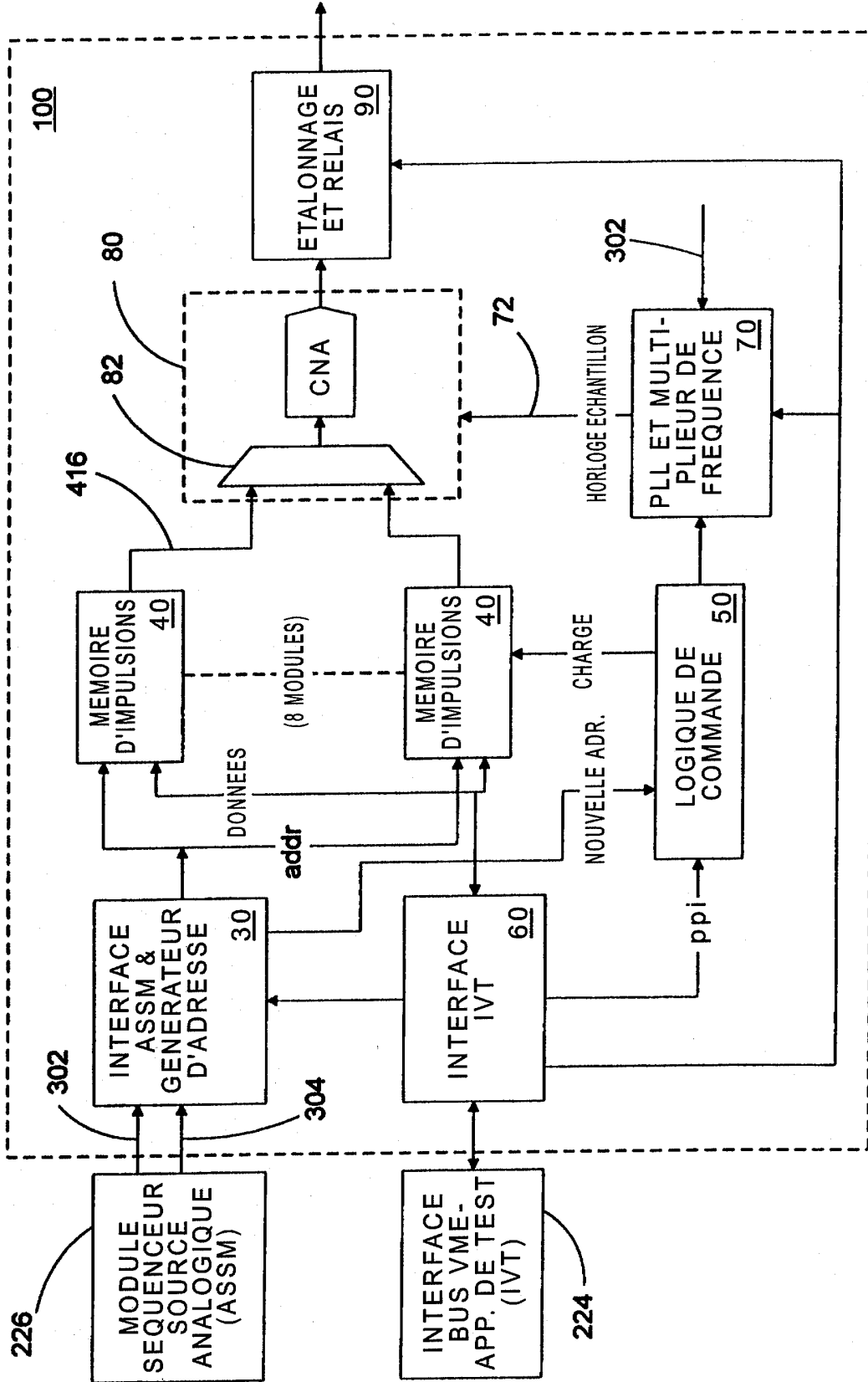
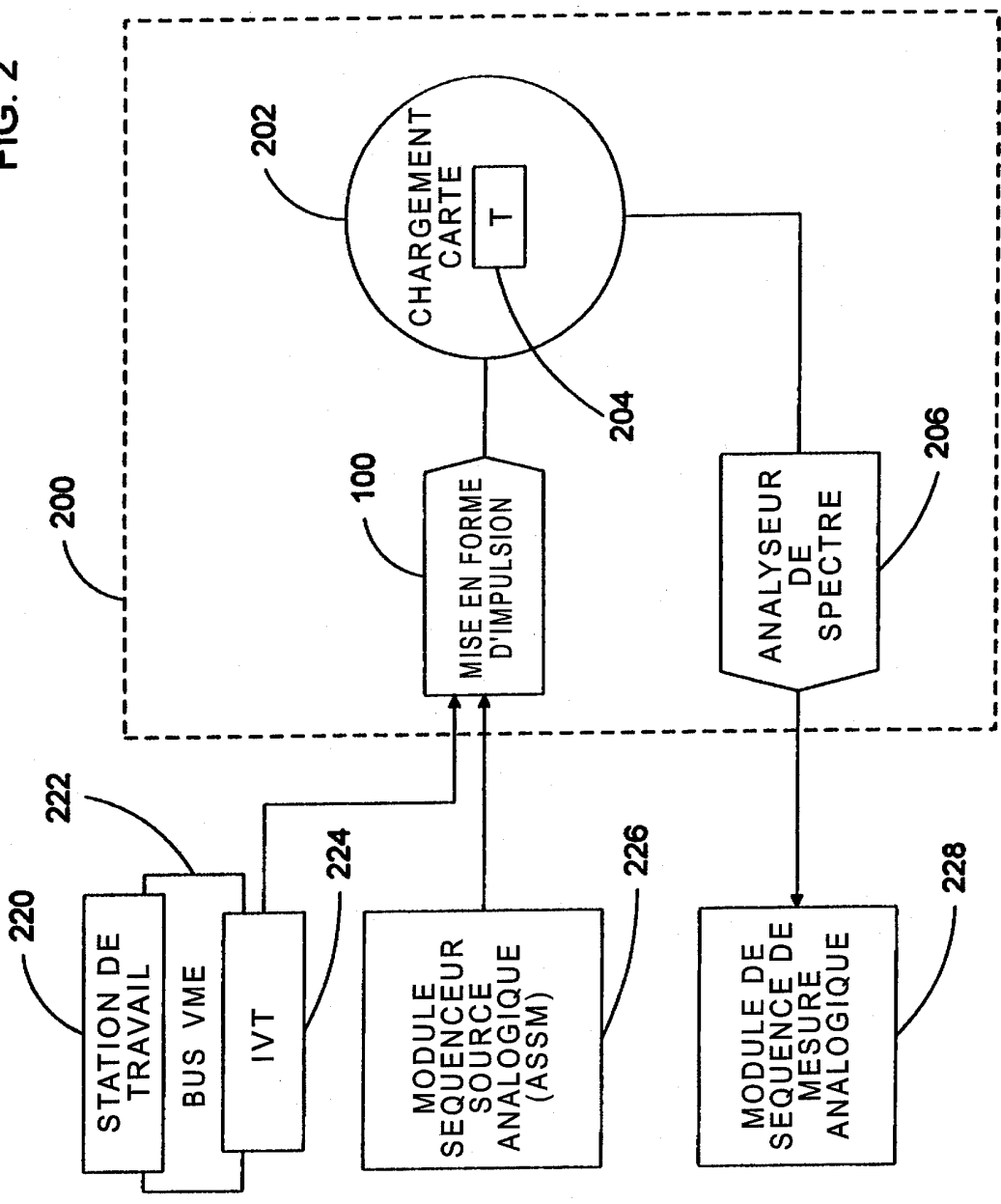


FIG. 2



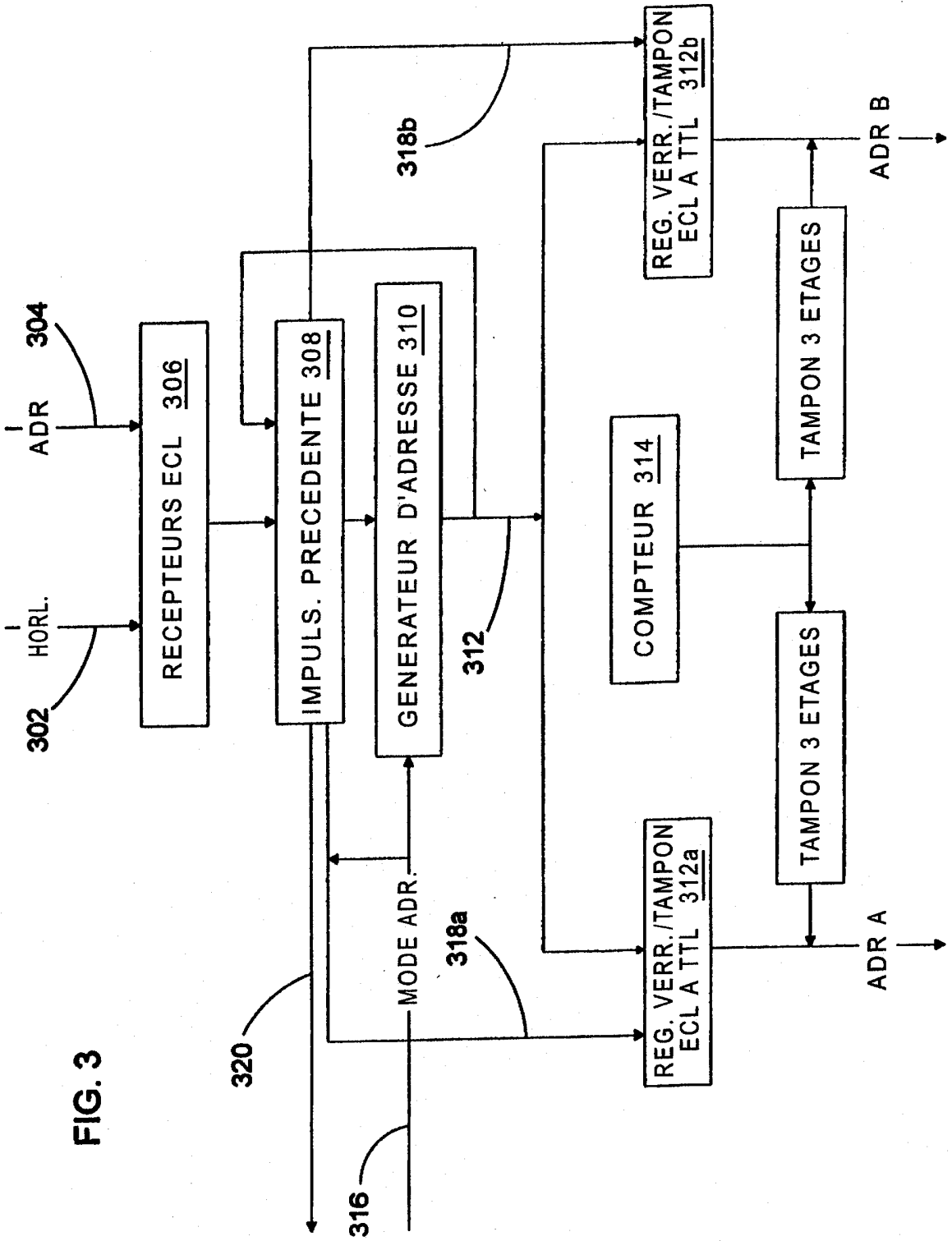


FIG. 3

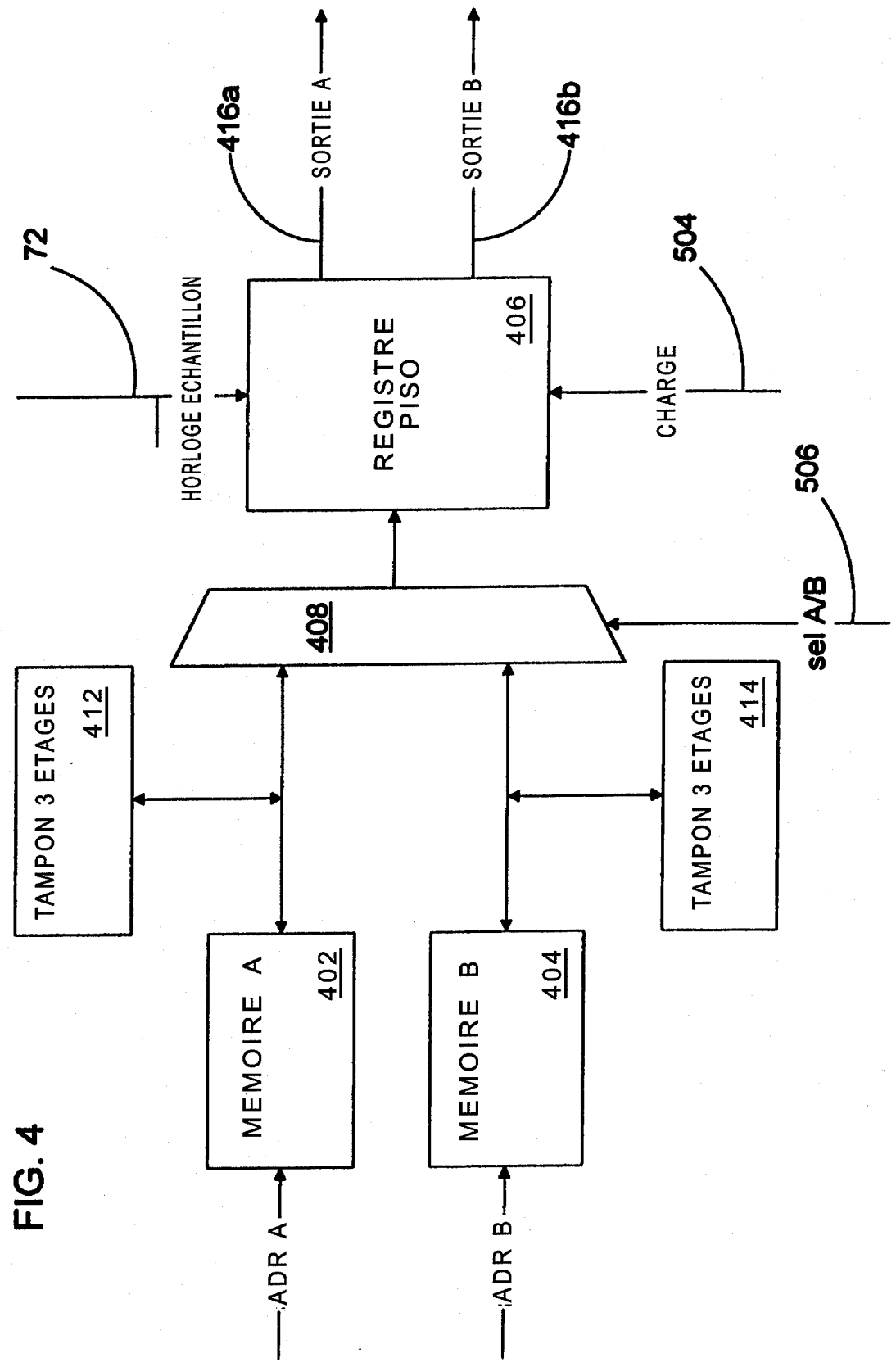


FIG. 4

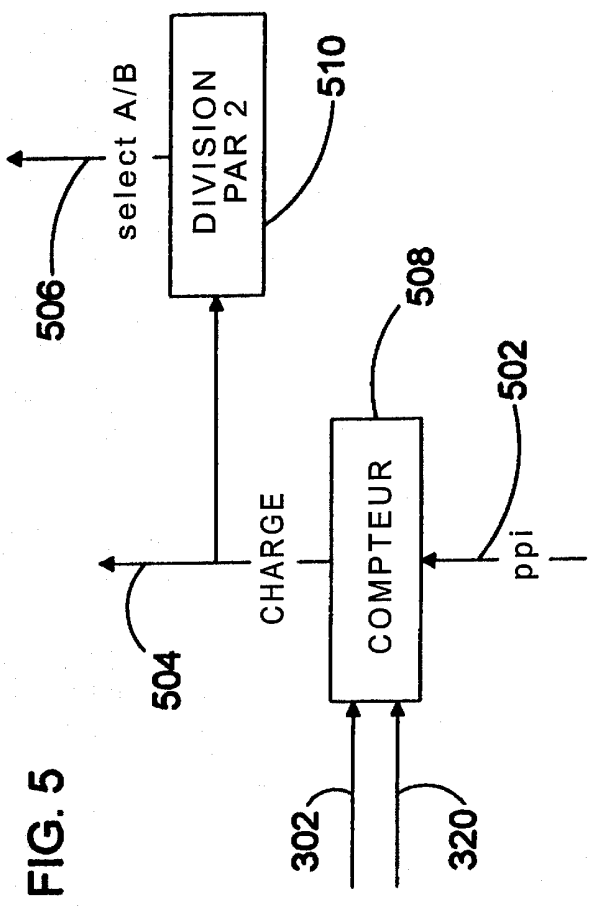


FIG. 5

FIG. 6

